

AD7476/AD7477/AD7478

特長

高速スループット・レート：1MSPS

V_{DD} ：2.35～5.25Vで仕様規定

低消費電力

3V電源、1MSPSにおいて3.6mW typ

5V電源、1MSPSにおいて15mW typ

広入力帯域幅

入力周波数100kHzに対するS/N比70dB

柔軟な電源/シリアル・クロック・スピード管理

パイプライン遅延なし

高速シリアル・インターフェース

SPI™/QSPI™/MICROWIRE™/DSPコンパチブル

スタンバイ・モード：1 μ A max

6ピンSOT-23パッケージ

アプリケーション

バッテリー駆動システム

PDA (Personal Digital Assistant)

医療機器

モバイル通信

測定および制御システム

データ・アキュイジション・システム

高速モデム

光センサー

概要

AD7476(12ビット)AD7477(10ビット)AD7478(8ビット)は、単電源2.35～5.25V動作で、最高1MSPSのスループットを実現する、高速、低消費電力の逐次比較型A/Dコンバータです。1MHzを超える入力周波数を取り扱える、ロー・ノイズで広帯域のトラック/ホールド・アンプを備えています。

変換のプロセスとデータ・アキュイジションは、 \overline{CS} とシリアル・クロックにより制御され、マイクロプロセッサやDSPとのインターフェースが可能です。入力信号は \overline{CS} の立ち下がりエッジでサンプルされ、変換もこの時点から開始されます。AD7476/AD7477/AD7478には、パイプラインによる遅延は存在しません。

AD7476/AD7477/AD7478は、先進の設計技術を採用して、高スループットで非常に低い消費電力を実現しています。

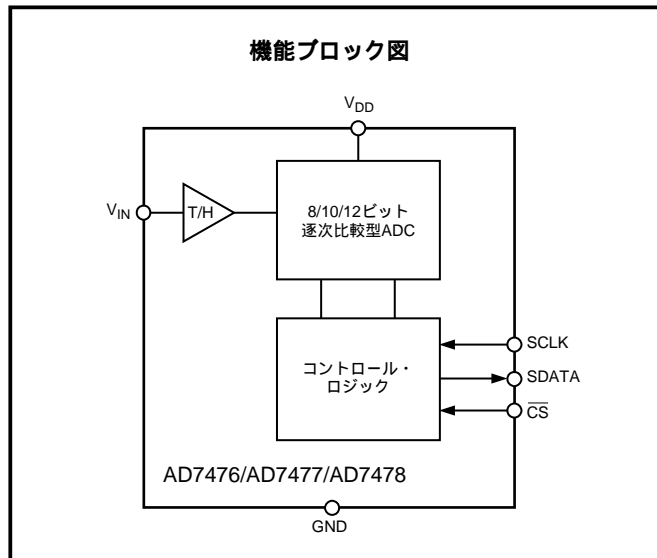
AD7476/AD7477/AD7478のリファレンスは、 V_{DD} から内部的に取り出されます。これにより、ADCに対する最も広いダイナミックな入力レンジが確保されます。このため、部品に対するアナログ入力範囲は0V～ V_{DD} となります。変換レートはSCLKによって決定されます。

SPI、QSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor社の商標です。

REV.A

機能ブロック図



製品のハイライト

1. SOT-23パッケージの高速12/10/8ビットA/Dコンバータ。

2. 低消費電力で高スループット。

3. 柔軟な電源/シリアル・クロック速度管理。

変換レートはシリアル・クロックにより決定されるため、シリアル・クロック速度が増加すると変換時間は短くなります。これにより、変換をしないときには、平均的な消費電力が低減できます。シャットダウン・モードを備え、低スループット・レートでの電源効率を最大化します。シャットダウン時の消費電力は1 μ Aです。

4. 電源からリファレンスを生成。

5. パイプライン遅延なし。

標準的な逐次比較型A/Dコンバータ構成を採用し、 \overline{CS} 入力とワンス・オフ変換制御により、正確に変換のタイミングを制御します。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD7476/AD7477/AD7478

AD7476 - 仕様¹ (特に指示のない限り、 $T_A = T_{MIN} \sim T_{MAX}$ 、Aバージョン: $V_{DD} = 2.7 \sim 5.25V$ 、 $f_{SCLK} = 20MHz$ 、 $f_{SAMPLE} = 1MSPS$ 、SおよびBバージョン: $V_{DD} = 2.35 \sim 5.25V$ 、 $f_{SCLK} = 12MHz$ 、 $f_{SAMPLE} = 600kSPS$)

パラメータ	Aバージョン ^{1,2}	Bバージョン ^{1,2}	Sバージョン ^{1,2}	単位	テスト条件/備考
ダイナミック特性					$f_{IN} = 100kHz$ サイン波
S/N+歪み(SINAD) ³	69	70	69	dB min	$T_A = 25$
S/N比(SNR)	70	71	70	dB min	
全高調波歪み(THD) ³	-80	-78	-78	dB typ	$f_a = 103.5kHz, f_b = 113.5kHz$ $f_a = 103.5kHz, f_b = 113.5kHz$
ピーク高調波またはスプリアス・ノイズ(SFDR) ³	-82	-80	-80	dB typ	
相互変調歪み(IMD) ³					
2次項	-78	-78	-78	dB typ	
3次項	-78	-78	-78	dB typ	
アパーチャ遅延	10	10	10	ns max	
アパーチャ・ジッター	30	30	30	ps typ	
フルパワー帯域幅	6.5	6.5	6.5	MHz typ	@3dB
DC精度					S,Bバージョン, $V_{DD} = (2.35 \sim 3.6V)$ 、 Aバージョン, $V_{DD} = (2.7 \sim 3.6V)$
分解能	12	12	12	ビット	12ビットまでノー・ミスコード保証
積分非直線性 ³	± 1	± 1.5	± 1.5	LSB max	
微分非直線性 ³	± 0.75	± 0.6	± 0.6	LSB typ	
オフセット誤差 ³	± 0.5	-0.9/+1.5	-0.9/+1.5	LSB max	
ゲイン誤差 ³	± 0.5	± 0.75	± 0.75	LSB typ	
	± 0.5	± 1.5	± 2	LSB max	
アナログ入力					
入力電圧範囲	$0 \sim V_{DD}$	$0 \sim V_{DD}$	$0 \sim V_{DD}$	V	
DCリーク電流	± 1	± 1	± 1	μA max	
入力容量	30	30	30	pF typ	
ロジック入力					
入力ハイ電圧, V_{INH}	2.4	2.4	2.4	V min	$V_{DD} = 2.35V$ $V_{DD} = 3V$ $V_{DD} = 5V$ 代表値は10nA, $V_{IN} = 0V$ または V_{DD}
入力ロー電圧, V_{INL}	1.8	1.8	1.8	V min	
入力ロー電圧, V_{INL}	0.4	0.4	0.4	V max	
入力電流, $I_{IN,SCLK}$ ピン	0.8	0.8	0.8	V max	
入力電流, $I_{IN,CS}$ ピン	± 1	± 1	± 1	μA max	
入力容量, $C_{IN}^{3,5}$	± 1	± 1	± 1	μA typ	
ロジック出力					
出力ハイ電圧, V_{OH}	$V_{DD} - 0.2$	$V_{DD} - 0.2$	$V_{DD} - 0.2$	V min	$I_{SOURCE} = 200\mu A, V_{DD} = 2.35 \sim 5.25V$ $I_{SINK} = 200\mu A$
出力ロー電圧, V_{OL}	0.4	0.4	0.4	V max	
フローティング状態リーク電流	± 10	± 10	± 10	μA max	
フローティング状態出力容量 ^{3,5}	10	10	10	pF max	
出力コーデイング	ストレート(自然)バイナリ				
変換レート					
変換時間	0.8	1.33	1.33	μs max	16SCLK周期 フルスケール・ステップ入力 サイン波入力 100kHz シリアル・インターフェースの項参照
トラック/ホールド・アクイジション時間	500	500	500	ns max	
	350	400	400	ns max	
スループットレート	1000	600	600	kSPS max	
電源条件					
V_{DD}	2.35/5.25	2.35/5.25	2.35/5.25	Vmin/max	デジタルI/P=0Vまたは V_{DD} $V_{DD} = 4.75 \sim 5.25V, SCLK$ オンまたはオフ $V_{DD} = 2.35 \sim 3.6V, SCLK$ オンまたはオフ $V_{DD} = 4.75 \sim 5.25V, f_{SAMPLE} = f_{SAMPLEMAX}^6$ $V_{DD} = 2.35 \sim 3.6V, f_{SAMPLE} = f_{SAMPLEMAX}^6$ SCLKオフ SCLKオン $V_{DD} = 5V, f_{SAMPLE} = f_{SAMPLEMAX}^6$ $V_{DD} = 3V, f_{SAMPLE} = f_{SAMPLEMAX}^6$ $V_{DD} = 5V, SCLK$ オフ $V_{DD} = 3V, SCLK$ オフ
I_{DD}					
ノーマル・モード(静止時)	2	2	2	mA typ	
	1	1	1	mA typ	
ノーマル・モード(動作時)	3.5	3	3	mA max	
	1.6	1.4	1.4	mA max	
フル・パワーダウン・モード	1	1	1	μA max	
	80	80	80	μA max	
消費電力 ⁷					
ノーマル・モード(動作時)	17.5	15	15	mW max	
	4.8	4.2	4.2	mW max	
フル・パワーダウン	5	5	5	μW max	
	3	3	3	μW max	

注
 1 温度範囲は以下の通り、A、Bバージョン: $-40 \sim +85$ 、Sバージョン: $-55 \sim +125$ 。
 2 $V_{DD} = 2.0V$ から動作可能です。
 3 用語集を参照してください。
 4 B、Sバージョンの最大性能は、 $V_{DD} = 5.25V$ についての代表値です。

5 整合性の観点から25度のサンプル・テストの結果です。
 6 Aバージョン: $f_{SAMPLEMAX} = 1MSPS$ 、B、Sバージョン: $f_{SAMPLEMAX} = 600kSPS$
 7 電力対スループットの項を参照してください。

仕様は予告なく変更されることがあります。

AD7476/AD7477/AD7478

AD7477 - 仕様¹ (特に指示のない限り、 $V_{DD} = 2.75 \sim 5.25V$ 、 $f_{SCLK} = 20MHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	Aバージョン ^{1,2}	Sバージョン ^{1,2}	単位	テスト条件 / 備考
ダイナミック特性				$f_{IN} = 100kHz$ サイン波、 $f_{SAMPLE} = 1MSPS$
S/N + 歪み (SINAD)	61	61	dB min	
全高調波歪み (THD)	-73	-73	dB max	
ピーク高調波またはスプリアス・ノイズ (SFDR)	-74	-74	dB max	
相互変調歪み (IMD)				
2次項	-78	-78	dB typ	$f_a = 103.5kHz, f_b = 113.5kHz$
3次項	-78	-78	dB typ	$f_a = 103.5kHz, f_b = 113.5kHz$
アパーチャ遅延	10	10	ns max	
アパーチャ・ジッター	30	30	ps typ	
フルパワー帯域幅	6.5	6.5	MHz typ	@3dB
DC精度				
分解能	10	10	ビット	
積分非直線性	± 1	± 1	LSB max	
微分非直線性	± 0.9	± 0.9	LSB max	10ビットまでノー・ミスコード保証
オフセット誤差	± 1	± 1	LSB max	
ゲイン誤差	± 1	± 1	LSB max	
アナログ入力				
入力電圧範囲	$0 \sim V_{DD}$	$0 \sim V_{DD}$	V	
DCリーク電流	± 1	± 1	μA max	
入力容量	30	30	pF typ	
ロジック入力				
入力ハイ電圧, V_{INH}	2.4	2.4	V min	$V_{DD} = 5V$
入力ロー電圧, V_{INL}	0.8	0.8	V max	$V_{DD} = 3V$
入力電流, I_{IN} , SCLKピン	± 1	± 1	μA max	代表値は10nA, $V_{IN} = 0V$ または V_{DD}
入力電流, I_{IN} , CSピン	± 1	± 1	μA typ	
入力容量, C_{IN} ^{3,4}	10	10	pF max	
ロジック出力				
出力ハイ電圧, V_{OH}	$V_{DD} - 0.2$	$V_{DD} - 0.2$	V min	$I_{SOURCE} = 200\mu A, V_{DD} = 2.7 \sim 5.25V$
出力ロー電圧, V_{OL}	0.4	0.4	V max	$I_{SINK} = 200\mu A$
フローティング状態リーク電流	± 10	± 10	μA max	
フローティング状態出力容量 ^{3,4}	10	10	pF max	
出力コーデイング	ストレート(自然)バイナリ			
変換レート				
変換時間	800	800	ns max	20MHzにおいて16SCLK周期
トラック / ホールド・アクイジション時間	400	400	ns max	
スループットレート	1	1	MSPS max	シリアル・インターフェースの項参照
電源条件				
V_{DD}	2.7/5.25	2.7/5.25	V min/max	
I_{DD}				デジタルI/P = 0Vまたは V_{DD}
ノーマル・モード(静止時)	2	2	mA typ	$V_{DD} = 4.75 \sim 5.25V, SCLK$ オンまたはオフ
ノーマル・モード(動作時)	1	1	mA typ	$V_{DD} = 2.7 \sim 3.6V, SCLK$ オンまたはオフ
ノーマル・モード(動作時)	3.5	3.5	mA max	$V_{DD} = 4.75 \sim 5.25V, f_{SAMPLE} = 1MSPS$
フル・パワーダウン・モード	1.6	1.6	mA max	$V_{DD} = 2.7 \sim 3.6V, f_{SAMPLE} = 1MSPS$
フル・パワーダウン・モード	1	1	μA max	SCLKオフ
フル・パワーダウン・モード	80	80	μA max	SCLKオン
消費電力 ⁵				
ノーマル・モード(動作時)	17.5	17.5	mW max	$V_{DD} = 5V, f_{SAMPLE} = 1MSPS$
フル・パワー・ダウン	4.8	4.8	mW max	$V_{DD} = 3V, f_{SAMPLE} = 1MSPS$
フル・パワー・ダウン	5	5	μW max	$V_{DD} = 5V, SCLK$ オフ

注

- 1 温度範囲は以下の通り、Aバージョン：-40 ~ +85、Sバージョン：-55 ~ +125。
- 2 入力電圧 $V_{INH} = 1.8V$ minで $V_{DD} = 2.0V$ から動作可能です。
- 3 用語集を参照してください。
- 4 整合性の観点から25°Cでのサンプル・テストの結果です。
- 5 電力対スループットの項を参照してください。
仕様は予告なく変更されることがあります。

AD7476/AD7477/AD7478

AD7478 - 仕様¹ (特に指示のない限り、 $V_{DD} = 2.75 \sim 5.25V$ 、 $f_{SCLK} = 20MHz$ 、 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	Aバージョン ^{1,2}	単位	テスト条件 / 備考
ダイナミック特性			$f_{IN} = 100kHz, f_{SAMPLE} = 1MSPS$
S/N + 歪み (SINAD)	49	dB min	
全高調波歪み (THD)	-65	dB max	
ピーク高調波またはスプリアス・ノイズ (SFDR)	-65	dB max	
相互変調歪み (IMD)			
2次項	-68	dB typ	$f_a = 498.7kHz, f_b = 508.7kHz$
3次項	-68	dB typ	$f_a = 498.7kHz, f_b = 508.7kHz$
アパーチャ遅延	10	ns max	
アパーチャ・ジッター	30	ps typ	
フルパワー帯域幅	6.5	MHz typ	@3dB
DC精度			
分解能	8	ビット	
積分非直線性	± 0.5	LSB max	8ビットまでノー・ミスコード保証
微分非直線性	± 0.5	LSB max	
オフセット誤差	± 0.5	LSB max	
ゲイン誤差	± 0.5	LSB max	
全非調整歪み	± 0.5	LSB max	
アナログ入力			
入力電圧範囲	$0 \sim V_{DD}$	V	
DCリーク電流	± 1	μA max	
入力容量	30	pF typ	
ロジック入力			
入力ハイ電圧, V_{INH}	2.4	V min	$V_{DD} = 5V$
入力ロー電圧, V_{INL}	0.8	V max	$V_{DD} = 3V$
入力電流, $I_{IN, SCLK}$ ピン	0.4	V max	代表値は10nA, $V_{IN} = 0V$ または V_{DD}
入力電流, $I_{IN, CS}$ ピン	± 1	μA max	
入力電流, $I_{IN, CS}$ ピン	± 1	μA typ	
入力容量, C_{IN} ^{3,4}	10	pF max	
ロジック出力			
出力ハイ電圧, V_{OH}	$V_{DD} - 0.2$	V min	$I_{SOURCE} = 200\mu A, V_{DD} = 2.7 \sim 5.25V$
出力ロー電圧, V_{OL}	0.4	V max	$I_{SINK} = 200\mu A$
フローティング状態リーク電流	± 10	μA max	
フローティング状態出力容量 ^{3,4}	10	pF max	
出力コーディング	ストレート (自然) / バイナリ		
変換レート			
変換時間	800	ns max	20MHzにおいて16SCLK周期
トラック / ホールド・アキュイジション時間	400	ns max	
スループットレート	1	MSPS max	シリアル・インターフェースの項参照
電源条件			
V_{DD}	2.7/5.25	V min/max	
I_{DD}			デジタル $I/P = 0V$ または V_{DD}
ノーマル・モード (静止時)	2	mA typ	$V_{DD} = 4.75 \sim 5.25V, SCLK$ オンまたはオフ
ノーマル・モード (動作時)	1	mA typ	$V_{DD} = 2.7 \sim 3.6V, SCLK$ オンまたはオフ
フル・パワーダウン・モード	3.5	mA max	$V_{DD} = 4.75 \sim 5.25V, f_{SAMPLE} = 1MSPS$
	1.6	mA max	$V_{DD} = 2.7 \sim 3.6V, f_{SAMPLE} = 1MSPS$
フル・パワーダウン・モード	1	μA max	SCLKオフ
	80	μA max	SCLKオン
消費電力 ⁵			
ノーマル・モード (動作時)	17.5	mW max	$V_{DD} = 5V, f_{SAMPLE} = 1MSPS$
	4.8	mW max	$V_{DD} = 3V, f_{SAMPLE} = 1MSPS$
フル・パワーダウン	5	μW max	$V_{DD} = 5V, SCLK$ オフ

注

- 1 温度範囲は以下の通り、Aバージョン: $-40 \sim +85$ 。
- 2 入力電圧 $V_{INH} = 1.8V$ minで $V_{DD} = 2.0V$ から動作可能です。
- 3 用語集を参照してください。
- 4 整合性の観点から25°Cでのサンプル・テストの結果です。
- 5 電力対スループットの項を参照してください。

仕様は予告なく変更されることがあります。

AD7476/AD7477/AD7478

タイミング特性^{1,2} (特に指示のない限り、 $V_{DD} = 2.35 \sim 5.25V$ 、 $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	T_{MIN}, T_{MAX} における限界 AD7476/AD7477/AD7478		単位	解説
	3V ³	5V ³		
f_{SCLK}^4	10	10	kHz min	Aバージョン
	20	20	MHz max	Bバージョン
	12	12	MHz max	
$t_{CONVERT}$	$16 \times t_{SCLK}$	$16 \times t_{SCLK}$		
t_{QUIET}	50	50	ns min	バスの開放から次の変換の開始までに必要とされる最小の不活性時間
t_1	10	10	ns min	CSパルス幅の最小値
t_2	10	10	ns min	CSからSCLKまでのセットアップ時間
t_3^5	20	20	ns max	CSからSDATAのスリーステート状態がディスエーブルされるまでの遅延時間
t_4^5	40	20	ns max	SCLKの立ち下がりがリッジの後のデータ・アクセス時間:Aバージョン
	70	20	ns max	SCLKの立ち下がりがリッジの後のデータ・アクセス時間:Bバージョン
t_5	$0.4t_{SCLK}$	$0.4t_{SCLK}$	ns min	SCLKロー・パルス幅
t_6	$0.4t_{SCLK}$	$0.4t_{SCLK}$	ns min	SCLKハイ・パルス幅
t_7	10	10	ns min	SCLKからデータが有効となるまでのホールド時間
t_8^6	10	10	ns min	SCLKの立ち下がりがリッジからSDATAハイ・インピーダンス
	25	25	ns max	SCLKの立ち下がりがリッジからSDATAハイ・インピーダンス
$t_{POWER-UP}^7$	1	1	μs typ	フル・パワーダウンからのパワーアップ時間

注

- 整合性の観点から25°Cでのサンプル・テストの結果です。すべての入力信号の仕様は $t_r = t_f = 5ns$ (V_{DD} の10~90%)に対するもので1.6Vの電圧レベルから計時したものです。
- Aバージョンのタイミング特性は、AD7477 Sバージョンにも適用されます。Bバージョンのタイミング仕様は、AD7476 Sバージョンにも適用されます。
- Aバージョンの3Vでの仕様は $V_{DD} = 2.7 \sim 3.6V$ に対応します。Bバージョンの3Vでの仕様は $V_{DD} = 2.35 \sim 3.6V$ に対応します。5Vの仕様は $V_{DD} = 4.75 \sim 5.25V$ に対応します。
- SCLK入力Mark/Space比は40/60~60/40です。
- 図1の負荷回路について計測されたもので、出力が0.8Vまたは2.0Vを横切るのに必要な時間と定義されます。
- t_8 は図1の回路を負荷とした場合にデータ出力が0.5V変化するために必要な時間から求められたものです。測定された数値は50pFのコンデンサの充電または放電の影響を排除するために外挿されています。これは、タイミング特性に示される時間 t_s がバス開放のための正確な時間であり、バスの負荷には影響されないことを示します。
- パワーアップ時間の項を参照してください。
仕様は予告なく変更されることがあります。

絶対最大定格

(特に指示のない限り、 $T_A = 25^\circ C$)

$V_{DD} \sim GND$	0.3 ~ +7V
アナログ入力電圧 ~ GND	- 0.3V ~ $V_{DD} + 0.3V$
デジタル入力電圧 ~ GND	- 0.3 ~ +7V
デジタル出力電圧 ~ GND	- 0.3V ~ $V_{DD} + 0.3V$
電源ピンを除くピンへの入力電流 ²	$\pm 10mA$

動作温度範囲

商業用(A,Bバージョン)	- 40 ~ +85
軍用(Sバージョン)	- 55 ~ +125
保管温度範囲	- 65 ~ +150

接合部温度

SOT-23パッケージ、ワット損 450mW

J_A 温度インピーダンス 230 $^{\circ}C/W$

J_C 温度インピーダンス 92 $^{\circ}C/W$

ピン温度、ハンダ付け

蒸着(60秒)	215
赤外線(15秒)	220
ESD	3.5kV

注

- 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。2100mAまでの過渡電流はSCRのラッチアップを生じさせません。

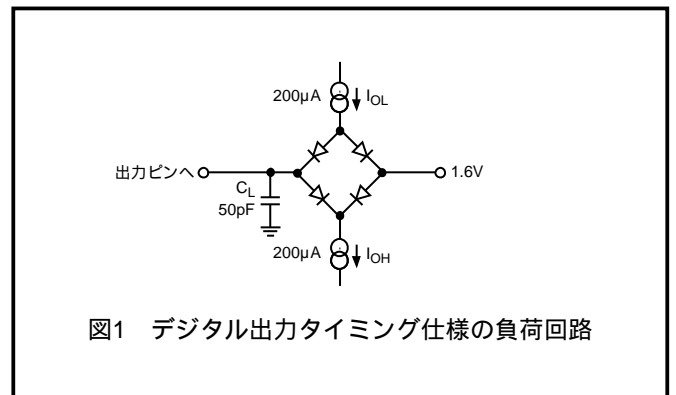


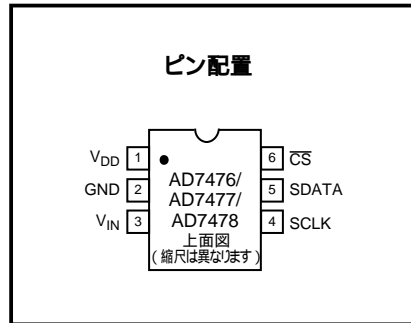
図1 デジタル出力タイミング仕様の負荷回路

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD7476/AD7477/AD7478



ピン機能説明

ピン番号	ピン記号	機能
1	V _{DD}	電源入力。AD7476/7477/AD7478のV _{DD} 範囲は2.35~5.25Vです。
2	GND	アナログ・グラウンド。AD7476/AD7477/7478のすべての回路のグラウンド基準点です。すべてのアナログ入力は、このグラウンド電圧を基準としなければなりません。
3	V _{IN}	アナログ入力です。シングル・エンド・アナログ入力チャンネルです。入力範囲は0~V _{DD} です。
4	SCLK	シリアル・クロックです。SCLKがデータをアクセスするためのシリアル・クロックを供給します。このクロック入力はAD7476/AD7477/AD7478の変換プロセスのクロック・ソースとしても使用されます。
5	SDATA	データ出力です。AD7476/AD7477/AD7478の変換結果は、シリアル・データ・ストリームとしてこの出力端子に供給されます。AD7476からのデータ・ストリームは、先頭の4つの0にMSB先頭の12ビットの変換データが続きます。AD7477からのデータ・ストリームは、先頭の4つの0にMSB先頭の10ビットの変換データが続き、次いで2つの後続ゼロが続きますが、これらはMSB先頭です。AD7478からのデータ・ストリームは、先頭の4つの0にMSB先頭の12ビットの変換データが続きます。AD7477からのデータ・ストリームは、先頭の4つの0にMSB先頭の8ビットの変換データが続き、次いで4つの後続ゼロが続きますが、これらはMSB先頭です。
6	$\overline{\text{CS}}$	チップ・セレクト。アクティブ・ローのロジック入力です。この入力は、AD7476/AD7477/AD7478のデータ変換の開始およびシリアル・データ転送のフレーミングの両方に使用されます。

オーダー・ガイド

モデル	温度範囲	直線性誤差 (LSB) ¹	パッケージ・オプション	ブランド情報
AD7476ART	- 40 ~ + 85	± 1 typ	RT-6	CEA
AD7476BRT	- 40 ~ + 85	± 1.5 max	RT-6	CEB
AD7476SRT	- 55 ~ + 125	± 1.5 max	RT-6	CES
AD7477ART	- 40 ~ + 85	± 1 max	RT-6	CFA
AD7477SRT	- 55 ~ + 125	± 1 max	RT-6	CFS
AD7478ART	- 40 ~ + 85	± 0.5 max	RT-6	CJA
EVAL-AD7476CB ³				
EVAL-AD7477CB ³				
EVAL-CONTROL BOARD ⁴				

注

1 ここでの直線性誤差は積分直線性誤差をいいます。

2 RT = SOT-23

3 これは、評価 / デモンストレーションのためにスタンド・アロンの評価ボードまたはEVAL-CONTROL BOARDと接続して使用できます。

4 このボードは、末尾の記号がCBであるすべてのアナログ・デバイスの評価ボードのPCによる制御、または、これらとの通信実現する完全なユニットです。

用語集**積分非直線性**

これは、A/Dコンバータの伝達関数の終点を貫く直線からの最大偏差を示します。AD7476/AD7477の伝達関数の終点は、ゼロ・スケールであり、最初のコードの遷移から1/2LSBだけ下回った点および最後のコードの遷移を1/2LSB上回る点です。AD7478の伝達関数の終点は、ゼロ・スケールであり、最初のコードの遷移から1LSBだけ下回った点および最後のコードの遷移を1LSB上回る点です。

微分非直線性

これは、A/Dコンバータのコードのうち任意の隣接する2つのコードと、現実に測定された1LSBによる変化の差です。

オフセット誤差

これは、最初のコード遷移である(00...000)から(00...001)での、理論的な値(即ち、アナログ・グラウンド+0.5LSB)からの偏差です。AD7478では、最初のコード遷移である(00...000)から(00...001)での、理論的な値(即ち、アナログ・グラウンド+1LSB)からの偏差です。

トラック / ホールド・アキュイジション時間

トラック / ホールド・アンプは、変換の終了時にトラック・モードに戻ります。トラック / ホールド整定時間は、変換の終了時点からトラック / ホールド・アンプの出力が最終的な値の ± 0.5 LSBに達するために要する時間をいいます。詳細については、シリアル・インターフェース・タイミングの項をご覧ください。

S/N(ノイズ+歪み)比

これは、A/Dコンバータの出力で測定した信号対(ノイズ+歪み)の比です。この信号は、基本波の振幅のrms値です。ノイズは、サンプリング周波数の半分($f_s/2$)までの基本波以外の波形の合計値であって、直流成分を除いたものです。

この比は、デジタル化のプロセスにおける量子化レベルの数に依存し、レベルの数が多いほど量子化ノイズは小さくなります。理想的なNビットのコンバータに対する理論的な信号対(ノイズ+歪み)比は次式で得られます。

$$\text{信号対(ノイズ+歪み)比} = (6.02N + 1.76) \text{ dB}$$

12ビットのコンバータでは74dB、10ビットのコンバータでは62dB、8ビットのコンバータでは50dBとなります。

全非調整誤差

これは、ゲイン誤差、直線性誤差、オフセット誤差を含む包括的な仕様です。

全高調波歪み

全高調波歪みは、すべての高調波のrms合計値の基本波に対する比です。AD7476/AD7477/AD7478に対しては以下の式で定義されます。

$$\text{THD (dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

ここで、 V_1 は基本波の振幅のrms値であり、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、第2高調波から第6高調波までの振幅のrms値です。

ピーク高調波またはスプリアス・ノイズ

ピーク高調波またはスプリアス・ノイズは、A/Dコンバータの出力スペクトルのうち2番目に大きい成分($f_s/2$ までで、直流成分を除いたもの)のrms値の基本波とrms値との比と定義されます。通常は、この仕様はスペクトル中の最大の高調波によって決まりますが、高調波がノイズのフロアに埋もれてしまうようなA/Dコンバータでは、ノイズのピークとなります。

相互変調歪み

2つの周波数 f_a および f_b のサイン波からなる入力については、非直線性を持ったデバイスのすべてで、例えば $m, n = 0, 1, 2, 3$ についての $m f_a \pm n f_b$ の周波数の合計および差異について歪み成分が生成されます。変調間歪みの項は、ここで m と n のいずれもが0とならない場合に限られます。例えば、2次の項が $(f_a + f_b)$ と $(f_a - f_b)$ を含んでおり、3次の項が $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、 $(f_a - 2f_b)$ を含んでいる場合です。

AD7476/AD7477/AD7478は、CCIF標準を用いてテストされており、 $f_a = 498.7 \text{ kHz}$ および $f_b = 508.7 \text{ kHz}$ の2つの入力周波数が用いられています。この場合では、2次の項は大抵もとのサイン波から離れた周波数に設定され、3次の項は入力周波数に近い周波数に設定されます。このため、2次および3次の項は、別個に指定されません。変調間歪みの計算は、各歪み成分のrms合計値の複数の基本波の合計のrms振幅の比をdBで表すTHD仕様のようなものです。

AD7476/AD7477/AD7478

特性曲線

図2に、1MHzのサンプル・レートと100kHzの入力周波数におけるAD7476の代表的なFFTプロットを示します。

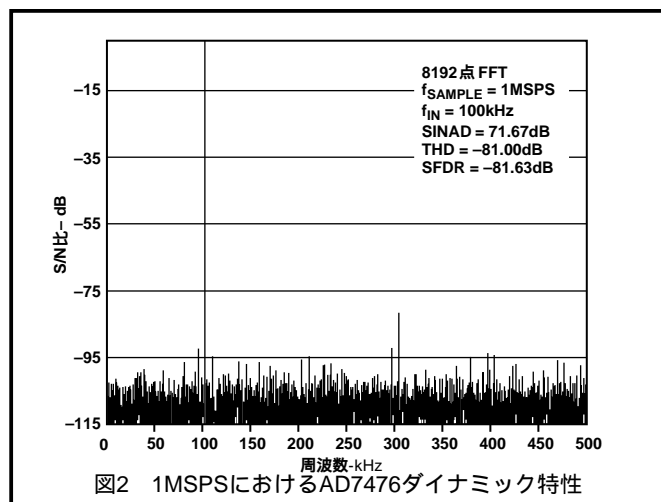


図3に、600kHzのサンプル・レートと100kHzの入力周波数におけるAD7476の代表的なFFTプロットを示します。

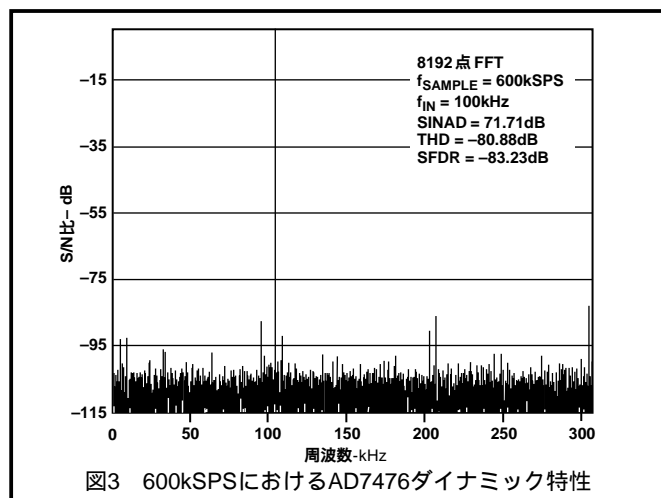


図4に、1MHzのサンプル・レートと100kHzの入力周波数におけるAD7477の代表的なFFTプロットを示します。

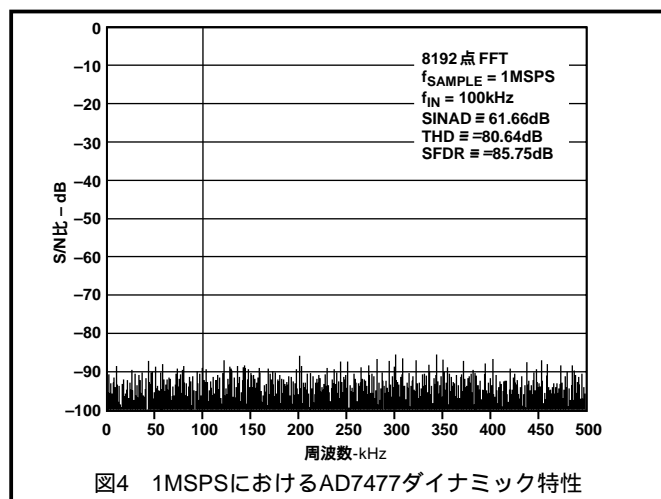


図5に、1MHzのサンプル・レートと100kHzの入力周波数におけるAD7478の代表的なFFTプロットを示します。

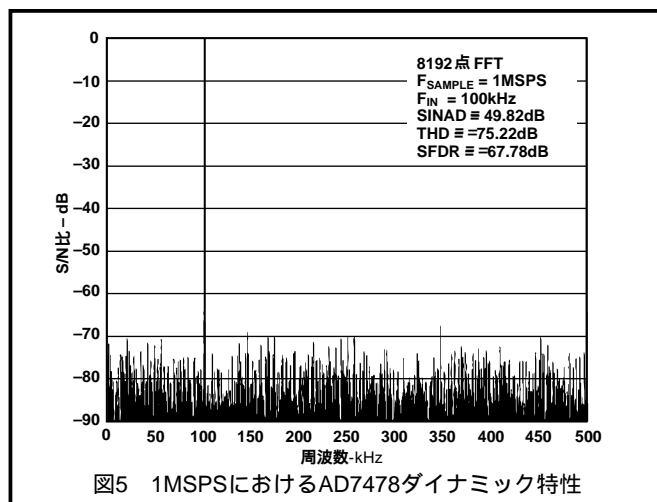


図6に、サンプリング周波数993kSPS、SCLK周波数20MHzでの、各電源電圧での信号対(ノイズ+歪み)比特性を入力周波数ごとに示します。

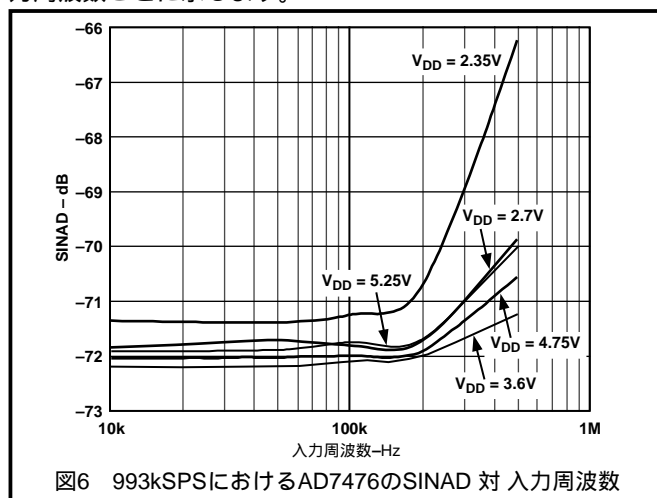
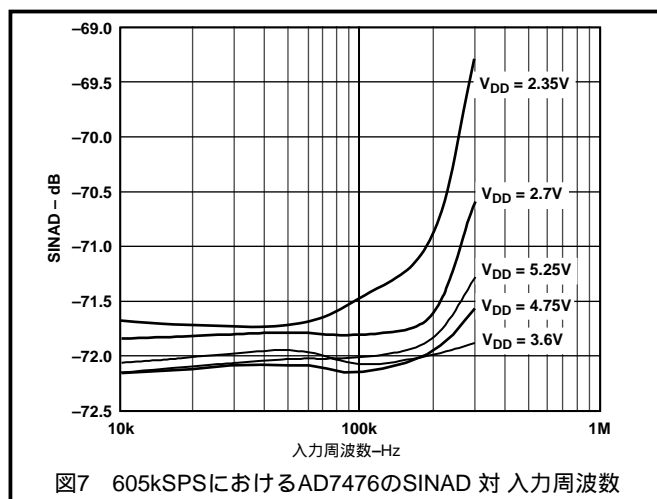


図7に、サンプリング周波数605kSPS、SCLK周波数12MHzについてのさまざまな電源電圧についての信号対(ノイズ+歪み)比特性を入力周波数ごとに示します。



回路情報

AD7476(12ビット)AD7477(10ビット)AD8478(8ビット)は、高速、低消費電力の、単電源2.35~5.25Vで動作するA/Dコンバータです。AD7476/AD7477/AD7478を5Vまたは3V電源で動作させる場合、20MHzのクロックが供給されたとして、スレーブトレート1MSPSで動作できます。

AD7476/AD7477/AD7478は、オンチップのトラック / ホールド、A/Dコンバータ、シリアル・インターフェースを小型の6ピンSOT-23パッケージで提供し、他のソリューションに比べてスペース削減が極めて有利です。シリアル・クロック入力によりデータのアクセスが可能で、逐次比較型A/Dコンバータへのクロック・ソースを提供します。アナログ入力範囲は0V~V_{DD}です。このA/Dコンバータは外部リファレンスが不要で、内部リファレンスもありません。

AD7476/AD7477/AD7478のリファレンスは電源から生成されるため、最も広いダイナミックな入力範囲が得られます。

AD7476/AD7477/AD7478は、また、変換と変換の合間の電力消費を節約するパワーダウンのオプションを持っています。このパワーダウン機能は、動作モードの項で解説するように、標準のシリアル・インターフェースによって実現されています。

コンバータ動作

AD7476/AD7477/AD7478は、電荷再分配型D/Aコンバータを基礎とする逐次変換型A/Dコンバータです。図8、9にA/Dコンバータの概略図を示します。図8は、A/Dコンバータによる読み込みの動作を示したものです。SW2が閉じられSW1が位置Aにある状態で、コンパレータはバランス状態にあり、サンプリング・コンデンサはV_{IN}から信号を読み取ります。

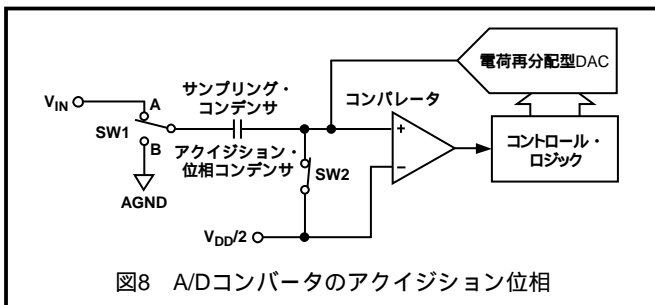


図8 A/Dコンバータのアクイジション位相

A/Dコンバータが変換を開始すると(図9) SW2が開かれSW1が位置Bに移動してコンパレータがアンバランス状態となります。コントロール・ロジックおよび電荷再分配型DACは、サンプリング・コンデンサに対し一定量の電荷を加算 / 減算してコンパレータをバランス状態に戻します。コンパレータが再びバランス状態に戻ると、変換が完了します。コントロール・ロジックは、A/Dコンバータの出力コードを生成します。図10、11にA/Dコンバータの伝達関数を示します。

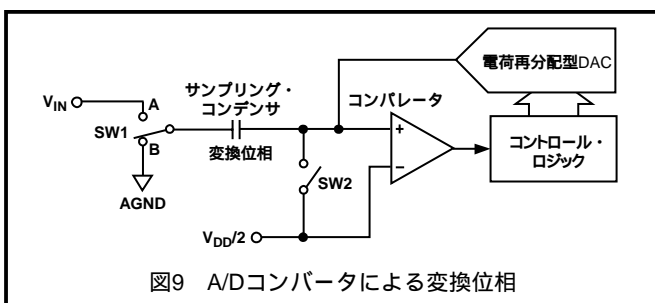


図9 A/Dコンバータによる変換位相

A/Dコンバータの伝達関数

AD7476/AD7477/AD7478の出力のコード化はストレート・バイナリで行われます。AD7476/AD7477では、意図されたコード遷移は連続する整数のLSB値(例:1/2LSB、3/2LSBなど)の間で行われます。AD7476のLSBサイズはV_{DD}/4096であり、AD7477のLSBサイズはV_{DD}/1024です。AD7476/AD7477の理論的な伝達特性を図10に示します。

AD7478では、意図されたコード遷移は連続する整数のLSB値(例:1LSB、2LSBなど)の間で行われます。AD7478のLSBの大きさはV_{DD}/256です。AD7478の理論的な伝達特性を図11に示します。

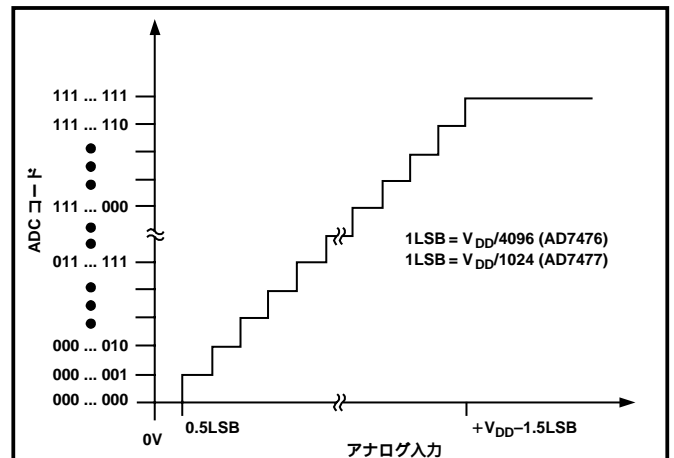


図10 AD7476/AD7477の伝達特性

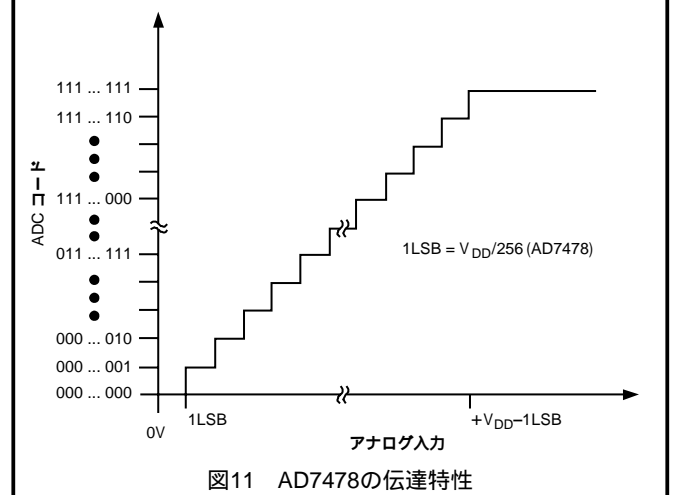


図11 AD7478の伝達特性

代表的な接続例

図12にAD7476/AD7477/AD7478の代表的な接続例を示します。V_{REF}はV_{DD}から、V_{DD}が十分にデカップリングされるような形で内部的に取り込まれます。これにより、アナログ入力範囲は0V~V_{DD}となります。変換結果は、最上位の4ビットのゼロに12ビット、10ビット、8ビットの変換結果が続く形の16ビット・ワードの形で出力されます。AD7477の10ビットの変換結果には2つの後続するゼロが続きます。AD7478の8ビットの変換結果には4つの後続ゼロが続きます。

AD7476/AD7477/AD7478

一方、AD7476/AD7477/AD7478が必要とする供給電流は小さいため、高精度リファレンスをAD7476/AD7477/AD7478への電源供給源として使用することもできます。REF19xリファレンス(5V用のREF195、3V用のREF193)を用いて必要な電源をA/Dコンバータに供給できます(図12参照)。この構成は、電源ノイズが非常に大きい場合や、システムの電源電圧が5Vや3V以外(例:15V)のときに特に有用です。REF19xは、AD7476/AD7477/AD7478に安定した電圧を出力します。低ドロップアウトのREF193を使用した場合、AD7476/AD7477/AD7478に供給すべき電流の代表値は1mAです。A/Dコンバータが1MSPSのレートで変換を行っているときは、REF193は最大1.6mAの電流をAD7476/AD7477/AD7478に供給する必要があります。REF193の負荷の規定の代表値は10ppm/mA(REF193、VS=5V)であり、これにより、ここから引き出される1.6mAに対して16ppm(80 μ A)の誤差を生じます。これは、REF193から3Vを供給されるAD7476では0.11LSBの誤差に、AD7477では0.03LSB、AD7478では0.0068LSBの誤差に相当します。電源消費が問題となるようなアプリケーションでは、A/Dコンバータのパワーダウン・モードおよびREF19xリファレンスのスリープ・モードを使用して電力特性を向上させてください。動作モードの項を参照してください。

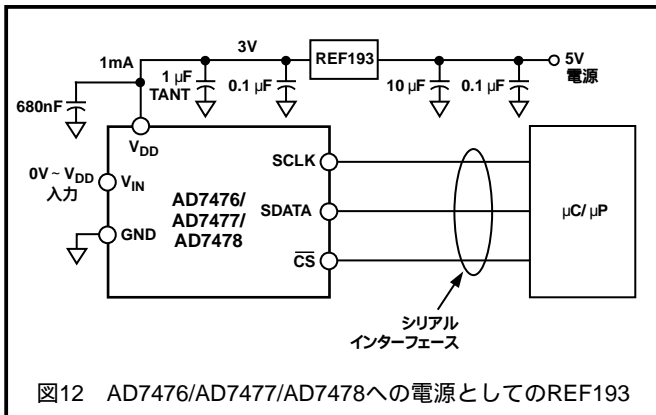


図12 AD7476/AD7477/AD7478への電源としてのREF193

表IIに、低周波数のアナログ入力についてさまざまなリファレンスをV_{DD}のソースとして使用した場合の代表的な特性を示します。同じ設定条件でリファレンスを比較したところ、AD780が最適のリファレンスであることが証明されています。

表I

V _{DD} に接続するリファレンス	AD7476 S/N比特性 1kHz入力
AD780@3V	71.17dB
REF193	70.4dB
AD780@2.5V	71.35dB
REF192	70.93dB
AD1852	70.05dB

アナログ入力

図13にAD7476/AD7477/AD7478のアナログ入力部の等価回路を示します。D1およびD2の2つのダイオードは、アナログ入力へのESD保護を与えます。アナログ入力電源電圧の上下を200mV以上超えないように注意してください。このような場合には、これらのダイオードは順方向にバイアスされサブストレートへの電流の導通が始まります。これらのダイオードについて、部品に回復不可能な損

傷を与えない最大の導通電流は20mAです。図13のコンデンサC1は、代表的には約4pFであり、主としてピンの容量に影響を与えます。抵抗R1は、スイッチのオン抵抗の集合からなます。この抵抗は、代表的には約100 Ω です。コンデンサC2は、A/Dコンバータのサンプル・コンデンサであり、代表的な容量は30pFです。交流アプリケーションでは、適当なアナログ入力ピンにバンドパス・フィルタを設けてアナログ入力信号から高周波数成分を除去することを推奨します。高調波歪みやS/N比が問題となるアプリケーションでは、アナログ入力を低インピーダンスのソースでドライブすべきです。大きなソース・インピーダンスは、A/Dコンバータの交流特性に大きな影響を与えます。このような事情から、入力バッファ・アンプが必要になる場合もあります。オペアンプを採用するかどうかは、特定のアプリケーションの性質に依存します。

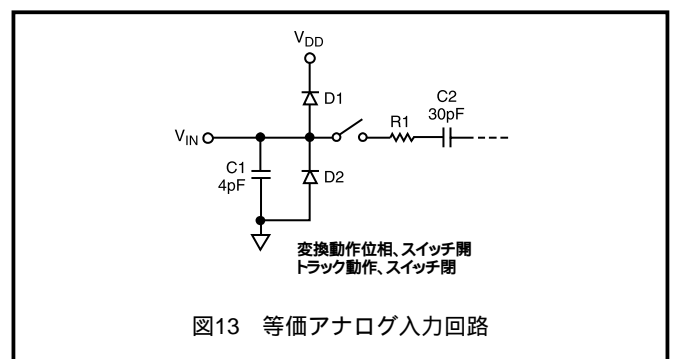


図13 等価アナログ入力回路

アナログ入力をドライブするアンプがないときには、ソース・インピーダンスを低い値に制限してください。ソース・インピーダンスの最大値は、許容される全高調波歪み(THD)の量に依存します。THDはソース・インピーダンスが増大するにつれて増大し、特性は劣化します。図14は、電源電圧2.7V、サンプリング・レート605kSPSにおける、異なるアナログ入力周波数に対する全高調波対ソース・インピーダンスのグラフです。図15は993kSPSサンプルでSCLK周波数20MHz、図16は605kSPSサンプルでSCLK周波数12MHzの場合の、さまざまな電源電圧での全高調波歪み対アナログ入力信号周波数のグラフを示します。

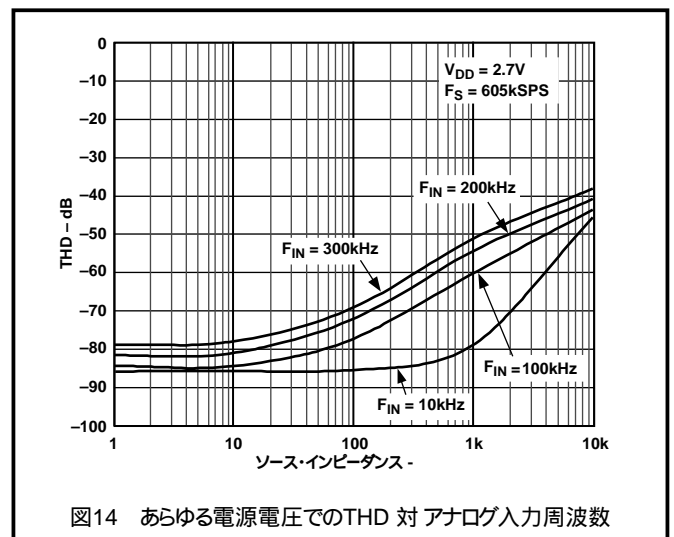


図14 あらゆる電源電圧でのTHD 対 アナログ入力周波数

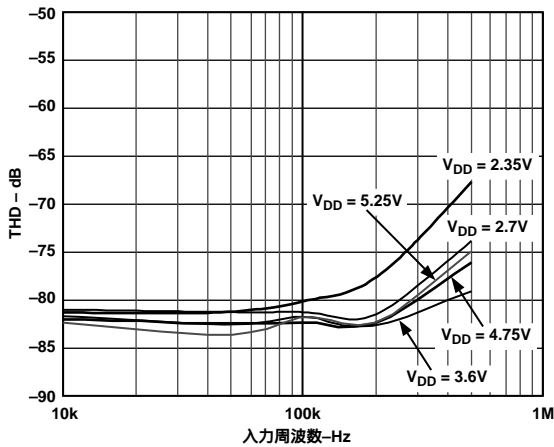


図15 $f_s = 993\text{kSPS}$ におけるTHD 対 アナログ入力周波数

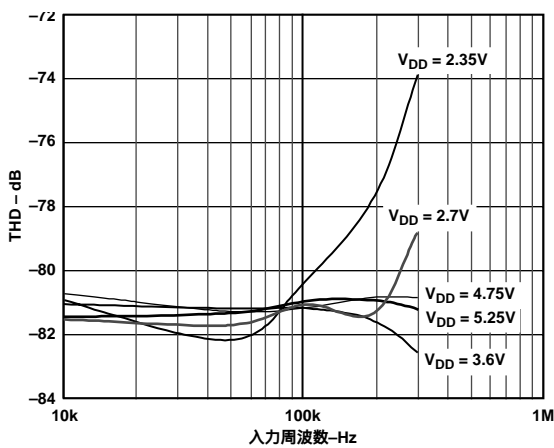


図16 $f_s = 605\text{kSPS}$ におけるTHD 対 アナログ入力周波数

デジタル入力

AD7476/AD7477/AD7478へのデジタル入力は、アナログ入力を制限する最大定格の制限を受けません。その代わりに、デジタル入力は7Vまで許容され、アナログ入力の $V_{DD} + 0.3\text{V}$ の限界の制限を受けません。例えば、AD7476/AD7477/AD7478が3Vの V_{DD} で動作する場合、デジタル入力に5Vのロジックレベルを与られます。しかし、 V_{DD} が3Vのときには、SDATAのデータ出力のロジックレベルは依然として3Vのままであることに注意してください。SCLKおよび $\overline{\text{CS}}$ が

$V_{DD} + 0.3\text{V}$ の限界によって制限されないことによるもう一つの利点として、電源のシーケンスの問題が回避できることがあります。 $\overline{\text{CS}}$ またはSCLKが V_{DD} の前に与えられる場合でも、0.3Vを超える信号が V_{DD} の前に与えられた場合にアナログ入力について生じるようなラッチアップの危険がありません。

動作モード

AD7476/AD7477/AD7478の動作モードは、変換の間に $\overline{\text{CS}}$ 信号の(論理的な)状態を制御して選択できます。選択可能なモードとしては、ノーマル・モードとパワーダウン・モードの2つがあります。変換が開始されている状態で $\overline{\text{CS}}$ をハイとする時点によって、AD7476/AD7477/AD7478がパワーダウン・モードに入るかどうかが決まります。同様に、すでにパワーダウンの状態にある場合には、 $\overline{\text{CS}}$ によってデバイスを通常の動作に戻すか、パワーダウンのままとしておくかを制御できます。これらの動作モードは、柔軟なパワー管理のオプションを提供するために設計されています。これらのオプションは、異なるアプリケーション上の要求に合わせて、電力消費 / スループットレートを最適化するために選択できます。

ノーマル・モード

このモードは、最速のスループット・レート特性が得られ、AD7476/AD7477/AD7478が常にパワーアップ状態となっているため、パワーアップ時間への考慮が不要です。図17に、このモードでのAD7476/AD7477/AD7478の動作の総括的な図を示します。変換は、シリアル・インターフェースの項で示したように、 $\overline{\text{CS}}$ の立ち下がりがエッジで開始します。部品を常にパワーアップ状態にするために、 $\overline{\text{CS}}$ の立ち下がりがエッジから最低10個のSCLKの立ち下がりがエッジが経過するまで $\overline{\text{CS}}$ をロー状態としておく必要があります。10番目のSCLKの立ち下がりがエッジの後から、16番目のSCLKの立ち下がりがエッジの前の期間で、任意のタイミングで $\overline{\text{CS}}$ がハイにされると部品がパワーアップ状態のままとなりますが、変換は終了しSDATAがスリー・ステート状態に戻ります。変換を完了して完全な変換結果にアクセスするには、16個のシリアル・クロックが必要です。 $\overline{\text{CS}}$ は次の変換までの間、アイドル・ローの状態にあってもよく、また、次の変換のある時点でハイに戻るまでアイドル・ローの状態であっても構いません($\overline{\text{CS}}$ をアイドル・ローの状態とすることが効果的です)。

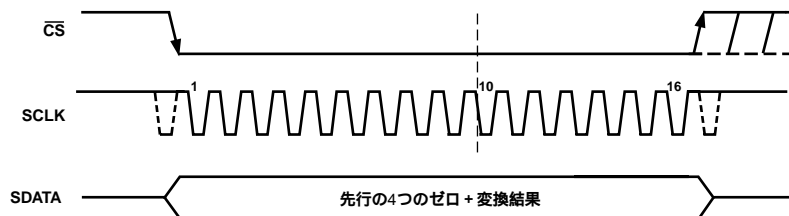


図17 ノーマル・モード動作

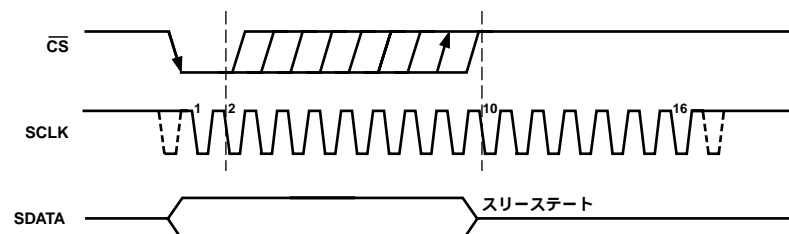


図18 パワーダウン・モードへの移行

AD7476/AD7477/AD7478

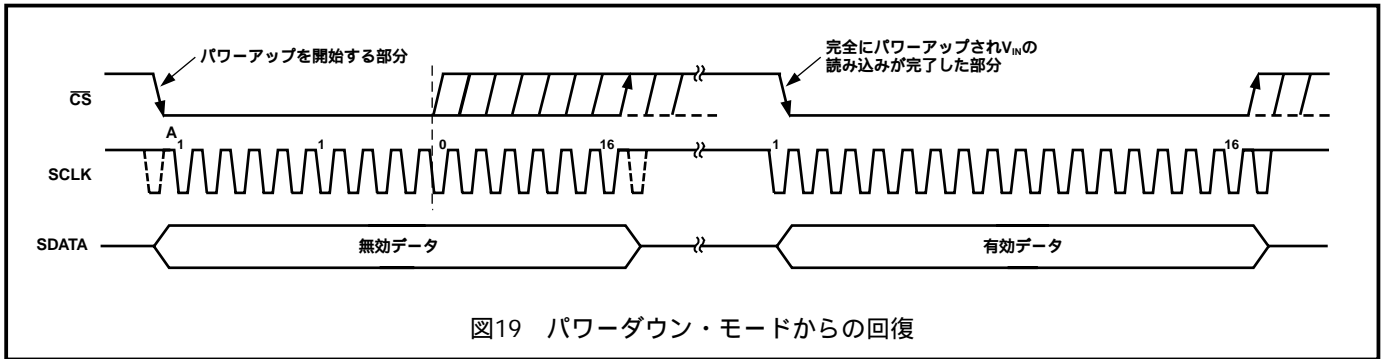


図19 パワーダウン・モードからの回復

パワーダウン・モード

このモードは、要求されるスループット速度の遅いアプリケーションのためのもので、それぞれの変換の間でA/Dコンバータをパワーダウンさせる場合や、一連の変換が高スループットで実行された後で、これらのバースト的な変換の後に比較的長い間A/Dコンバータをパワーダウンさせるような場合に対応するものです。AD7476/AD7477/AD7478がパワーダウンしたときには、全アナログ回路がパワーダウンします。

パワーダウンに入るには、図18のように、SCLKの2番目の立ち下がりがエッジの後でありSCLKの10番目の立ち下がりがエッジの前の任意の時点でCSをハイにする必要があります。このウィンドウの中でいったんCSがハイになると、部品はパワーダウンに入りCSの立ち下がりがエッジで開始された変換は中断し、SDATAがスリーステート状態に戻ります。CSがSCLKの2番目の立ち下がりがエッジの前でハイになると、部品はノーマルモードにとどまり、パワーダウンになりません。これにより、CS線のグリッチによる予期せぬパワーダウンを回避できます。この動作モードから抜け出してAD7476/AD7477/AD7478を再びパワーアップするために、ダミーの変換が実行されます。CSの立ち下がりがエッジでデバイスはパワーアップを開始し、10番目のSCLKのエッジの後までCSがローに保たれている限りパワーアップ状態が継続します。16個のSCLKが経過するとデバイスは完全にパワーアップの状態となり、図19のように、次の変換から有効なデータが得られます。CSがSCLKの10番目の立ち下がりがエッジの前でハイになると、AD7476/AD7477/AD7478は再びパワーダウン状態となります。これにより、CS線のグリッチや不注意によりCSがロー状態で8SCLK周期がバースト的に経過した場合でも、予期しないパワーアップを回避できます。このため、デバイスがCSの立ち下がりがエッジでパワーアップを開始した場合でも、CSの立ち上がりエッジがSCLKの10番目の立ち下がりがエッジの前に発生すれば、再びパワーダウンの状態となります。

パワーアップ時間

AD7476/AD7477/AD7478のパワーアップ時間は、代表値で1μsであり、これは20MHzまでの任意の周波数で、デバイスの立ち上がりには1ダミー・サイクルあれば常に十分であることを示します。ダミー・サイクルがいったん終了すると、ADCは完全にパワーアップされ入力信号が適正に読み込まれます。不活性時間 t_{QUIET} は、依然として、ダミー変換の後でバスがスリーステートに回復する時点からCSの次の立ち下がりがエッジまで認める必要があります。スループットレート1MSPSでの動作時には、AD7476/AD7477/AD7478は1ダミー・サイクル、つまり1μsでパワーアップして信号を±0.5LSBで読み取ります。

ダミー・サイクルによってパワーダウン・モードからパワーアップするときには、図19に示すように、部品のパワーダウン中ホールド・モードだったトラック / ホールドは、CSの立ち下がりがエッジの後で部品が最初に受け取るSCLKエッジの後でトラック・モードに戻ります。これは図19の位置Aです。任意のSCLK周波数において部品のパワーアップと V_{IN} の読み取りには1ダミー・サイクルがあれば十分ですが、これはデバイスのパワーアップと V_{IN} の完全な読み取りに必ずしも16 SCLKにわたるダミー・サイクルの全体の経過が必要なのではなく、デバイスをパワーアップし入力信号を読み取るには1μsあれば十分です。例えば、A/Dコンバータに5MHzのSCLK周波数を入力する場合、1周期は3.2μsです。1ダミー・サイクル3.2μsの間に部品がパワーアップし V_{IN} が完全に読み込めます。しかし、5MHzのSCLKでは1μs後に5つのSCLKサイクルが経過するに過ぎません。この段階では、A/Dコンバータは完全にパワーアップし信号の読み取りが完了しています。このため、この場合には、SCLKの10番目の立ち下がりがエッジの後にハイにし、 t_{QUIET} 経過後に再びローにすることにより変換が開始できます。

電源が最初にAD7476/AD7477/AD7478に供給されると、A/Dコンバータがパワーダウン・モードまたはノーマル・モードの状態ではパワーアップすることがあります。このため、変換を確実に有効にするためには、ダミー・サイクルの経過を待って部品が完全にパワーアップさせるのが最善です。同様に、部品を使用しない場合にはパワーダウン・モードにしておき、パワーダウン・モードからのパワーアップを実行させたい場合には、図18の方法で1サイクルを実行して、ダミー・サイクルを使い部品がパワーダウン状態にあることを確認できます。電源がいったんAD7476/AD7477/AD7478に与えられると、パワーアップ時間がパワーダウン・モードからのパワーアップ時間と等しくなります。部品がノーマル・モードから完全にパワーアップするには約1μsが必要です。意図する動作モードの実行のためにダミー・サイクルを実行する場合、1μsの経過を待つ必要はありません。その代わりに、A/Dコンバータに電源が供給されると直ちにダミー・サイクルが発生する可能性があります。ダミー変換の直後に最初の有効な変換が実行される場合には、十分な読み取り時間が確保されるよう注意してください。先述のように、パワーダウン・モードからパワーアップするためには、部品はCSの立ち下がりがエッジの後の最初のSCLKエッジでトラックに戻ります。しかしながら、A/Dコンバータが電源が与えられてから最初にパワーアップするときには、トラック / ホールドは既にトラックの状態にあります。これは、A/Dコンバータが意図する動作モードでパワーアップする場合に、ダミー・サイクルによるモードの変更が不要ならば、トラック / ホールドをトラックとするためのダミー・サイクルも不要であることを意味します。

電力とスレーブット・レート

変換が行われないときにAD7476/AD7477/AD7478のパワーダウン・モードを使用することにより、低スレーブット・レートでのA/Dコンバータの平均消費電力が低減できます。図20は、スレーブット・レートが減少する様子を示し、デバイスがパワーダウン状態にある時間が長くなると時間あたりの平均電力消費も減少することを示します。

例えば、AD7476/AD7477/AD7478がスレーブット・レート100kSPS、SCLKは20MHz ($V_{DD} = 5V$)の連続サンプル・モードで動作している場合に、デバイスを変換の間にパワーダウン・モードにすると、電力消費は以下のように計算されます。ノーマル動作での消費電力は17.5mW ($V_{DD} = 5V$)です。パワーアップ時間が1ダミー・サイクル (1 μs)であり、残りの変換時間がもう1サイクル (1 μs)であれば、AD7476/AD7477/AD7478は各変換サイクル間の2 μs で17.5mWを消費するといえます。スレーブット・レートが100kSPS場合には、サイクル・タイムは10 μs で、各サイクルの間に平均して消費される電力は $(2/10) \times (17.5mW) = 3.5mW$ となります。 $V_{DD} = 3V$ 、SCLK = 20MHzで、デバイスが再び変換の間にパワーダウン・モードにある場合には、通常動作での消費電力は4.8mWです。したがって、AD7476/AD7477/AD7478は、各変換サイクルの2 μs の間に4.8mWを消費するといえます。スレーブット・レート100kSPSでの、各サイクルで平均して消費される電力は $(2/10) \times (4.8mW) = 0.96mW$ となります。図20に、5Vと3Vの両方の電源について変換の間にパワーダウン・モードを使用した場合の電力とスレーブット・レートの関係を示します。

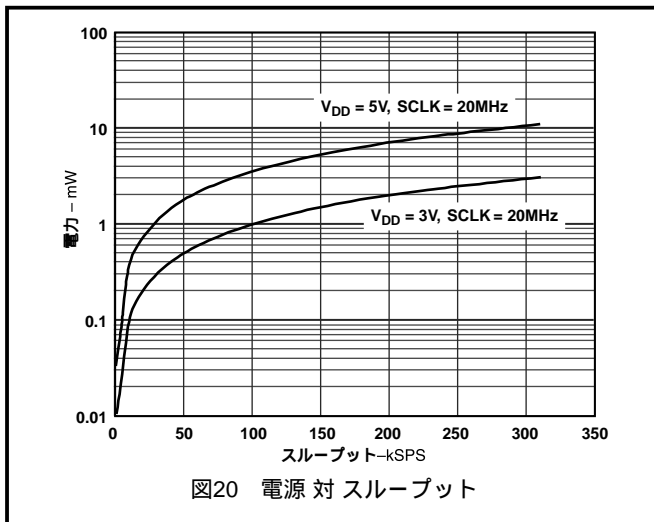


図20 電源対スレーブット

シリアル・インターフェース

図21、図22、図23に、それぞれ、AD7476、AD7477、AD7478のシリアル・インターフェースのタイミング図を示します。シリアル・クロックは、変換クロックを提供するとともに、変換中のAD7476/AD7477/AD7478からの情報の転送を制御します。

\overline{CS} 信号は、データ転送および変換プロセスを開始します。 \overline{CS} の立ち下がりエッジはトラック / ホールドをホールド・モードとし、バスをスリーステート・モードから復帰させ、アナログ入力はこの時点でサンプル処理されます。変換もこの時点で開始し、完了までに16 SCLK周期が必要です。13個のSCLK立ち下がりエッジが経過すると、図21、図22、図23の位置Bでトラック / ホールドが次のSCLKの立ち上がりエッジでトラックに戻ります。SCLKの16番目の立ち下がりエッジでSDATAラインはスリーステートに戻ります。16SCLKの期間が経過する前に \overline{CS} の立ち上がりエッジが発生すると、変換は中断されSDATAはスリーステートとなりますが、これ以外の場合には、図21、図22、図23に示すように、SDATAはSCLKの16番目の立ち下がりエッジでスリーステートに戻ります。変換プロセスを実行してAD7476/AD7477/AD7478からのデータをアクセスするには、16個のシリアル・クロック・サイクルが必要です。 \overline{CS} の立ち下がりエッジによって、マイクロプロセッサまたはDSPによって先行するゼロの最初のゼロが読み込まれます。次に、残りのデータが後続のSCLKの立ち下がりエッジによって2番目のゼロからクロック出力されます。このように、シリアル・クロックの最初の立ち下がりエッジによって先頭ゼロの中の最初のゼロが読み出され、さらに、次のゼロがクロック出力されます。データ転送の最後のビットは16番目の立ち下がりエッジで有効であり、直前の(15番目)の立ち下がりエッジでクロック出力されています。より遅いSCLKを用いたアプリケーションでは、個々のSCLKの立ち上がりエッジでのデータのよみこみ、つまり \overline{CS} の立ち下がりエッジ後の最初のSCLKの立ち上がりエッジで先頭ゼロの中の最初のゼロを読み出し、SCLKの15番目の立ち上がりエッジでDB0を読み出すことが可能となり、または、最後のゼロがAD7477およびAD7478に与えられます。

AD7476/AD7477/AD7478

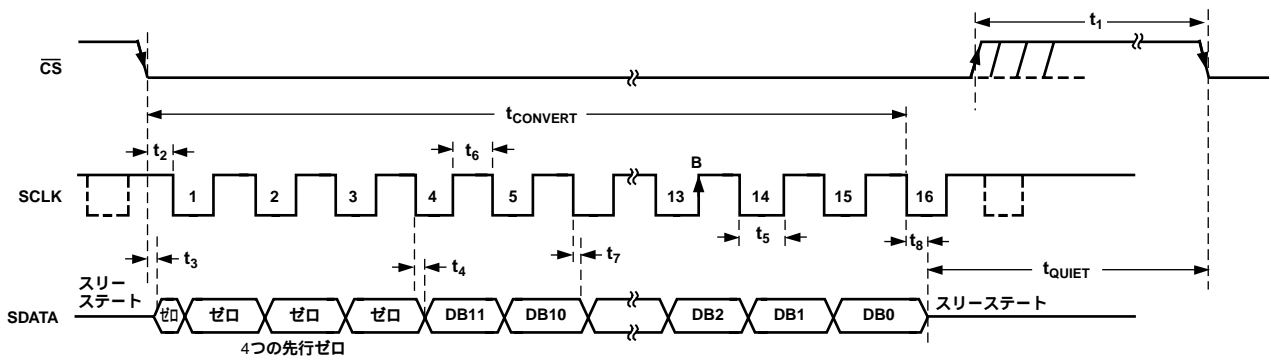


図21 AD7476シリアル・インターフェース・タイミング図

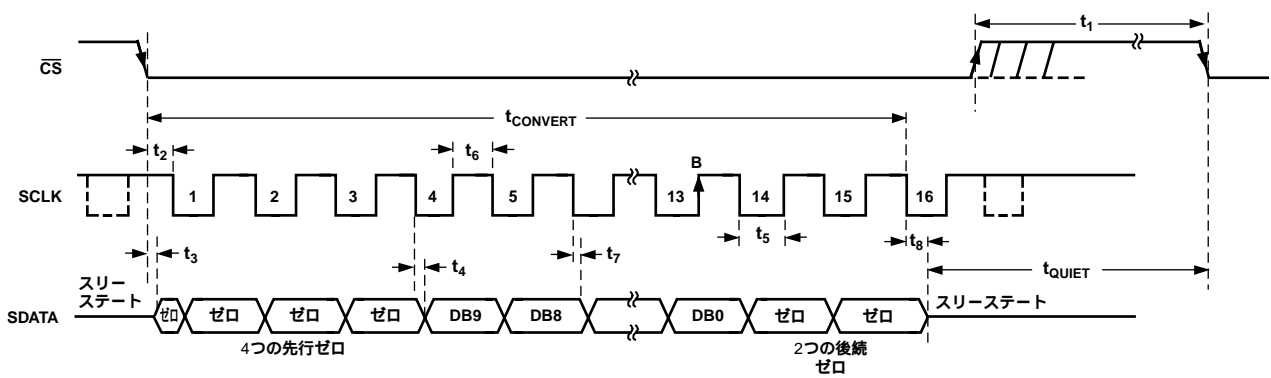


図22 AD7477シリアル・インターフェース・タイミング図

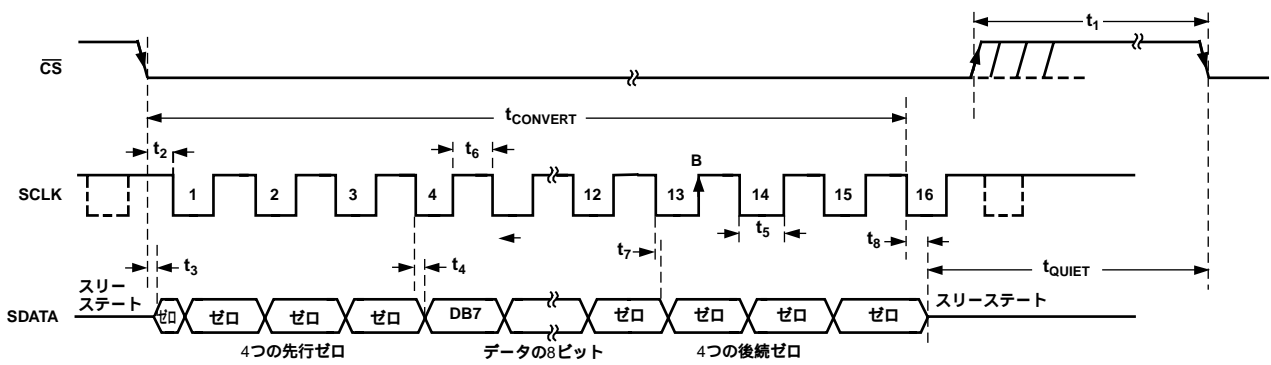


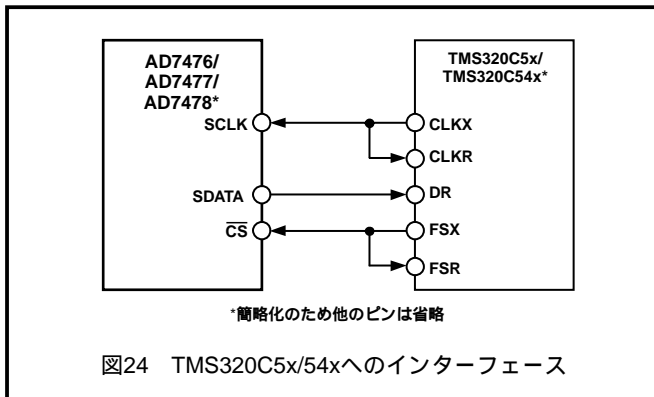
図23 AD7478シリアル・インターフェース・タイミング図

マイクロプロセッサのインターフェース

AD7476/AD7477/AD7478はシリアル・インターフェース経由で、あらゆるマイクロプロセッサと直接接続できます。この項では、AD7476/AD7477/AD7478と、一般的なマイクロプロセッサおよびDSPのシリアル・インターフェース・プロトコルとのインターフェースの方法について解説します。

AD7476/AD7477/AD7478とTMS320C5x/C54xのインターフェース

TMS320C54xのシリアル・インターフェースは、連続的なシリアル・クロックおよびフレーム同期信号を使ってAD7476/AD7477/AD7478などの周辺デバイスとのデータ転送動作を同期化しています。CS入力により、ロジックを介在させることなく、TMS320C5x/54xとAD7476/AD7477/AD7478のインターフェースを簡単に確保できます。TMS320C5x/C54xのシリアル・ポートは、内部のCLKX(Txシリアル・クロック)とFSX(Txフレーム同期)によってバースト・モードで動作する設計です。シリアル・ポート制御レジスタ(SPC)は、FO=0、FSM=1、MCM=1、TXM=1に設定してください。フォーマット・ビットFOを1に設定することにより、ワード長を8ビットとして、AD7476/AD7477/AD7478でのパワー・ダウン・モードを実現できます。図24に接続図を示します。信号処理アプリケーションでは、TMS320C5x/C54xからのフレーム同期信号を等間隔のサンプリングとしなければならない点に注意してください。



AD7476/AD7477/AD7478とADSP-21xxのインターフェース

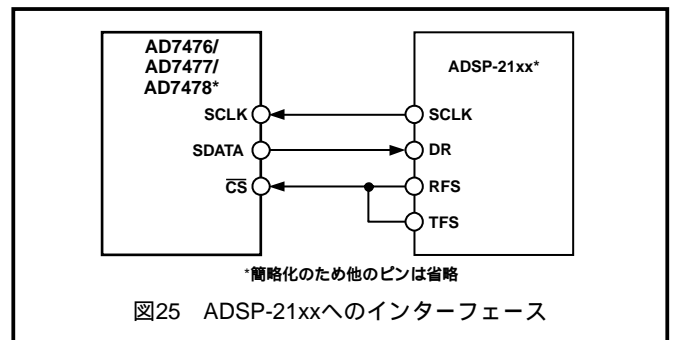
ADSP21xxファミリーのDSPは、接続ロジックを介在させずに、直接にAD7476/AD7477とインターフェースできます。SPORT制御レジスタは以下のように設定してください。

- TFSW=RFSW=1、交番フレーミング
- INVRFS=INVTFS=1、アクティブ・ロー・フレーム信号
- DTYPE=00、右側正規化データ
- SLEN=1111、16ビット・データ・ワード
- TFSR=RFSR=1、ワード単位フレーム
- IRFS=0
- ITFS=1

パワー・ダウン・モードの実行には、SLENを1001に設定して8ビットのSCLKバーストを生成させます。図25に接続図を示します。ADSP-21xx側ではSPORTのTFSとRFSが接続され、TFSが出力にRFSが入力に設定されています。DSPは交番フレーム・モード(Alternate Frame Mode)で動作し、SPORT制御レジスタは上記のように設定されます。TFSで生成されるフレーム同期信号はCSに接続され、すべての信号処理のアプリケーションで等間隔のサンプリングが必要となります。しかしながら、この例では、タイマー・割り込みはA/Dコンバータのサンプリング・レートの制御のために使用され、一定の条件下では等間隔のサンプリングを行いません。

タイマー・レジスタなどは、意図するサンプル間隔での割り込みを発生させるような値でロードされます。割り込みが受け付けられると、値はTFS/DT(ADC制御ワード)により転送されます。TFSはRFSを制御し、データの読み込みを制御します。シリアル・クロックの周波数は、SCLKDIVレジスタに設定されます。TSFにより転送を行う命令では(即ち、AX0=TX0)、SCLKの状態がチェックされます。DSPは送信を開始する前にSCLKがハイからローになり再びハイとなるまで待機します。タイマーとSCLKの値がSCLKの立ち上がりエッジまたはその近くで送信の命令が発生するように設定されている場合には、データが送信されることも、次のクロックのエッジまで待機することもあります。

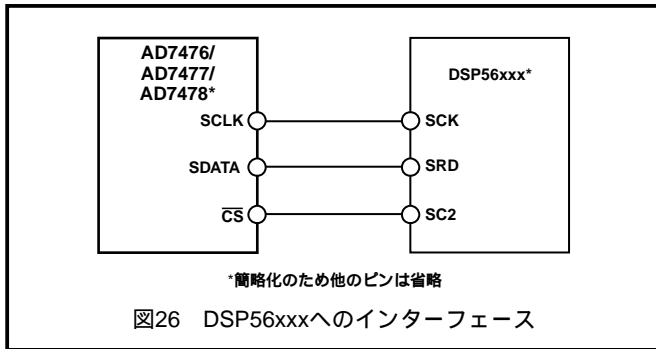
例えば、ADSP-2111には16MHzのマスター・クロックがあります。SCLKDIVレジスタの値として3がロードされている場合には、2MHzのSCLKが得られ、SCLK周期ごとに8個のマスター・クロック周期が経過します。タイマー・レジスタの値として803,100.5がロードされている場合には、SCLKは割り込みの間で発生し、次いで送信命令の間で発生します。この場合には、送信命令がSCLKのいずれかのエッジで発生するため、サンプリングは等間隔とはなりません。割り込みの間のSCLKの数が完全な整数の値であるNである場合には、DSPによって等間隔のサンプリングが実現されます。



AD7476/AD7477/AD7478

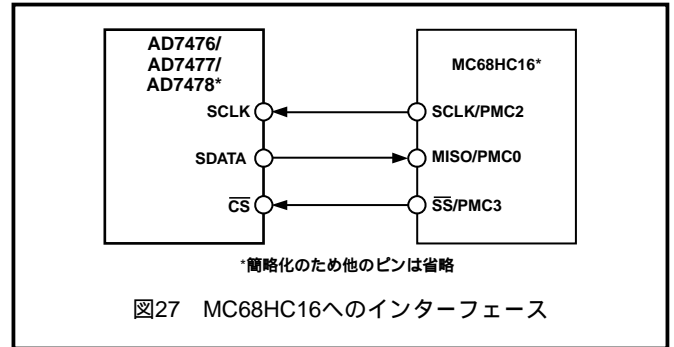
AD7476/AD7477/AD7478と DSP56xxxのインターフェース

図26の接続図は、AD7476/AD7477/AD7478をMotorola社のDSP DSP56xxxファミリーのSSI(Synchronous Serial Interface)に接続する方法を示します。SSIは、TxおよびRxの両方に対して内部的に生成された1ビット・クロック期間のフレーム同期(CRBのビットFSL1=1 およびFSL0=0)によって同期モード(CRBのビットSYN=1)で動作します。CRAの中でWL1=1、WL0=0としてワード長を16に設定してください。AD7476/AD7477/AD7478のパワーダウン・モードを実現するために、CRAの中でWL1=1、WL0=0の設定とすることによりワード長を8ビットに設定できます。信号処理アプリケーションでは、DSP56xxxからの信号を等間隔のサンプリングにする必要があります。



AD7476/AD7477/AD7478と MC68HC16のインターフェース

MC68HC16のシリアル・ペリフェラル・インターフェース(SPI)は、マスター・モード(MSTR = 1)、クロック極性ビット(CPOL)=1、クロック・フェーズ・ビット(CPHA)=0に対して設定されています。SPIは、SPI制御レジスタ(SPCR)への書き込みを行うことによって設定できます。68HC16のユーザー・マニュアルを参照してください。シリアル転送は、SPCRレジスタのSIZEビットがSIZE = 1に設定されているときに16ビット動作で実行されます。8ビット転送でパワーダウン・モードを実現するためには、SIZE = 0にします。図27に接続図を示します。



外形寸法

寸法は、インチと(mm)で示します。

6ピンSOT-23 (RT-6)

