

1chip FET 内蔵タイプスイッチングレギュレータシリーズ



フレキシブル降圧 スイッチングレギュレータ パワーMOSFET 内蔵タイプ

BD9006F, BD9006HFP, BD9007F, BD9007HFP

No.10027JBT35

●概要

高精度周波数フレキシブル降圧スイッチングレギュレータは、外付け抵抗で動作周波数を自由に設定可能な高耐圧POWER MOS FET 内蔵のスイッチングレギュレータです。広い入力電圧範囲 (7~35V) と高い周波数精度±5% (BD9006F, BD9006HFP, f = 200~500kHz) が特長で、外部同期入力端子により外部クロックとの同期動作も可能です。

●特長

- 1) 少ない外付け部品
- 2) 広い入力電圧範囲 : 7V~35V
- 3) 周波数精度 : ±5%(BD9006F, BD9006HFP, f=200~500kHz)
±20%(BD9007F, BD9007HFP)
- 4) P-ch POWER MOS FET 内蔵
- 5) 外付抵抗により出力電圧設定可能 : 0.8V~VIN
- 6) 基準電圧精度 : 0.8V±2%
- 7) 広い動作温度範囲 : -40°C~+105°C
- 8) 低ドロップアウト動作 : 100% ON デューティサイクル
- 9) スタンバイ時消費電流 : 0μA (Typ.)
- 10) 外付抵抗により発振周波数可変 : 50~500kHz
- 11) 外部同期可能
- 12) ソフトスタート機能 (内蔵 5ms(Typ.))
- 13) 過電流保護回路
- 14) 温度保護回路
- 15) ハイパワー一面実装 HRP7 パッケージ(BD9006HFP, BD9007HFP)
小型面実装 SOP8 パッケージ(BD9006F, BD9007F)

●用途

薄型 TV、プリンター、DVD、カーオーディオ、カーナビゲーション、ETC 等の車載機器、AV、OA、産業機器のあらゆる分野で使用可能です。

●ラインアップ

項目	BD9006F, BD9006HFP	BD9007F, BD9007HFP
出力電流	2A	2A
入力範囲	7V~35V	7V~35V
発振周波数範囲	50~500kHz	50~500kHz
発振周波数精度	±5%	±20%
外部同期機能	有	有
スタンバイ機能	有	有
動作温度範囲	-40°C~+105°C	-40°C~+105°C
パッケージ	SOP8/HRP7	SOP8/HRP7

●絶対最大定格 (Ta=25°C)

項目	記号	定格	単位
電源電圧	VIN	36	V
出力スイッチ端子電圧	VSW	VIN	V
出力スイッチ電流	Isw	2 ^{*1}	A
EN/SYNC端子電圧	VEN/SYNC	VIN	V
RT, FB, INV端子電圧	VRT, VFB, VINV	7	V
許容損失	HRP7	Pd	5.5 ^{*2}
	SOP8		0.69 ^{*3}
動作温度範囲	Topr	-40~+105	°C
保存温度範囲	Tstg	-55~+150	°C
最大接合部温度	Tjmax	150	°C

*1 Pd を越えないこと。

*2 Ta=25°C以上は44mW/°Cで軽減。(70×70×1.6mm³ 2層基板実装時、基板表面銅箔面積: 10.5×10.5mm²、基板にサーマルビア有り、基板裏面銅箔面積: 70×70mm²)*3 Ta=25°C以上は5.52mW/°Cで軽減。70×70×1.6mm³ 2層基板実装時。

●推奨動作範囲

項目	BD9006F, BD9006HFP	BD9007F, BD9007HFP	単位
動作電源電圧	7~35	7~35	V
出力スイッチ電流	~2	~2	A
出力電圧(min/パルス幅)	250	250	ns
発振周波数	50~500	50~500	kHz
発振周波数設定抵抗値	27~360	27~360	kΩ

●動作可能範囲

項目	BD9006F, BD9006HFP	BD9007F, BD9007HFP	単位
動作電源電圧	5~35	5~35	V

●電気的特性

◎BD9006F, BD9006HFP (特に指定のない限り Ta=25°C, VIN=13.2V, VEN/SYNC=5V とする。)

項目	記号	規格値			単位	条件
		最小	標準	最大		
スタンバイ時回路電流	I _{STB}	-	0	10	μA	VEN/SYNC=0V
回路電流	I _Q	-	4	6.5	mA	IO=0A, RT=51kΩ, VINV=0.7V
【SW 部】						
POWER MOS FET ON 抵抗	R _{ON}	-	0.3	0.6	Ω	I _{sw} =50mA
過電流保護動作出力電流	I _{OLIMIT}	2	4	-	A	
出カリーク電流	I _{OLEAK}	-	0	30	μA	VIN=35V, VEN/SYNC=0V
【エラー・アンプ部】						
基準電圧 1	V _{REF1}	0.784	0.800	0.816	V	VFB=VINV
基準電圧 2	V _{REF2}	0.780	0.800	0.820	V	VIN=10~16V, VFB=VINV
基準電圧入力変動	ΔV _{REF}	-	0.5	-	%	
入力バイアス電流	I _B	-1	-	-	μA	VINV=0.6V
最大 FB 電圧	V _{FBH}	2.2	2.4	-	V	VINV=0V
最小 FB 電圧	V _{FBL}	-	0.5	0.6	V	VINV=2V
FB シンク電流	I _{FBsink}	-0.47	-1.16	-2.45	mA	VFB=1V, VINV=1V
FB ソース電流	I _{FBsource}	1	5	15	mA	VFB=1V, VINV=0.6V
ソフトスタート時間	T _{SS}	3	5	9	μs	Ta=-40~105°C
【発振器部】						
発振周波数	F _{osc}	285	300	315	kHz	RT=51kΩ
周波数入力変動	ΔF _{osc}	-	0.5	-	%	VIN=10~16V
【イネーブル/同期入力部】						
出力 ON 電圧	V _{ENON}	2.6	-	-	V	VEN/SYNC Sweep Up, Ta=-40~105°C
出力 OFF 電圧	V _{ENOFF}	-	-	0.8	V	VEN/SYNC Sweep Down, Ta=-40~105°C
流入電流	I _{EN/SYNC}	-	35	90	μA	
外部同期周波数	F _{SYNC}	495	500	505	kHz	RT=51kΩ, EN/SYNC=500kHz, Duty 50%

*耐放射線設計はしておりません

◎BD9007F, BD9007HFP (特に指定のない限り $T_a=25^{\circ}\text{C}$, $V_{IN}=13.2\text{V}$, $V_{EN/SYNC}=5\text{V}$ とする。)

項目	記号	規格値			単位	条件
		最小	標準	最大		
スタンバイ時回路電流	I_{STB}	-	0	10	μA	$V_{EN/SYNC}=0\text{V}$
回路電流	I_Q	-	4	6.5	mA	$I_Q=0\text{A}, RT=51\text{k}\Omega, V_{INV}=0.7\text{V}$
【SW部】						
POWER MOS FET ON 抵抗	R_{ON}	-	0.3	0.6	Ω	$I_{SW}=50\text{mA}$
過電流保護動作出力電流	I_{OLIMIT}	2	4	-	A	
出カリーク電流	I_{OLEAK}	-	0	30	μA	$V_{IN}=35\text{V}, V_{EN/SYNC}=0\text{V}$
【エラ-アンプ部】						
基準電圧 1	V_{REF1}	0.784	0.800	0.816	V	$V_{FB}=V_{INV}$
基準電圧 2	V_{REF2}	0.780	0.800	0.820	V	$V_{IN}=10\sim 16\text{V}, V_{FB}=V_{INV}$
基準電圧入力変動	ΔV_{REF}	-	0.5	-	%	
入力バイアス電流	I_B	-1	-	-	μA	$V_{INV}=0.6\text{V}$
最大 FB 電圧	V_{FBH}	2.2	2.4	-	V	$V_{INV}=0\text{V}$
最小 FB 電圧	V_{FBL}	-	0.5	0.6	V	$V_{INV}=2\text{V}$
FB シンク電流	I_{FBsink}	-0.47	-1.16	-2.45	mA	$V_{FB}=1\text{V}, V_{INV}=1\text{V}$
FB ソース電流	$I_{FBsource}$	1	5	15	mA	$V_{FB}=1\text{V}, V_{INV}=0.6\text{V}$
ソフトスタート時間	T_{SS}	3	5	9	mS	$T_a=-40\sim 105^{\circ}\text{C}$
【発振器部】						
発振周波数	F_{OSC}	240	300	360	kHz	$RT=51\text{k}\Omega$
周波数入力変動	ΔF_{OSC}	-	0.5	-	%	$V_{IN}=10\sim 16\text{V}$
【イネーブル/同期入力部】						
出力 ON 電圧	V_{ENON}	2.6	-	-	V	$V_{EN/SYNC}$ Sweep Up, $T_a=-40\sim 105^{\circ}\text{C}$
出力 OFF 電圧	V_{ENOFF}	-	-	0.8	V	$V_{EN/SYNC}$ Sweep Down, $T_a=-40\sim 105^{\circ}\text{C}$
流入電流	$I_{EN/SYNC}$	-	35	90	μA	
外部同期周波数	F_{SYNC}	495	500	505	kHz	$RT=51\text{k}\Omega, EN/SYNC=500\text{kHz}, Duty 50\%$

*耐放射線設計はしておりません

●参考データ

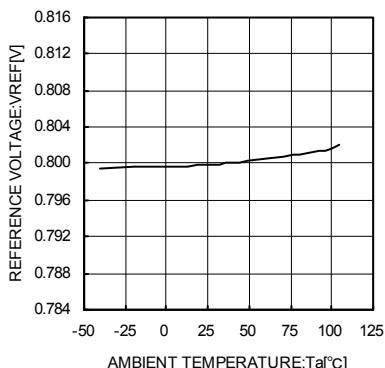


Fig.1 基準電圧温度特性(全シリーズ)

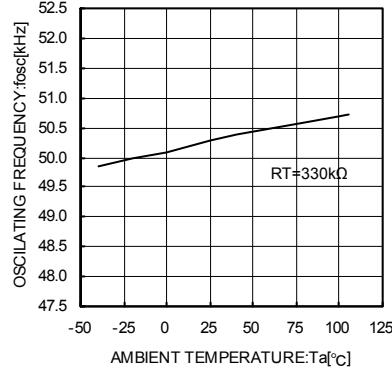


Fig.2 周波数温度特性(全シリーズ)

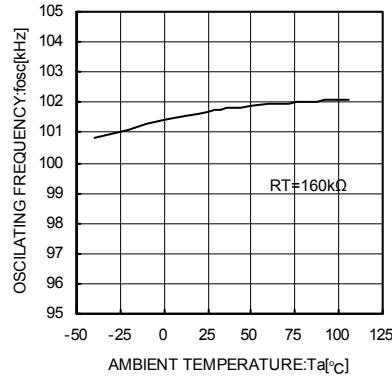


Fig.3 周波数温度特性(全シリーズ)

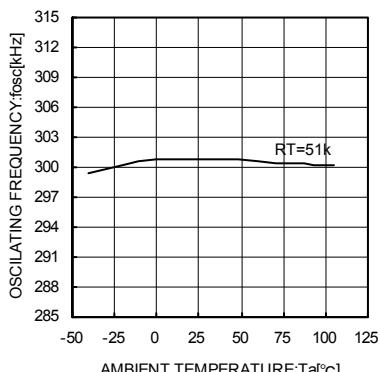


Fig.4 周波数温度特性(全シリーズ)

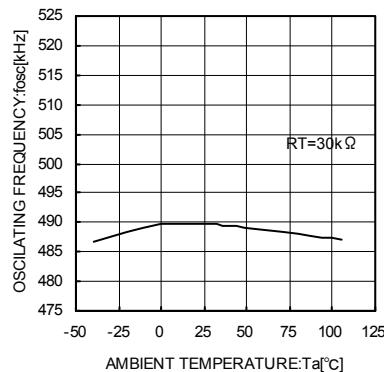


Fig.5 周波数温度特性(全シリーズ)

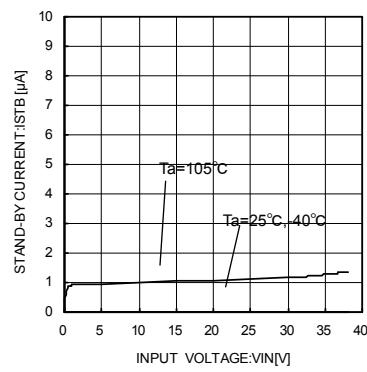


Fig.6 スタンバイ電流(全シリーズ)

●参考データ(続き)

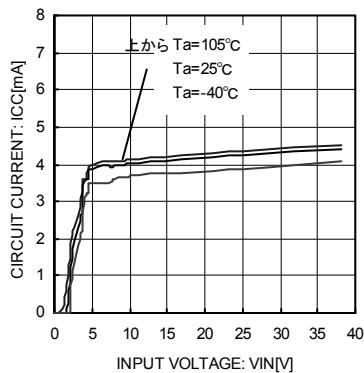


Fig.7 回路電流(全シリーズ)

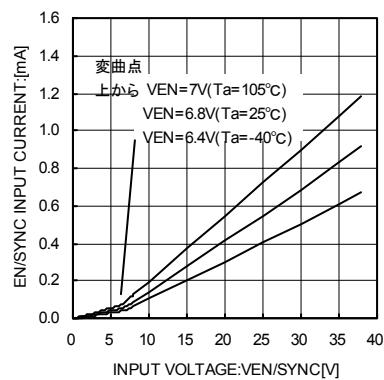


Fig.8 EN/SYNC 流入電流(全シリーズ)

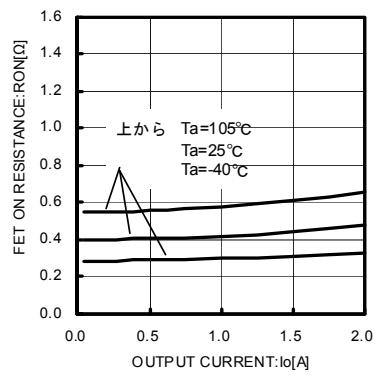


Fig.9 ON 抵抗 VIN=7V(全シリーズ)

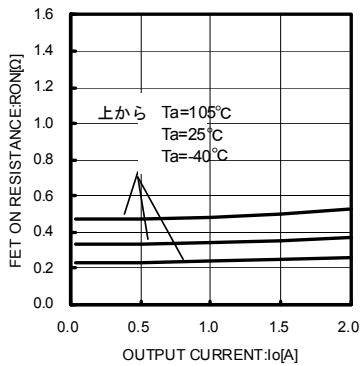


Fig.10 ON 抵抗 VIN=13.2V(全シリーズ)

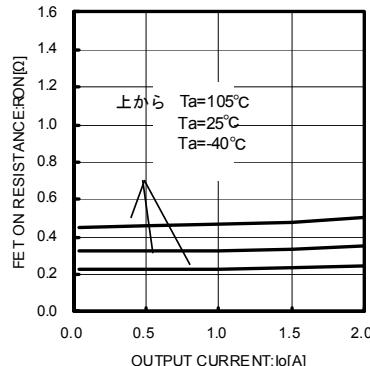


Fig.11 ON 抵抗 VIN=35V(全シリーズ)

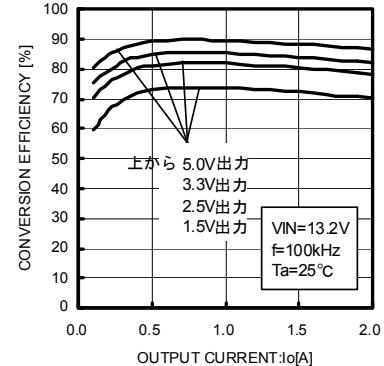


Fig.12 効率 f=100kHz(全シリーズ)

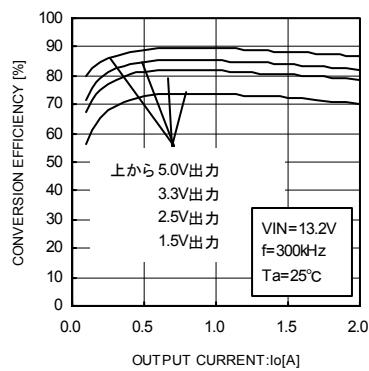


Fig.13 効率 f=300kHz(全シリーズ)

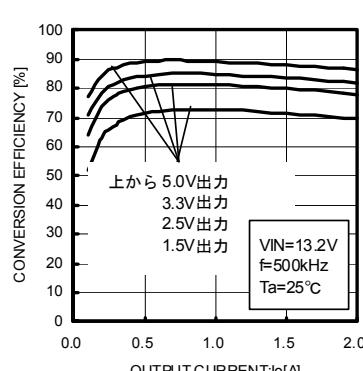


Fig.14 効率 f=500kHz(全シリーズ)

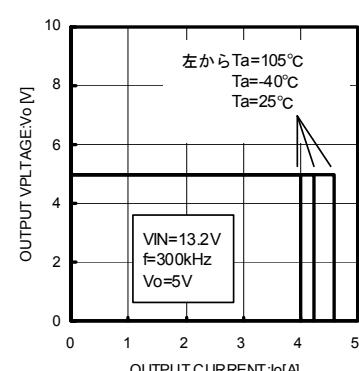
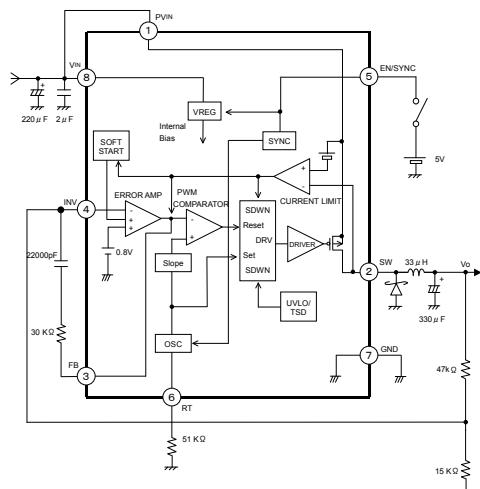


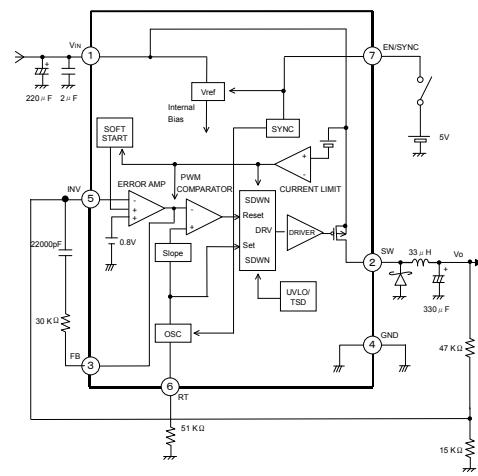
Fig.15 過電流保護動作電流(全シリーズ)

● ブロック図、推奨回路例



(BD9006F/BD9007F)

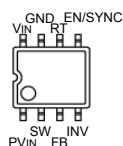
Fig.16



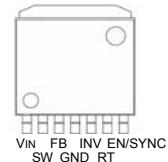
(BD9006HFP/BD9007HFP)

Fig.17

● 端子配置図、端子機能



(BD9006F/BD9007F)



(BD9006HFP/BD9007HFP)

番号	端子名	機能
1	PVIN	パワー系電源入力端子
2	SW	出力端子
3	FB	エラーアンプ出力端子
4	INV	出力電圧フィードバック端子
5	EN/SYNC	イネーブル, 外部同期端子
6	RT	周波数設定抵抗接続端子
7	GND	GND 端子
8	VIN	電源入力端子

*Vin と Pvin は必ずショートしてご使用ください

番号	端子名	機能
1	VIN	電源入力端子
2	SW	出力端子
3	FB	エラーアンプ出力端子
4	GND	GND 端子
5	INV	出力電圧フィードバック端子
6	RT	周波数設定抵抗接続端子
7	EN/SYNC	イネーブル, 外部同期端子
FIN	-	GND 端子

●各ブロック動作説明

・ERROR AMP

基準電圧(0.8V typ.)と"INV"端子電圧を入力とする誤差増幅器です。出力の"FB"により、スイッチングパルスのデューティ幅を制御します。この"INV"と"FB"は位相補償を簡単に行うためにIC外部に出されています。この端子間に容量と抵抗を入れることにより位相マージンを調整出来ます。(位相補償設定方法はP.11~P.13参照)

・SOFT START

電源投入時にERROR AMPの正転入力を除々に上昇させ、スイッチングパルスのデューティ幅を除々に大きくすることにより、出力電圧 V_o のオーバーシュートを防止する機能です。ソフトスタート時間は5msec(Typ.)です。

・SYNC

"EN/SYNC"端子を0.8V以下にすることにより、回路をシャットダウン出来ます。

また"EN/SYNC"端子に設定発振周波数より高い周波数のパルスを印加することにより、外部同期が可能です。(設定周波数~設定周波数の2倍または500kHzまで同期可能)

・OSC(Oscillator)

slopeに入力するパルス波を発生させる回路で、"RT"に抵抗を接続することにより、50kHz~500kHzの発振周波数を設定出来ます。(P.11Fig.24参照)

・Slope

OSCにて生成されたクロックからのこぎり波を生成するブロックです。発生したのこぎり波をPWM COMPARATORへ送ります。

・PWM COMPARATOR

"FB"端子とslope部のこぎり波を比較しスイッチングパルスを出力するコンパレータです。

"FB"の値によりスイッチングパルスのデューティ幅が変化します。(min デューティ幅 250ns)

・TSD(Thermal Shut Down)

ICの熱破壊・熱暴走を防止するために、チップ温度が約150°C以上になると出力がOFFします。また、一定温度に戻ると復帰します。ただし、温度保護回路は本来IC自身を保護する目的で内蔵しておりますので、チップジャンクション温度はサーマルシャットダウン検知温度約150°C未満での熱設計をお願いします。

・CURRENT LIMIT

出力POWER Pch MOS FETがONしている時にドレイン-ソース間電圧(ON抵抗×負荷電流)がIC内部で設定された基準電圧値を超えると出力をOFFラッチせます。この過電流保護検出値はそれぞれ以下のように設定されています。BD9006F, BD9006HFP, BD9007F, BD9007HFP . . . 4A(Typ.)

また、この過電流保護は自己復帰型となっており、OFFラッチした後、発振周波数ごとに出されるRESET信号によりラッチが解除されます。

ただし、これらの保護回路は突発的な事故による破壊防止に有効的なもので、連続的な保護回路動作時(例えば出力電流能力を大きく上回る負荷が常時接続される場合等)でのご使用は避けてください。

●タイミングチャート

・基本動作時

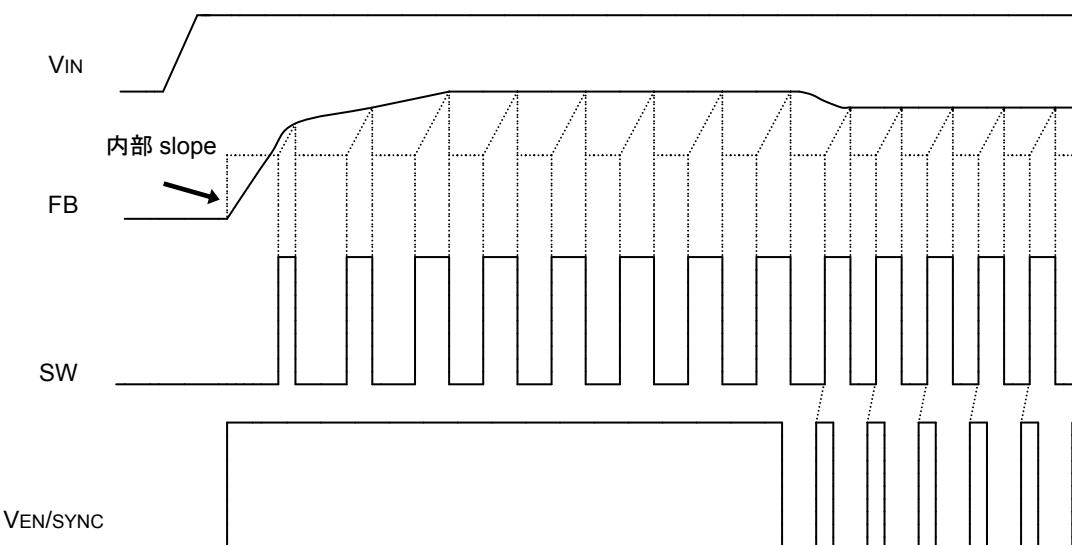


Fig.18

●外部同期機能

外部同期動作には RT 端子に周波数設定抵抗を接続した上で EN/SYNC 端子に同期信号を入力します。

同期信号として設定抵抗(RT)により決定される周波数より高い周波数のパルス波を入力してください。

(例) 設定周波数 100kHz の時、外部同期周波数は 200kHz 以下の周波数にしてください。

また、パルス波の LOW 電圧は 0.8V 以下、HIGH 電圧は 2.6V 以上(HIGH 電圧が 6V 以上になると EN/SYNC 流入電流が増加しますので注意してください(P.4 Fig.8 参照))、立ち上がり(下がり)のスルーレートは $20V/\mu s$ 以下、デューティは 10%~90% の範囲で設定してください。

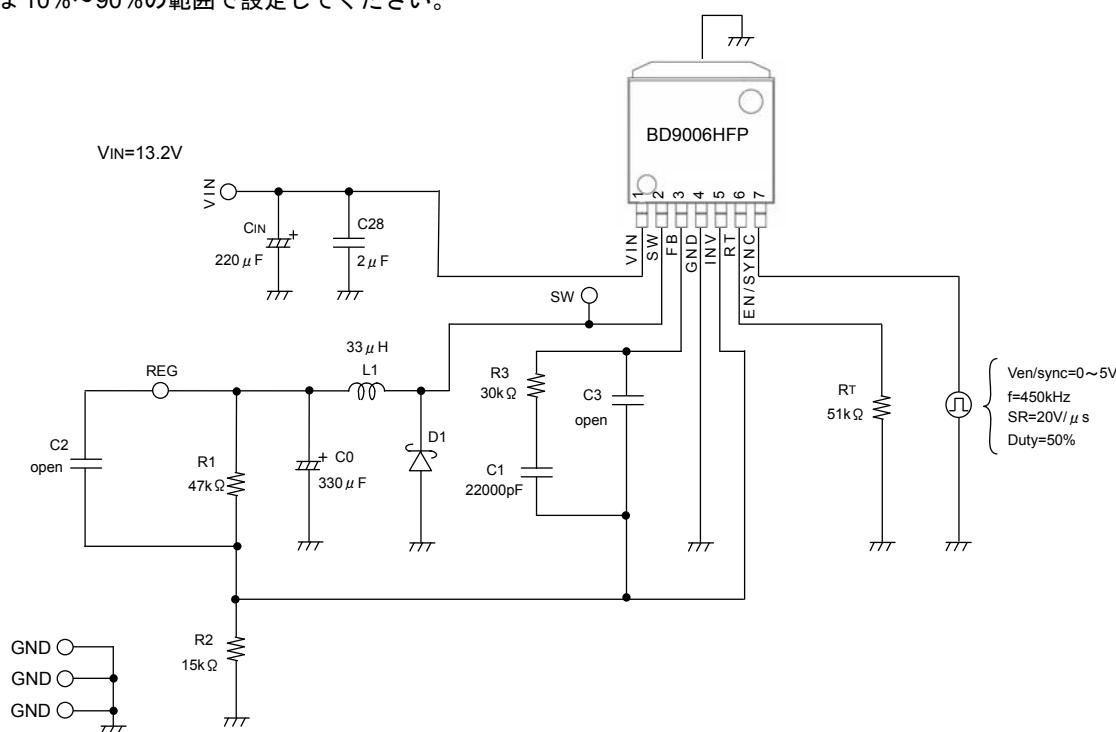


Fig.19 外部同期使用回路例 ($V_o=3.3V, I_o=1A, f=300kHz, EN/SYNC=450kHz$)

●アプリケーション部品選定方法

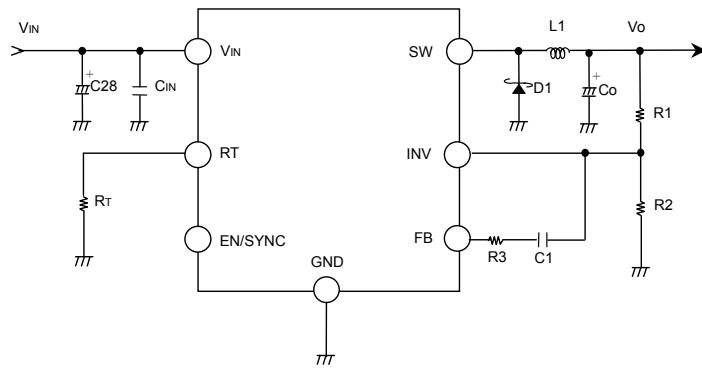


Fig.20

設計方法	計算例
Vo=出力電圧、VIN(Max.)=最大入力電圧 Io(Max.)=最大負荷電流、f=発振周波数	Vo=3.3V、VIN(typ.)=13.2V Io(Max.)=1A、f=300kHzの場合
1. 出力電圧設定 出力電圧は次式により求められます。 $Vo=0.8 \times (1+R1/R2)$ この式より R1、R2 を選択してください。 なお、R2 は、30kΩ 以下に設定してください。 R1、R2 に流れる電流は出力電流に対して十分小さくなるように選択してください。	Vo=3.3V、R2=15kΩと設定した場合 $3.3=0.8 \times (1+R1/15kΩ)$ $R1=46.875kΩ \doteq 47kΩ$ <u>R1=47 kΩ</u>
2. コイル(L1)の選択 コイルの値は次式により求められます。 $L1=(VIN-Vo) \times Vo / (VIN \times f \times \Delta Io)$ $\Delta Io : 出力リップル電流$ $\Delta Io \text{は} Io \text{の通常} 20\text{~}30\% \text{程度です。}$ この設定が最適でないと、正常に(連続的に)発振しない可能性があります。また、コイルに流れるピーク電流値がコイルの定格電流値を超えないように充分にマージンをもって設定してください。	VIN=13.2V、Vo=3.3V、Io=1A、f=300kHzの場合、 $L1=(13.2-3.3) \times 3.3 / (13.2 \times 300k \times (1 \times 0.3))$ $=27.5\mu H \doteq 33\mu H$ <u>L1=33μH</u>
3. 出力コンデンサ(Co)の選択 出力コンデンサは必要である出力リップル電圧 $\Delta Vo(p-p)$ により決定します。次式により必要なESR値を求め、容量を選択してください。 $\Delta IL=(VIN-Vo) \times Vo / (L \times f \times VIN)$ $\Delta Vpp=\Delta IL \times ESR + (\Delta IL \times Vo) / (2 \times Co \times f \times VIN)$ コンデンサの定格電圧は出力電圧に対し充分にマージンをもって設定してください。また、最大許容リップル電流は ΔIL に対し充分にマージンをもって設定してください。また、出力立ち上がり時間はソフトスタート時間より短い必要があります。出力コンデンサは次式より求まる値より小さい値にしてください。 $C_{MAX} = \frac{3.0m \times (ILIMIT - Io(Max))}{Vo}$ ILIMIT : 2A(BD9006F,BD9006HFP,BD9007F,BD9007HFP) 容量値が最適でないと、起動不良などが発生する可能性があります。 (※3.0m はソフトスタート min 時間です。)	VIN=13.2V、Vo=3.3V、L=33μH、f=300kHz $\Delta IL=(13.2-3.3) \times 3.3 / (33 \times 10^{-6} \times 300 \times 10^3 \times 13.2)$ $=0.25$ <u>ΔIL=0.25A</u> ILIMIT : 2A、Io(Max)=1A、Vo=3.3V の場合、 $C_{MAX} = 3.0m \times (2-1) / 3.3$ $\doteq 910\mu F$ <u>C_{MAX}=910μF</u>

設計方法	計算例
<p>4. ダイオードの選択(D1)</p> <p>ダイオードの定格電流は最大負荷電流に対し充分にマージンをもって設定してください。</p> <p>また、定格逆電圧は最大入力電圧に対し充分にマージンをもって設定してください。</p> <p>順方向電圧が小さく逆回復時間が短いものを選択すると高効率が得られます。</p>	$V_{IN(max.)}=35V$ $I_o=(max.)2A$ の場合 <p>ダイオードの定格は 電流 2A以上 耐圧 35V以上 のものを選択します。</p>
<p>5. 入力コンデンサの選択(C_{IN}, C₂₈)</p> <p>V_{IN}とGNDの間にはセラミックコンデンサ C_{IN} とバイパスコンデンサ C₂₈ の2つのコンデンサが必要です。</p> <p>C_{IN}は2~10μFのセラミックコンデンサを必ず入れてください。 C₂₈は低ESRのもので充分に大きなリップル電流を備えている必要があります。</p> <p>リップル電流 I_{RMS}は次式により求められます。</p> $I_{RMS}=I_o \times \sqrt{V_o \times (V_{IN}-V_o)/V_{IN}^2}$ <p>このリップル電流を許容出来るコンデンサを選択してください。 C_{IN}、C₂₈の容量値が最適でないと、ICが正常に動作しない可能性があります。</p>	$V_{IN}=13.2V$ 、 $V_o=3.3V$ 、 $I_o=1A$ の場合 $I_{RMS}=1 \times \sqrt{3.3 \times (13.2-3.3)/(13.2)^2}$ $I_{RMS}=0.433A$
<p>6. 発振周波数の設定</p> <p>次ページ Fig.24 より、使用する発振周波数に対する RT を選択してください。</p>	$f=300kHz$ の場合 P.11 fig.24より $RT=51k\Omega$ の抵抗を選択します。 $RT=51k\Omega$
<p>7. 位相補償(R3, C1)の設定</p> <p>INV端子とFB端子間に容量あるいは容量と抵抗を入れることにより、位相マージンを設定します。各設定値は出力のコイル、出力コンデンサの容量、入出力電圧および負荷等により変化しますので、これらの条件により最適値に調整してください。(P.11~位相補償設定方法参照)</p> <p>この設定が最適でないと、出力発振などが発生する可能性があります。</p>	※位相補償の設定でご不明な点がある場合は、弊社にお問い合わせください。

※これら資料の設定値は参考値です。実際のセットでは基板レイアウトや配線の引き回し、使用する部品の種類により特性が変化する可能性がありますので、実使用時には実機により十分な検証をお願い致します。

●基板レイアウトの注意点

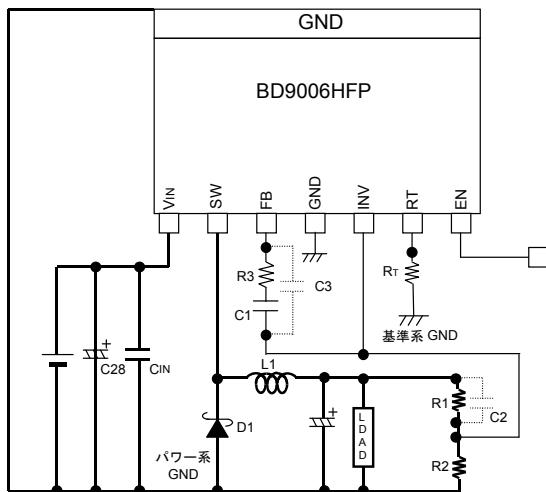


Fig.21

- ① 太線の部分は幅広のパターンで出来るだけ短くしてください。
- ② 入力のセラミックコンデンサCINは、VIN-GNDピンに出来るだけ近い位置に配置してください。
- ③ RTはGNDピンに出来るだけ近い位置に配置してください。
- ④ R1とR2はINVピンに出来るだけ近い位置に配置し、R1、R2からINVピンまでの配線を短くしてください。
- ⑤ R1、R2はL1から出来るだけ離して配置してください。
- ⑥ パワー系GND(ショットキーダイオード、入出力コンデンサGND)と基準系GND(RT、GND)を分けることにより、SWノイズの影響が小さくなります。
- ⑦ パワー系ラインは、太く、短くレイアウトしてください。
- ⑧ 予備素子としてC2、C3のコンデンサ挿入パターンを引いておくと、実機での位相補償設定の際に有効です。

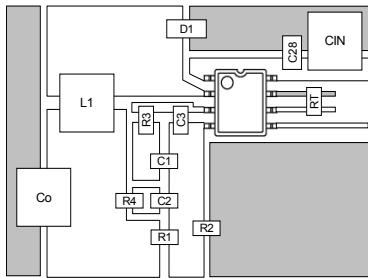


Fig.22 BD9006F 参考レイアウトパターン

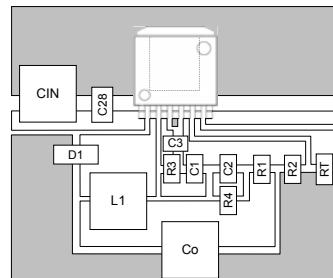


Fig.23 BD9006HFP 参考レイアウトパターン

※GNDは内装で幅広い面積でレイアウトしてください。

※上記レイアウトパターン図において灰色の領域はGNDをあらわします。

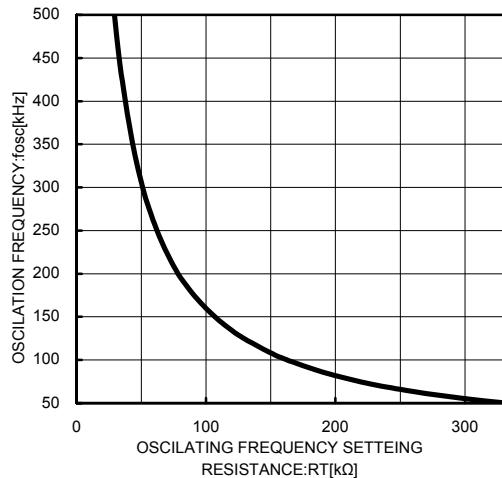


Fig.24 RT 抵抗値 対 発振周波数

RT[kΩ]	fosc[kHz]	RT[kΩ]	fosc[kHz]
27	537	100	160
30	489	110	146
33	449	120	134
36	415	130	124
39	386	150	108
43	353	160	102
47	324	180	91
51	300	200	82
56	275	220	75
62	250	240	69
68	229	270	61
75	209	300	55
82	192	330	50
91	174	360	46

※発振周波数はグラフ値をTypical値として、それぞれ±5% (BD9006F, BD9006HFP) ±20% (BD9007F, BD9007HFP)のばらつきを考慮する必要があります。

●位相補償設定方法

1. アプリケーションの安定条件について

負帰還フィードバック系の安定条件は次のようにになります。

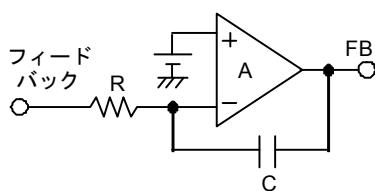
DC/DC コンバータアプリケーションはスイッチング周波数によりサンプリングされていますので、全体の系の GBW (ゲイン 0dB の周波数)はスイッチング周波数の 1/10 以下に設定します。まとめると、アプリケーションが目標とする特性は以下になります。

- ・ゲイン1(0dB)時の位相遅れが150°以下(位相マージン30°以上)
- ・GBWがスイッチング周波数の1/10以下

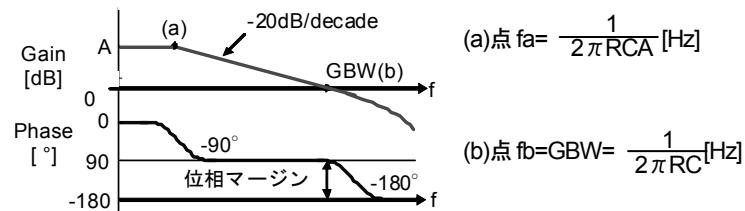
すなわち GBW の制限により応答性が決定されますので、応答性をあげるためにスイッチング周波数の高周波化が必要となります。

位相補償により安定性を確保するコツは、LC 共振によって生じる 2 次の位相遅れ(-180°)を 2 次の位相進み(位相進みを 2 つ入れる)によりキャンセルすることです。また、GBW はエラーアンプ出力と INV 入力間に付ける位相補償容量によって決定されるので、GBW を下げたい場合は容量値を大きくします。

(1)一般的な積分器(ローパスフィルタ)



(2)積分器のオーブンループ特性



エラーアンプには(1)、(2)のような位相補償が施されるためローパスフィルタとなります。

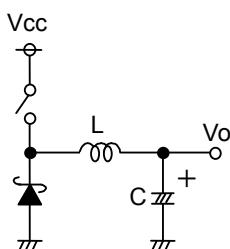
DC/DC コンバータアプリケーションの場合、R は帰還抵抗の並列(推奨回路図の R1)となります。

2.出力容量が ESR の大きい電解コンデンサなどの場合

出力容量の ESR が大きい(数 Ω)場合、位相補償は比較的単純になります。DC/DC コンバータアプリケーションでは必ず出力に LC 共振回路が付属するため、その部分での位相遅れが-180°となります。

しかし、ESR 成分が存在すると+90°の位相進みが発生し位相遅れが-90°となります。位相遅れを 150°以内にするためには大変有効な手段ですがデメリットとして出力電圧のリップル成分が増加します。

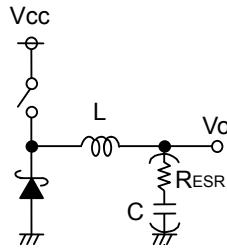
(1)LC 共振回路



$$f_r = \frac{1}{2\pi\sqrt{LC}} [\text{Hz}]$$

に共振点位相遅れ-180°

(2)ESR 付



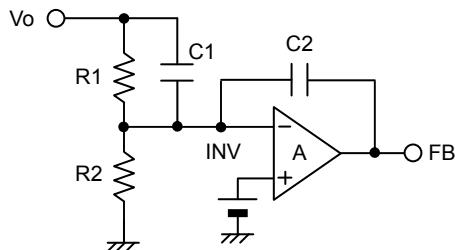
$$f_r = \frac{1}{2\pi\sqrt{LC}} [\text{Hz}] \text{ に共振点}$$

$$f_{ESR} = \frac{1}{2\pi R_{ESR} C} [\text{Hz}] \text{ に位相進み}$$

位相遅れ-90°

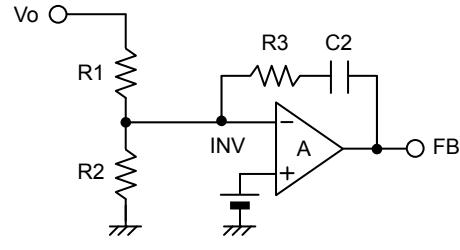
ESRによる位相特性の変化により挿入すべき位相進みは1つとなります。この位相進みは以下のどちらかを選択してください。

(3) 帰還抵抗に C1 を挿入



$$\text{位相進み } f_z = \frac{1}{2\pi C_1 R_1} \text{ [Hz]}$$

(4) 積分器に R3 挿入



$$\text{位相進み } f_z = \frac{1}{2\pi C_2 R_3} \text{ [Hz]}$$

位相進み周波数は LC 共振をキャンセルする目的から LC 共振周波数付近に設定してください。

なお、この設定は簡易的に求めたもので厳密な計算等行っておりませんので実機での調整が必要となる場合があります。

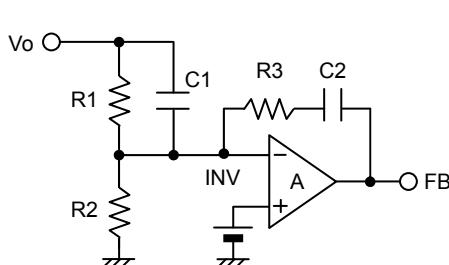
また、これらの特性は基板レイアウト、負荷条件等により変化しますので、量産設計の際には実機での十分な確認をお願いいたします。

3.出力容量が ESR の小さい低インピーダンス電界コンデンサや OS コン等の場合

出力容量の ESR が小さい(数十 mΩ)場合、前記の場合と違い位相進みを 2 つ挿入する必要があります。

これは LC 共振による位相遅れ-180°がみえてくるためです。位相補償の方法を以下に示します。

(1) 2 次の位相進みによる位相補償



$$\text{位相進み } f_z1 = \frac{1}{2\pi R_1 C_1} \text{ [Hz]}$$

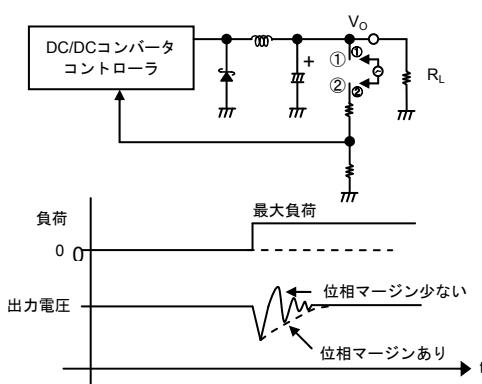
$$\text{位相進み } f_z2 = \frac{1}{2\pi R_3 C_2} \text{ [Hz]}$$

$$\text{LC 共振周波数 } f_r = \frac{1}{2\pi \sqrt{LC}} \text{ [Hz]}$$

位相進み周波数は LC 共振をキャンセルする目的から LC 共振周波数付近に設定してください。経験則から R3、C2 による位相進み周波数 f_z2 を LC 共振周波数 f_r より低く、R1、C1 による位相進み周波数 f_z1 を LC 共振周波数 f_r より高く設定すると安定します。

<参考> DC/DC コンバータのオープンループ測定

DC/DC コンバータのオープンループを測定する場合は、ゲイン・フェーズアナライザや FRA を使用し周波数特性を測定します



<手順>

1. 閉ループで最大負荷にて出力が発振しないことを確認する。
2. ①、②を切り離し V_m (振幅は 100mVpp 程度) を挿入する。
3. ②の揺れに対する①の揺れを測定(プローブ)する。

また、負荷応答性によっても位相マージンを測定出来ます。負荷を無負荷から最大負荷に瞬間に変動させた時の出力電圧の変動を測定します。リングングを起こした場合、位相マージンが少なく、リングングが起らなかった場合位相マージンがあると言えます。ただし、具体的な位相マージンは確認出来ません。

※位相補償の設定でご不明な点がある場合は、弊社にお問い合わせください。

●熱損失について

熱設計において、次の条件内で動作させてください。(下記温度は保証温度ですので、必ずマージン等を考慮してください。)

1. 周囲温度 T_a が 105°C 以下であること。

2. チップジャンクション温度 T_j が 150°C 以下であること。

チップジャンクション温度 T_j は以下の 2 通りで考えることが出来ます。

①実使用状態での IC 表面温度 T_c から ②周囲温度 T_a から求める場合

求める場合

$$T_j = T_c + \theta_j - \alpha \times W$$

(参考値) $\theta_j - \alpha$: HRP7 $7^{\circ}\text{C}/\text{W}$
SOP8 $32.5^{\circ}\text{C}/\text{W}$

$$T_j = T_a + \theta_j - \alpha \times W$$

(参考値) $\theta_j - \alpha$: HRP7 $89.3^{\circ}\text{C}/\text{W}$ IC 単体

$54.3^{\circ}\text{C}/\text{W}$ 2層基板(基板裏面銅箔面積: $15 \times 15\text{mm}^2$)

$22.7^{\circ}\text{C}/\text{W}$ 2層基板(基板裏面銅箔面積: $70 \times 70\text{mm}^2$)

基板サイズ $70 \times 70 \times 1.6\text{mm}^3$ (基板にサーマルビア有り)

基板表面銅箔面積: $10.5 \times 10.5\text{mm}^2$

SOP8 $222.2^{\circ}\text{C}/\text{W}$ IC 単体

$181.8^{\circ}\text{C}/\text{W}$ 1層基板

基板サイズ $70 \times 70 \times 1.6\text{mm}^3$

IC の熱損失 W は以下の式で求められます。

$$W = R_{on} \times I_o^2 \times \frac{V_o}{V_{IN}} + V_{IN} \times I_{cc} + T_r \times V_{IN} \times I_o \times f$$

R_{on} : IC の ON 抵抗

I_o : 負荷電流

V_o : 出力電圧

V_{IN} : 入力電圧 I_{cc} : 回路電流

T_r : スイッチング立ち上がり/下がり時間(約 20nsec)

f : 発振周波数

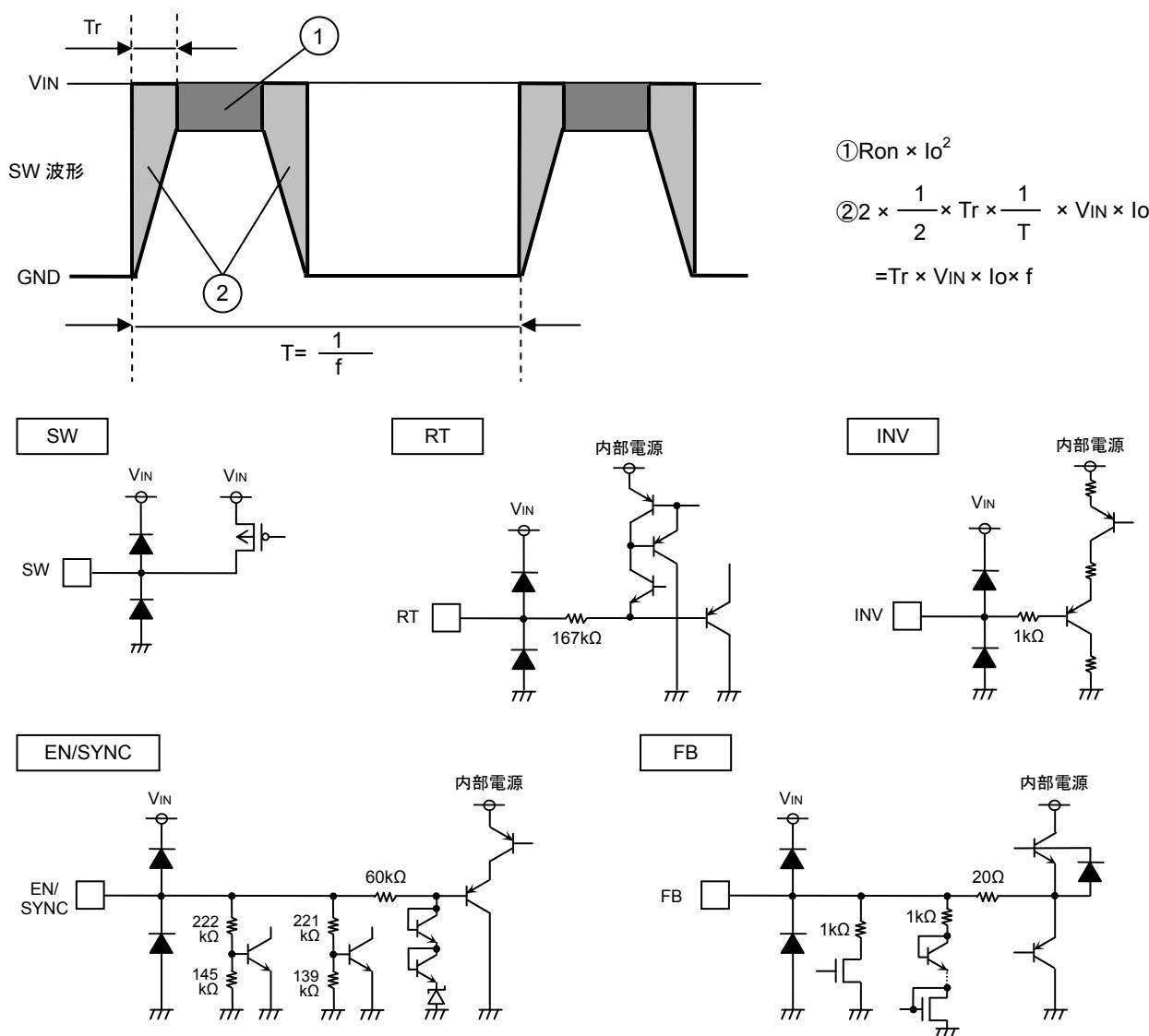


Fig.25 入出力等価回路図

● 使用上の注意

1. 印加電圧及び動作温度範囲等の絶対最大定格を超えた場合、破壊の可能性があります。破壊した場合、ショートモードもしくはオープンモード等特定出来ませんので絶対最大定格を超えるような特殊モードが想定される場合、ヒューズ等物理的な安全対策を施すようお願い致します。

2. GND 電位について

GND 端子の電位はいかなる動作状態においても、最低電位になるようにしてください。

3. 熱設計について

実際の使用状態での許容損失(P_d)を考え、十分マージンを持った熱設計を行ってください。

4. 隣接端子間ショートと誤装着について

セット基板に取り付ける際、IC の向きや位置ずれに十分注意して下さい。誤って取り付けた場合、IC が破壊する恐れがあります。また VIN と EN/SYNC 端子をショートしてご使用の際に 5pin(SOP8 パッケージ)、7pin(HRP7 パッケージ) EN/SYNC 端子と 6 pin RT 端子をショートした場合、VIN=7V 以上で IC の破壊を起こしますので十分注意してください。

5. 強電磁界中の動作について

強電磁界中のご使用では、誤動作をする可能性がありますのでご注意ください。

6. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。また、静電気対策として、組み立て工程にはアースを施し、運搬や保存の際には十分にご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

7. 本 IC はモノリシック IC であり、Fig.26 のように P 基板(サブストレート)と、各素子間に P^+ アイソレーションを有しています。この P 層と各素子の N 層とで P-N 接合が形成され、電位関係が、

- ・ GND>端子 A, GND>端子 B の時 P-N 接合が寄生ダイオードとして、
- ・ 端子 B>GND 端子 A の時 P-N 接合が寄生トランジスタとして動作します。

寄生素子は、IC の構造上必然的に出来るものです。寄生素子の動作は、回路間の相互干渉を引き起こし、誤動作、ひいては破壊の原因ともなります。したがって、入力端子に GND(P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。

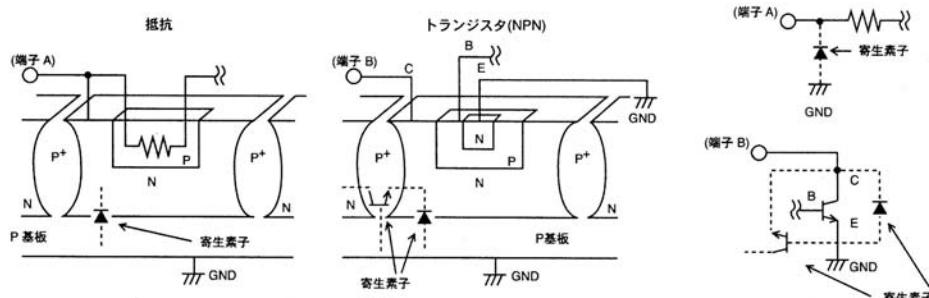


Fig.26 モノリシック IC の簡易構造例

8. GND 配線パターンについて

小信号 GND と大電流 GND がある場合、大電流 GND パターンと小信号 GND パターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号 GND の電圧を変化させないように、セットの基準点で一点アースすることを推奨します。外付部品の GND の配線パターンを変動しないよう注意してください。

9. 温度保護(サーマルシャットダウン)回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用していただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。

なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

10. アプリケーションにおいて V_{IN} と各端子電圧が逆になるモードが存在する場合、内部回路を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、 V_{IN} が GND にショートされた場合など。 V_{IN} 直列に逆流防止のダイオードもしくは各端子と V_{IN} 間にバイパスのダイオードを挿入することを推奨します。

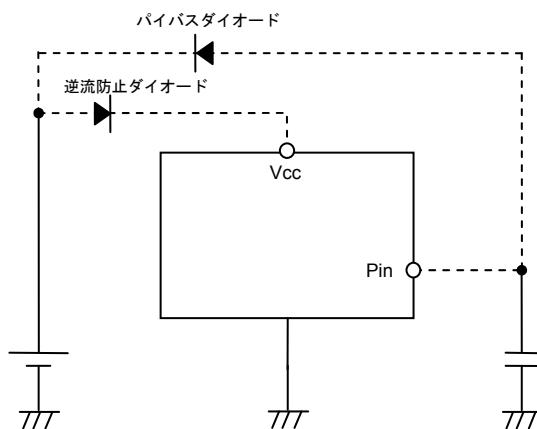
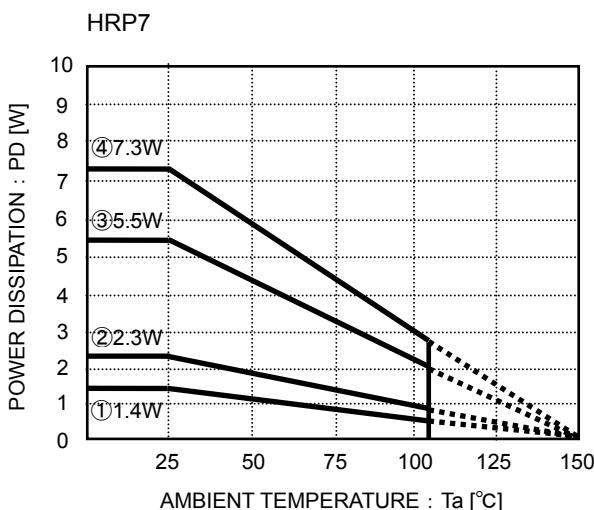


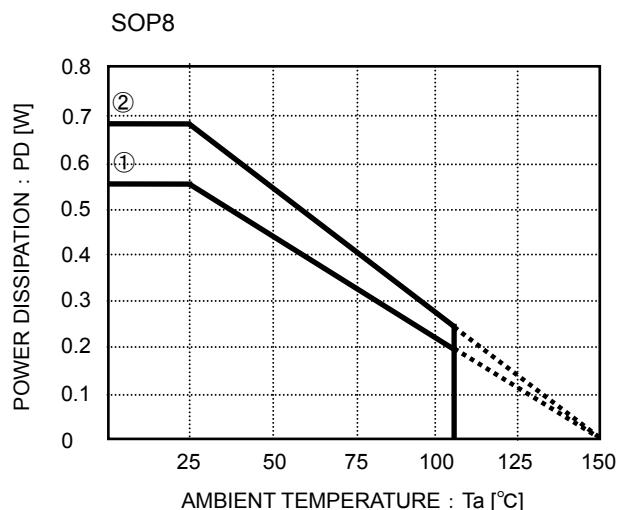
Fig.27

●熱軽減特性



- ①IC単体
基板サイズ : 70×70×1.6mm³(基板にサーマルペイア有り)
基板表面銅箔面積 : 10.5×10.5mm²
②2層基板(基板裏面銅箔面積 : 15×15mm²)
③2層基板(基板裏面銅箔面積 : 70×70mm²)
④4層基板(基板裏面銅箔面積 : 70×70mm²)

Fig.28



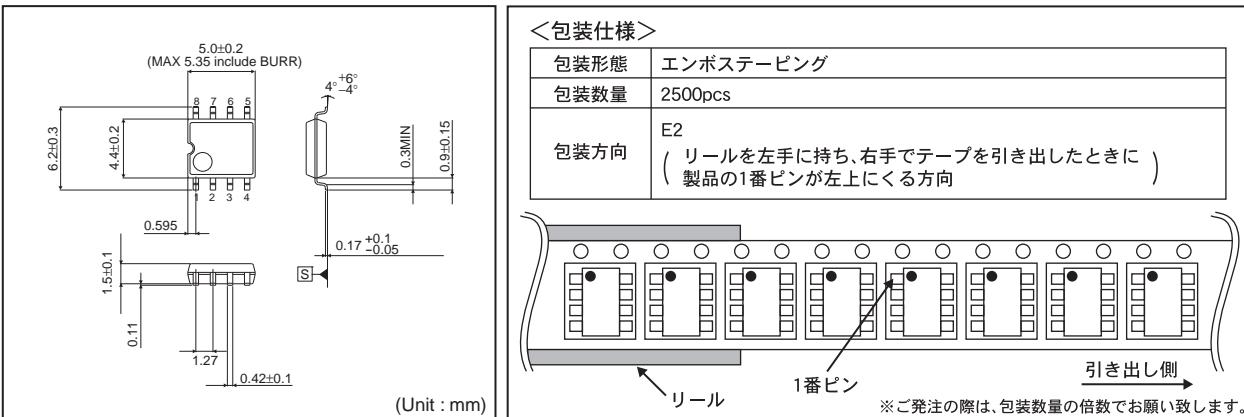
- ①IC単体
②ローム標準基板実装時
(70mm×70mm×1.6mm ガラスエポキシ基板)

Fig.29

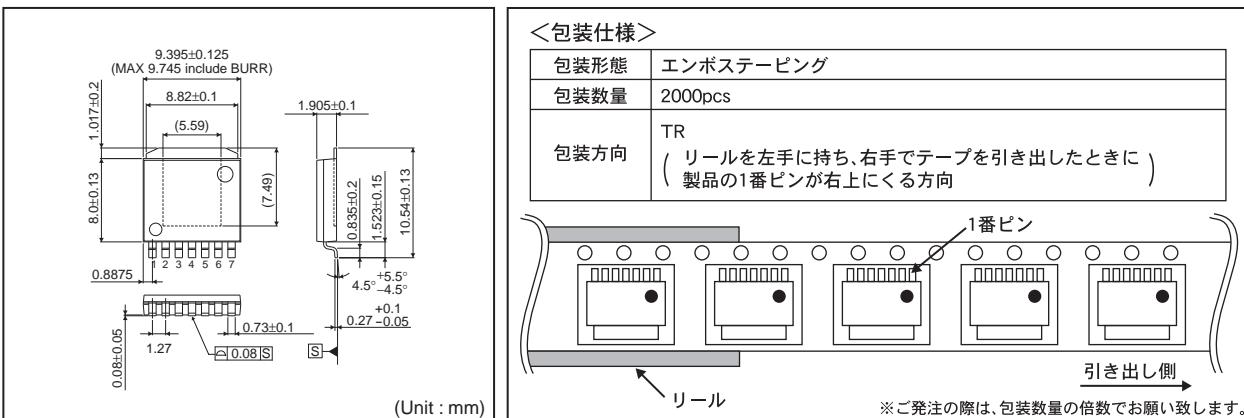
●発注形名セレクション

B	D	9	0	0	6	F	-	E	2
<hr/>									
品番					パッケージ				
9006					F : SOP8				
9007					HFP : HRP7				
					包装、フォーミング仕様				
					E2: リール状エンボステーピング (SOP8)				
					TR: リール状エンボステーピング (HRP7)				

SOP8



HRP7



ご注意

本資料の一部または全部をロームの許可なく、転載・複写することを堅くお断りします。

本資料の記載内容は改良などのため予告なく変更することがあります。

本資料に記載されている内容は製品のご紹介資料です。ご使用にあたりましては、別途仕様書を必ずご請求のうえ、ご確認ください。

本資料に記載されております応用回路例やその定数などの情報につきましては、本製品の標準的な動作や使い方を説明するものです。したがいまして、量産設計をされる場合には、外部諸条件を考慮していただきますようお願いいたします。

本資料に記載されております情報は、正確を期すため慎重に作成したものですが、万が一、当該情報の誤り・誤植に起因する損害がお客様に生じた場合においても、ロームはその責任を負うものではありません。

本資料に記載されております技術情報は、製品の代表的動作および応用回路例などを示したものであり、ロームまたは他社の知的財産権その他のあらゆる権利について明示的にも黙示的にも、その実施または利用を許諾するものではありません。上記技術情報の使用に起因して紛争が発生した場合、ロームはその責任を負うものではありません。

本資料に掲載されております製品は、一般的な電子機器（AV機器、OA機器、通信機器、家電製品、アミューズメント機器など）への使用を意図しています。

本資料に掲載されております製品は、「耐放射線設計」はなされておりません。

ロームは常に品質・信頼性の向上に取り組んでおりますが、種々の要因で故障することもあり得ます。

ローム製品が故障した際、その影響により人身事故、火災損害等が起こらないようご使用機器でのディレーティング、冗長設計、延焼防止、フェイルセーフ等の安全確保をお願いします。定格を超えたご使用や使用上の注意書が守られていない場合、いかなる責任もロームは負うものではありません。

極めて高度な信頼性が要求され、その製品の故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのある機器・装置・システム（医療機器、輸送機器、航空宇宙機、原子力制御、燃料制御、各種安全装置など）へのご使用を意図して設計・製造されたものではありません。上記特定用途に使用された場合、いかなる責任もロームは負うものではありません。上記特定用途への使用を検討される際は、事前にローム営業窓口までご相談願います。

本資料に記載されております製品および技術のうち「外国為替及び外国貿易法」に該当する製品または技術を輸出する場合、または国外に提供する場合には、同法に基づく許可が必要です。



ローム製品のご検討ありがとうございます。
より詳しい資料やカタログなどご用意しておりますので、お問合せください。

ROHM Customer Support System

<http://www.rohm.co.jp/contact/>