



APEX 20K

プログラマブル・ロジック・ デバイス・ファミリ

2001年3月 ver.3.4

Data Sheet

特長

Preliminary Information (暫定仕様)

- 業界初の system-on-a-programmable-chip (SOPC) インテグレーションを可能にしたプログラマブル・ロジック・デバイス (PLD)
 - ルック・アップ・テーブル (LUT) ロジック、プロダクト・ターム・ロジック、およびエンベデッド・メモリを集積した MultiCore™ アーキテクチャ
 - 多数のレジスタを必要とするファンクションの実現に最適な LUT ロジック
 - エンベデッド・システム・ブロック (ESB) には、FIFO (First-In First-Out) バッファ、デュアル・ポート RAM、CAM (Content-Addressable Memory) を含むメモリ・ファンクションが構成可能
 - 組み合わせ回路を中心にしたファンクションの実現にプロダクト・タームの使用を可能にした ESB
- 高集積
 - 30,000 から 1,500,000 の標準ゲート (表 1 と 2 を参照)
 - 最大 51,840 個のロジック・エレメント (LE)
 - 提供されているロジックのリソースを減少させることなく、最大 442,368 ビットまでの RAM を構成可能
 - プロダクト・タームをベースにした最大 3,456 個のマクロセル

機能	EP20K30E	EP20K60E	EP20K100	EP20K100E	EP20K160E	EP20K200	EP20K200E
最大システム・ゲート数	113,000	162,000	263,000	263,000	404,000	526,000	526,000
標準ゲート数	30,000	60,000	100,000	100,000	160,000	200,000	200,000
LE 数	1,200	2,560	4,160	4,160	6,400	8,320	8,320
ESB 数	12	16	26	26	40	52	52
最大 RAM ビット数	24,576	32,768	53,248	53,248	81,920	106,496	106,496
最大マクロセル数	192	256	416	416	640	832	832
最大ユーザ I/O ピン数	128	196	252	246	316	382	376

機能	EP20K300E	EP20K400	EP20K400E	EP20K600E	EP20K1000E	EP20K1500E
最大システム・ゲート数	728,000	1,052,000	1,052,000	1,537,000	1,772,000	2,392,000
標準ゲート数	300,000	400,000	400,000	600,000	1,000,000	1,500,000
LE 数	11,520	16,640	16,640	24,320	38,400	51,840
ESB 数	72	104	104	152	160	216
最大 RAM ビット数	147,456	212,992	212,992	311,296	327,680	442,368
最大 マクロセル数	1,152	1,664	1,664	2,432	2,560	3,456
最大ユーザ I/O ピン数	408	502	488	588	708	808

注:

- (1) IEEE Std. 1149.1 の標準規格に準拠した内蔵の JTAG (Joint Test Action Group) バウンダリ・スキャン回路がさらに最大 57,000 ゲート加算しています。

さらに多くの 特長

- ロー・パワー動作をサポート
 - 1.8 V および 2.5 V の電源電圧 (表 3 を参照)
 - 1.8 V、2.5 V、3.3 V、5.0 V の各デバイスとのインタフェースを可能にした MultiVolt™ I/O インタフェース (表 3 を参照)
 - プログラマブルなパワー・セーブ・モードを提供する ESB

表 3. APEX 20K の供給電圧

機能	デバイス名	
	EP20K100 EP20K200 EP20K400	EP20K30E EP20K60E EP20K100E EP20K160E EP20K200E EP20K300E EP20K400E EP20K600E EP20K1000E EP20K1500E
内部電源電圧 (V_{CCINT})	2.5 V	1.8 V
MultiVolt I/O インタフェースの電圧レベル (V_{CCIO})	2.5 V、3.3 V、5.0 V (1)	1.8 V、2.5 V、3.3 V、5.0 V (2)

注:

- (1) 5.0 V を許容する APEX 20K デバイスもあります。詳細については、46 ページの「MultiVolt I/O インタフェース」を参照してください。
- (2) APEX 20KE デバイスは外部抵抗を使用することにより 5.0 V を許容可能です。

- 最大4個のPLL (Phase-Locked Loop) による柔軟性の高いクロック・マネージメント回路
 - 低スキューのクロック・ツリーを内蔵
 - 最大8本までのグローバル・クロック信号
 - クロックの遅延とスキューを低減する ClockLock™ 機能
 - クロック乗算と除算を提供する ClockBoost™ 機能
 - クロックの位相と遅延をプログラマブルにシフトさせることができる ClockShift™ 機能
- パワフルなI/O機能
 - Peripheral Component Interconnect Special Interest Group (PCI SIG) の *PCI Local Bus Specification, Revision 2.2* の 33 MHz または 66 MHz、32 ビットまたは 64 ビットの 3.3 V 動作仕様に準拠
 - DDR SDRAM や ZBT SRAM (ZBT は Integrated Device Technology, Inc. の商標) などの高速外部メモリのサポート
 - 最大 250 MHz の双方向 I/O パフォーマンス ($t_{CO} + t_{SU}$)
 - チャンネルあたり最大 840 MB の LVDS パフォーマンス
 - I/O ピンとローカル・インタコネクタとのダイレクト接続により、複雑なロジックに対して高速の t_{CO} と t_{SU} を提供
 - 1.8 V、2.5 V、3.3 V、および 5.0 V デバイスとのインタフェースをサポートする MultiVolt I/O インタフェース (表 3 を参照)
 - V_{CCIO} へのプログラマブルなクランプ機能
 - 各ピンごとに個別に設定可能なトライ・ステート出力イネーブル・コントロール
 - スイッチング・ノイズを低減することができるプログラマブルな出力スルー・レート・コントロール
 - LVDS (Low-Voltage Differential Signaling)、LVPECL、PCI-X、AGP、CTT、SSTL-3 (Stub-Series Terminated Logic) および SSTL-2、GTL+ (Gunning Transceiver Logic plus)、HSTL の Class I (High-Speed Terminated Logic) を含む最新の標準 I/O 規格をサポート
 - APEX 20KE デバイスでホット・ソケットリング (活線挿抜) をサポート
 - コンフィギュレーションの実行前および実行中に I/O ピンをブルアップ可能
- 最新のインタコネクタ構造
 - 4 レベルの階層を持った配線構造となっている FastTrack® インタコネクタにより、高速で予測可能な配線遅延を実現
 - アダー、カウンタ、コンパレータのような演算機能を高速で実現する専用キャリア・チェイン (ソフトウェア・ツールやメガファンクションが自動的に使用)
 - 高ファン・インの論理機能を高速で実現する専用カスケード・チェイン (ソフトウェア・ツールやメガファンクションが自動的に使用)
 - 1 個の LE から高速のローカル・インタコネクタを通じて他の 29 個の LE のドライブを可能にしたインタリーブド・ローカル・インタコネクタ
- 最先端のパッケージ・オプション
 - 144 ピンから 1,020 ピンまでの豊富なパッケージ・オプション (表 4 から 7 までを参照)
 - ボード・スペースの効率を最大化する FineLine BGA™ パッケージ

- 最先端ソフトウェアによるサポート
 - Windows ベースの PC、Sun SPARCstation、および HP 9000 Series 700/800 のワークステーション上で動作するアルテラの Quartus™ II 開発システムによるソフトウェア・デザイン・サポートと自動配置配線
 - アルテラの MegaCore® ファンクションと AMPPSM (Altera Megafunction Partners Program) メガファンクションが使用可能
 - 標準的な論理合成ツール、シミュレーション・ツール、タイミング解析ツールとの統合を実現する NativeLink™ 機能
 - 動作中のデバイスの内部ノードにアクセスできる Quartus II の SignalTap™ エンベデッド・ロジック・アナライザにより、デザインのイン・システムでの評価が簡単に実現可能
 - PVCS、RCS (Revision Control System)、SCCS (Source Code Control System) を含む標準的なリビジョン・コントロール・ソフトウェア・パッケージのサポート

デバイス名	144 ピン TQFP	208 ピン PQFP RQFP	240 ピン PQFP RQFP	356 ピン BGA	652 ピン BGA	655 ピン PGA
EP20K30E	92	125				
EP20K60E	92	148	151	196		
EP20K100	101	159	189	252		
EP20K100E	92	151	183	246		
EP20K160E	88	143	175	271		
EP20K200		144	174	277		
EP20K200E		136	168	271	376	
EP20K300E			152		408	
EP20K400					502	502
EP20K400E					488	
EP20K600E					488	
EP20K1000E					488	
EP20K1500E					488	

デバイス名	144 ピン	324 ピン	484 ピン	672 ピン	1,020 ピン
EP20K30E	93	128			
EP20K60E	93	196			
EP20K100		252			
EP20K100E	93	246			
EP20K160E			316		
EP20K200			382		
EP20K200E			376	376	
EP20K300E				408	
EP20K400				502 (3)	
EP20K400E				488 (3)	
EP20K600E				508 (3)	588
EP20K1000E				508 (3)	708
EP20K1500E					808

注:

- (1) I/O 数には入力専用ピンとクロック専用ピンが含まれます。
- (2) APEX 20K デバイスには、薄型クワッド・フラット・パック (TQFP)、プラスチック・クワッド・フラット・パック (PQFP)、パワー・クワッド・フラット・パック (RQFP)、1.27mm ピッチのボール・グリッド・アレイ (BGA)、1.00mm ピッチの FineLine BGA、およびピン・グリッド・アレイ (PGA) の各パッケージが提供されています。
- (3) このデバイスは、通常のパッケージより背が高く、熱特性に改良されたパッケージです。パッケージの詳細なサイズ情報については、「Altera Device Package Information」のデータシートを参照してください。

機能	144 ピン TQFP	208 ピン QFP	240 ピン QFP	356 ピン BGA	652 ピン BGA	655 ピン PGA
ピッチ (mm)	0.50	0.50	0.50	1.27	1.27	-
面積 (mm ²)	484	924	1,218	1,225	2,025	3,906
長さ×幅 (mm × mm)	22 × 22	30.4 × 30.4	34.9 × 34.9	35 × 35	45 × 45	62.5 × 62.5

機能	144 ピン	324 ピン	484 ピン	672 ピン	1,020 ピン
ピッチ (mm)	1.00	1.00	1.00	1.00	1.00
面積 (mm ²)	169	361	529	729	1,089
長さ×幅 (mm × mm)	13 × 13	19 × 19	23 × 23	27 × 27	33 × 33

概要

APEX™ 20K デバイスは、LUT ベースのロジック、プロダクト・ターム・ベースのロジックの長所とさらに機能強化されたメモリ構造を統合した MultiCore アーキテクチャによる業界初の PLD です。LUT をベースにしたロジックは、データ・パス、多数のレジスタを使用するファンクションや演算ファンクション、デジタル信号処理 (DSP) のデザインを最適化された性能と効率で実現します。これに対して、プロダクト・タームをベースにしたロジックを使用することで、多数のステートと遷移条件を持つステート・マシンのような複雑な組み合わせ回路のパスが最適化されます。APEX 20K デバイスのアーキテクチャは、メモリ・ファンクション、多様な MegaCore ファンクションや AMPP ファンクションと LUT およびプロダクト・タームをベースにしたロジックを組み合わせることによって、System-on-a-Programmable-Chip のデザインに適合させることができるようになってきました。これにより、これまで LUT、プロダクト・ターム、そしてメモリ・ベースの各デバイスを組み合わせて使用する必要があったアプリケーションを 1 個の APEX 20K デバイスに集積することができます。

APEX 20KE は APEX 20K の上位互換デバイスとなっており、最新の標準 I/O 規格、CAM、複数の追加グローバル・クロック、さらに性能と機能が強化された ClockLock によるクロック回路などの機能が追加サポートされています。さらに、APEX 20KE デバイスは APEX 20K ファミリの集積度を 1,500,000 ゲート以上にまで拡張しています。APEX 20KE デバイスには、デバイス名の最後に “E” のサフィックスが付加されます (例えば、EP20K1000E は APEX 20KE デバイスです)。表 8 は、APEX 20K デバイスと APEX 20KE デバイスに提供されている機能を比較したものです。

機能	APEX 20K デバイス	APEX 20KE デバイス
MultiCore システム・インテグレーション	フル・サポート	フル・サポート
活線挿抜のサポート	—	フル・サポート
SignalTap ロジック解析機能	フル・サポート	フル・サポート
32 ビットまたは 64 ビット、33 MHz PCI	–1、–2 スピード・グレードで完全準拠	–1、–2 スピード・グレードで完全準拠
32 ビットまたは 64 ビット、66 MHz PCI	—	–1 スピード・グレードで完全準拠
MultiVolt I/O	2.5 V または 3.3 V の V_{CCIO} V_{CCIO} はデバイス全体でいずれかの電圧に選択 特定のデバイスは 5.0 V を許容	1.8 V、2.5 V、または 3.3 V の V_{CCIO} V_{CCIO} はブロックごとに選択可能 外部抵抗を使用することで 5.0 V を許容

表 8. APEX 20K と APEX 20KE デバイスの機能比較 (2 / 2)		
機能	APEX 20K デバイス	APEX 20KE デバイス
ClockLock のサポート	クロック遅延の低減 クロック周波数の 2 倍と 4 倍の通倍機能	クロック遅延の低減 $m/(n \times v)$ によるクロック周波数の通倍機能 ClockLock の出力をチップ外部にドライブ可能 外部クロックのフィードバック ClockShift LVDS をサポート 最大 4 個の PLL ClockShift、クロック位相の調整
クロック専用ピンと 入力専用ピン	6 本	8 本
標準 I/O 規格のサポート	2.5 V、3.3 V、5.0 V I/O 3.3 V PCI LVCMOS (Low-voltage complementary metal-oxide semiconductor) LVTTTL (Low-voltage transistor-to-transistor logic)	1.8 V、2.5 V、3.3 V、5.0 V I/O 2.5 V I/O 3.3 V の PCI と PCI-X 3.3 V の AGP (Advanced Graphics Port) CTT (Center tap terminated) GTL+ LVCMOS LVTTTL True-LVDS および LVPECL データ・ピン (EP20K300E およびそれより高集積のデバイス) LVDS および LVPECL クロック・ピン (すべてのデバイス) 最大 156 Mbps の LVDS および LVPECL データ・ピン (-1 スピード・グレード・デバイス) HSTL Class I PCI-X SSTL-2 Class I と II SSTL-3 Class I と II
メモリ・サポート	デュアル・ポート RAM FIFO RAM ROM	CAM デュアル・ポート RAM FIFO RAM ROM

APEX 20K のすべてのデバイスはリコンフィギュレーション可能となっており、出荷前に 100% のテストが実施されています。このため、フォルト・カバレッジを目的としたテスト・ベクタを生成する必要はありません。その代わりに、設計者はデザインのシミュレーションとデザイン検証に注力することができます。また、APEX 20K デバイスでは要求される特定の機能をボード上でコンフィギュレーションできるため、ASIC (Application-Specific Integrated Circuit) の場合のようにデザインの異なるデバイスごとに在庫を管理する必要がありません。

APEX 20K デバイスは、システム電源の投入時にアルテラのシリアル・コンフィギュレーション・デバイスにストアされたデータ、またはシステム・コントローラから提供されるデータによってコンフィギュレーションされます。アルテラはイン・システム・プログラマビリティ (ISP) 対応の EPC1、EPC2、および EPC16 コンフィギュレーション・デバイスを供給しており、このデバイスから APEX 20K デバイスをシリアル・データ・ストリームでコンフィギュレーションすることができます。さらに、APEX 20K デバイスにはマイクロプロセッサとの最適化されたインタフェースが内蔵されており、マイクロプロセッサからのシリアルまたはパラレルのデータにより、APEX 20K デバイスを同期または非同期でコンフィギュレーションすることができます。このインタフェースの実現によって、マイクロプロセッサは APEX 20K デバイスをメモリとして取り扱うことができるため、パーチャルなメモリ・ロケーションにデータを書き込む動作で APEX 20K デバイスをコンフィギュレーションすることができ、リコンフィギュレーションも容易に実行できます。

コンフィギュレーションされた APEX 20K デバイスをイン・サーキットでリセットし、新しいデータをロードすることによってリコンフィギュレーションを実行することができます。システムの動作中でもリアル・タイムの変更が可能となっているため、リコンフィギュラブル・コンピューティングなどの革新的なアプリケーションを実現することもできます。

APEX 20K デバイスは、HDL および回路図によるデザイン入力、コンパイル、論理合成、完全なシミュレーション、ワースト・ケースのタイミング解析、SignalTap ロジック解析機能、デバイス・コンフィギュレーションの各機能をシングル・パッケージに統合したアルテラの Quartus II 開発システムによってサポートされています。Quartus II のソフトウェアは Windows ベースの PC、Sun SPARCstation、および HP 9000 シリーズ 700/800 のワークステーション上で動作します。

Quartus II ソフトウェアは、PC および UNIX ワークステーションをベースにした他社の業界標準 EDA ツールとの NativeLink インタフェースを実現しています。この NativeLink インタフェースにより、ユーザはサード・パーティのデザイン・ツールから Quartus II ソフトウェアを起動することができます。さらに、Quartus II ソフトウェアには最適化された合成ライブラリが含まれており、合成ツールがこれらのライブラリを使用してデザインを APEX 20K に最適化できるようになっています。例えば、Quartus II 開発システムとともに供給されるシノプシス社の Design Compiler ライブラリには、APEX 20K のアーキテクチャに最適化された DesignWare ファンクションが含まれています。

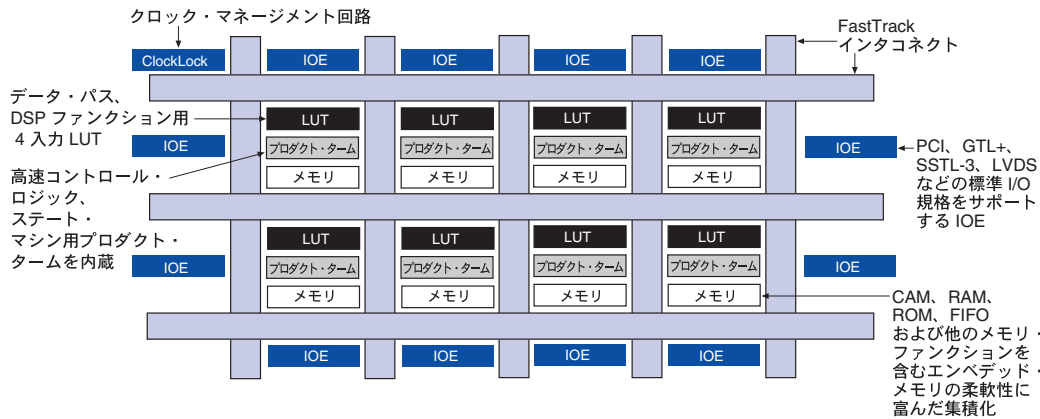
機能の説明

APEX 20K デバイスは、LUT ベースのロジック、プロダクト・ターム・ベースのロジック、そしてメモリを1個のデバイス上に実現することができます。APEX 20K デバイス内での信号の接続は（デバイス・ピンとの接続も同様）、デバイス全体を縦横に走っている連続したロウとカラムの高速配線チャネル、FastTrack インタコネクタによって行われます。

各 I/O ピンはロウとカラムの FastTrack インタコネクタの先端に配置されている I/O エlement (IOE) と接続されます。各 IOE には双方向の I/O バッファとレジスタが1個ずつ内蔵されており、このレジスタは入力または出力信号、あるいは双方向信号が接続される入力レジスタまたは出力レジスタのいずれかとして使用することができます。専用のクロック・ピンを使用した場合は、これらのレジスタがこれまでにない高い性能を実現します。IOE は、3.3 V/64 ビット /66 MHz の PCI 仕様への準拠、JTAG BST のサポート、スルー・レート・コントロール、トライ・ステート・バッファなど、多様な機能を提供しています。APEX 20KE デバイスには、1.8 V の I/O、2.5 V の I/O、LVCMOS、LVTTTL、LVPECL、3.3 V の PCI、PCI-X、LVDS、GTL+、SSTL-2、SSTL-3、HSTL、CTT、3.3 V AGP I/O を含む標準 I/O 規格のサポートなど、さらに拡張強化された I/O 機能が提供されています。

ESB には、CAM、RAM、デュアル・ポート RAM、ROM、FIFO を含む多様なメモリ・ファンクションを実現することができます。メモリをダイに直接埋め込むことによって、分散型の RAM による実現方法よりも性能が改善され、ダイ・エリアが縮小されます。さらに、複数の ESB をカスケード接続することができるため、APEX 20K デバイスには高集積デザインに要求される複数の大容量メモリ・ブロックを構成することができます。ESB の高速性により、各 ESB にはスピードを一切犠牲にすることなく、小容量の高速メモリが実現できます。また、APEX 20K デバイスには豊富な ESB が内蔵されているため、システムの要求に応じた数のメモリ・ブロックをそれぞれ異なるサイズで構成することができます。図1は APEX 20K デバイス内部の全体的な構造を示したものです。

図 1. APEX 20K デバイスのブロック図

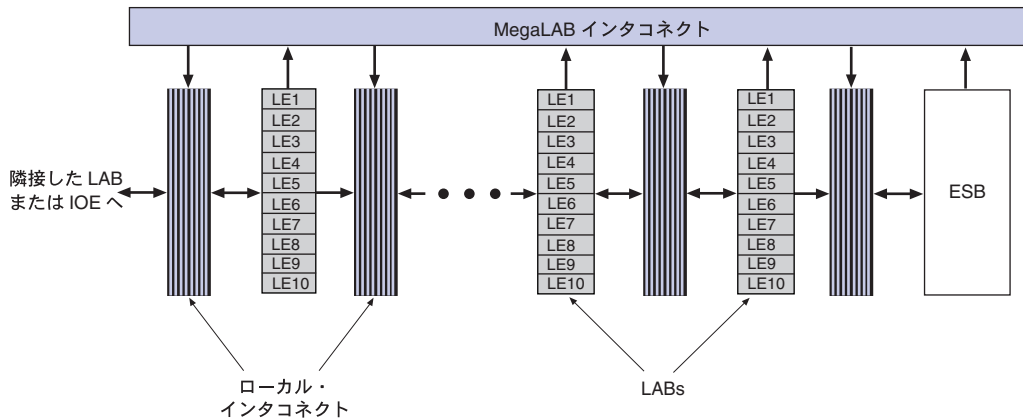


APEX 20K デバイスには、2本のクロック専用ピンと各レジスタのコントロール入力をドライブできる4本の入力専用ピンが提供されています。これらのピンからの信号は効率的にデバイス内部に分配され、高速で低スキューのコントロール信号となります。これらの信号の接続には、最小の遅延と低スキューを実現する専用の配線チャンネルが使用されます。4本の入力専用ピンは4本のグローバル信号をドライブします。これら4本のグローバル信号は内部ロジックからドライブすることもでき、クロック・デバイダや大きなファンアウトを持つ内部生成の非同期クリア信号に対する理想的なソリューションとなっています。APEX 20K デバイスに提供されているクロック専用ピンはロジックを供給することもできます。APEX 20K デバイスは、クロック・マネージメント回路である ClockLock と ClockBoost の回路も備えています。APEX 20KE デバイスには、さらに2本のクロック専用ピンが追加されており、計4本のクロック専用ピンが提供されています。

MegaLAB の構造

APEX 20K デバイスは、MegaLAB™ をアレイ上に配置した構造となっています。各 MegaLAB は、16個のロジック・アレイ・ブロック (LAB)、1個の ESB、および MegaLAB 内の信号を接続する MegaLAB インタコネクタで構成されています。EP20K1000E と EP20K1500E の両デバイスでは、各 MegaLAB に 24 個の LAB が含まれています。信号は、FastTrack インタコネクタを通じて異なる MegaLAB 間、および MegaLAB と I/O ピンとの間で接続されます。また、両端の LAB はローカル・インタコネクタを通じて I/O ピンから信号の入出力が可能です。図 2 は MegaLAB の構造を示したものです。

図 2. MegaLAB の構造

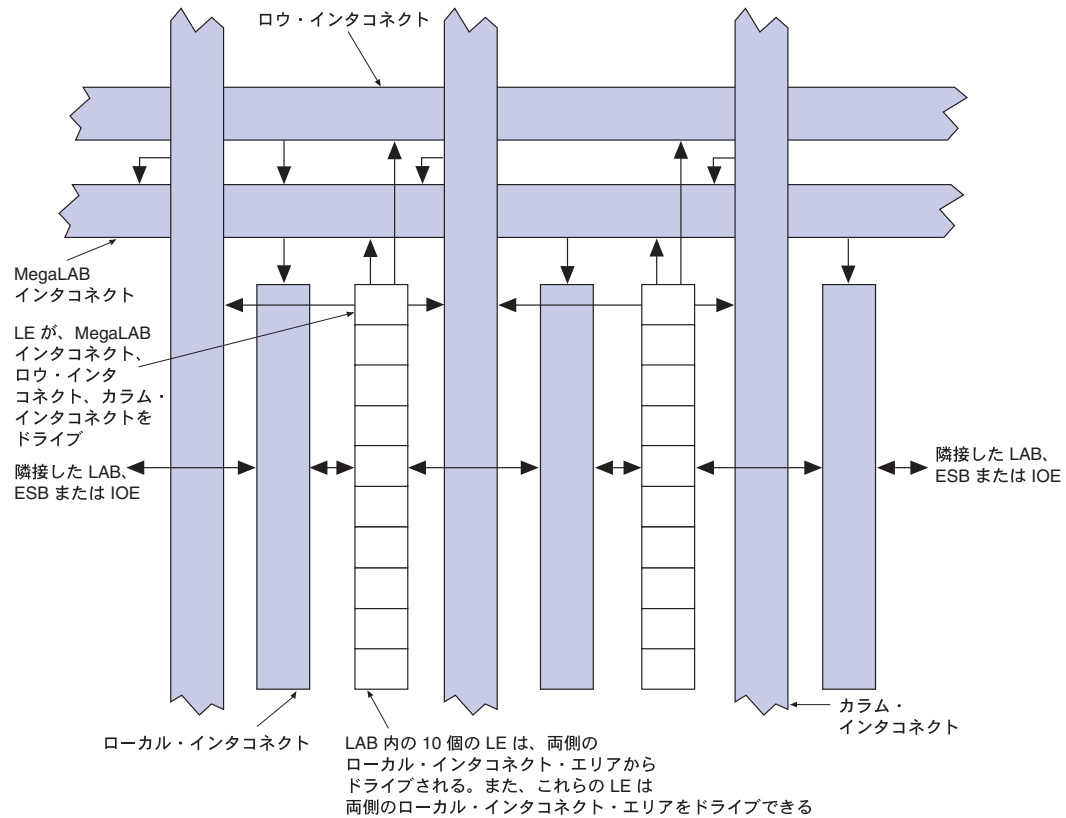


ロジック・アレイ・ブロック

各 LAB は 10 個の LE、関連するキャリアとカスケードのチェーン、LAB コントロール信号、ローカル・インタコネクต์によって構成されています。ローカル・インタコネクต์は、同じ LAB または隣接した LAB 内の LE、IOE、ESB との間で信号を転送します。Quartus II のコンパイラは関連するロジックを 1 つの LAB または隣接した LAB 内に配置し、高速のローカル・インタコネクต์を使用して高い性能を達成します。図 3 は APEX 20K の LAB を示したものです。

APEX 20K デバイスには、インタリーブド LAB 構造が採用されています。この構造では、各 LE が隣接した両方向のローカル・インタコネクต์領域をドライブできるようになっています。この構造の実現により、MegaLAB インタコネクต์と FastTrack インタコネクต์の使用が最小限に抑えられるため、さらに高い性能と柔軟性が提供されます。各 LE は高速のローカル・インタコネクต์を通じて他の 29 個の LE をドライブできるようになっています。

図 3. LAB の構造



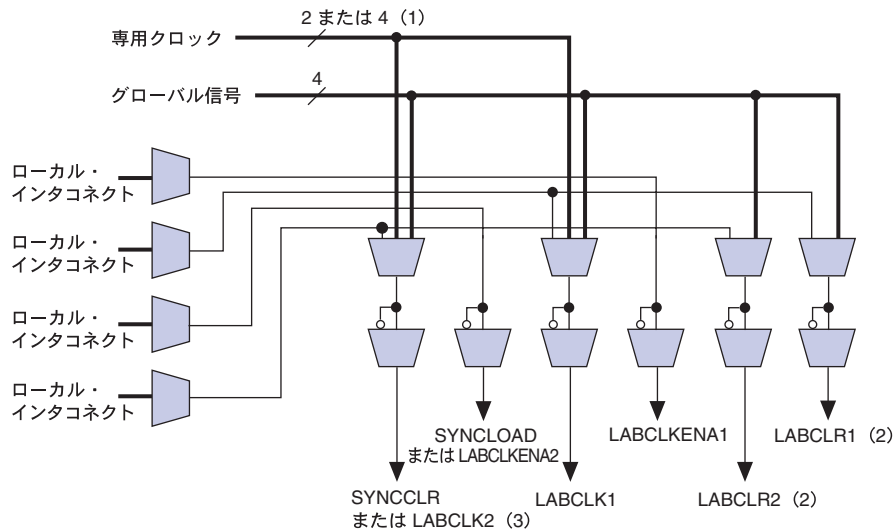
各LABには、各LEおよびESBに対するコントロール信号をドライブするための専用ロジックが内蔵されています。これらのコントロール信号には、クロック、クロック・イネーブル、非同期クリア、非同期プリセット、非同期ロード、同期クリア、同期ロードの各信号が含まれます。この場合、最大6本までのコントロール信号を同時に使用することが可能です。同期ロードおよび同期クリア信号はカウンタを構成するときに標準的に使用されますが、これらの信号は他のファンクションにも使用することができます。

各LABでは、2本のクロックと2本のクロック・イネーブル信号を使用することができます。各LABでは、それぞれのクロック信号とクロック・イネーブル信号がリンクして使用されます（あるLAB内のLEがCLK1を使用している場合は、このLEにCLKENA1が使用される）。このため、同じクロック信号と異なるクロック・イネーブル信号を使用しているLEがある場合は、1つのLAB内で双方のクロック信号が使用される形になるか、あるいはこれらのLEが別のLABに配置されます。

クロックの立ち上がりとしち下りの双方のエッジが1つのLAB内で使用される場合も、LAB全体をカバーする双方のクロック信号が使用されることとなります。

LAB全体をカバーするコントロール信号は、LABローカル・インタコネク、グローバル信号、クロック専用ピンから生成することができます。FastTrackインタコネクは、スキューを最小に抑えることができるため、クロックの分配にも使用されます。図4はLABコントロール信号の生成回路を示したものです。

図4. LABコントロール信号の生成



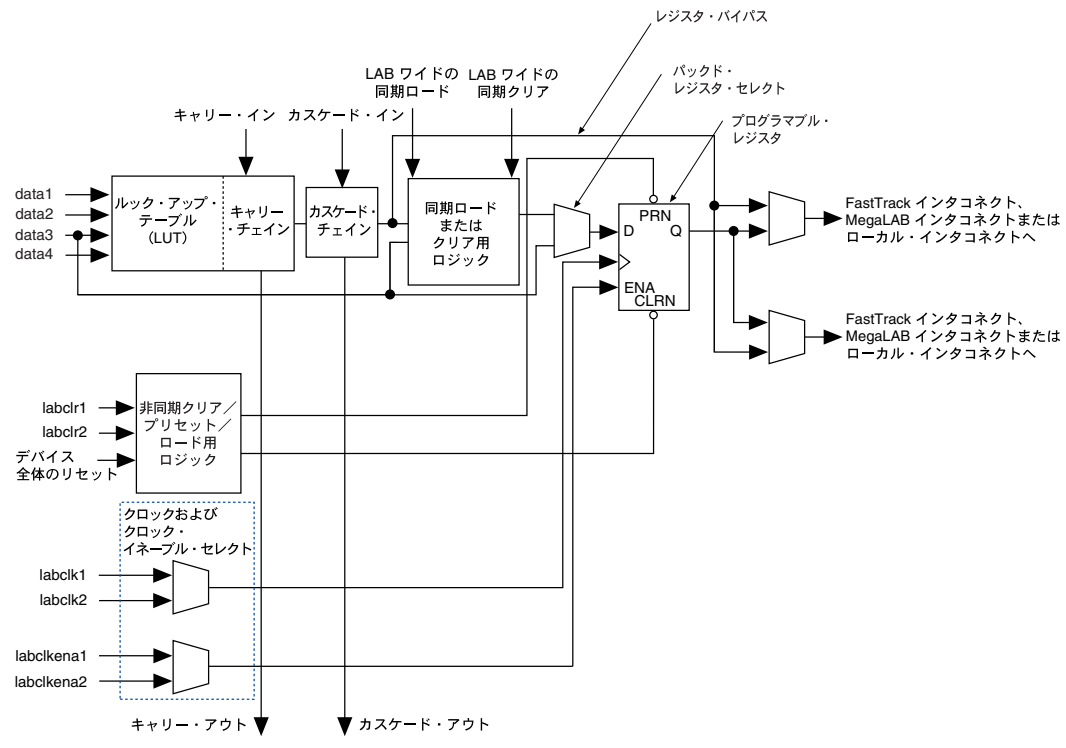
注:

- (1) APEX 20KEデバイスには、4本の専用クロックが提供されています。
- (2) LABCLR1とLABCLR2の信号は、LAB内のLEに対する非同期ロードと非同期プリセットもコントロールします。
- (3) SYNCCLR信号は、ローカル・インタコネクまたはグローバル信号から生成できます。

ロジック・エレメント

LEはAPEX 20Kアーキテクチャが提供するロジックの最小単位となっており、高いデバイス使用効率を実現するコンパクトなサイズとなっています。各LEには4変数によるあらゆる論理演算を高速で実行できる4入力のLUTが1個含まれています。さらに、各LEにはプログラマブルなレジスタが1個と、キャリア・チェーン、カスケード・チェーンが組み込まれています。各LEは、ローカル・インタコネク、MegaLABインタコネク、およびFastTrackインタコネクの各配線領域をドライブするようになっています。図5を参照してください。

図5. APEX 20Kのロジック・エレメント



各LE内のプログラマブル・レジスタは、D、T、JK、またはSRタイプの動作を行うようにコンフィギュレーションすることができます。レジスタのクロックとクリア・コントロール信号は、グローバル信号、汎用のI/Oピン、または任意の内部ロジックからドライブすることができます。組み合わせ回路が構成される場合はレジスタがバイパスされ、LUTの出力がLEの出力を直接ドライブします。

各LEはローカル・インタコネク、MegaLABインタコネクまたはFastTrackインタコネクの配線領域をドライブする2本の出力を持っています。この2本のLEの出力をLUTからの出力にするか、レジスタからの出力にするかは、それぞれ個別にコントロールすることができます。例えば、LUTが一方の出力をドライブしているときに、レジスタがもう一方の出力をドライブするような構造に設定することができます。この機能はレジスタ・バッキングと呼ばれ、LUTとレジスタをそれぞれ独立した機能に使用できるため、LEの使用効率を改善することができます。また、LUTからの出力をレジスタ付きとレジスタなしの双方でLEから出力させることもできます。

APEX 20Kのアーキテクチャには、2種類の専用高速データ・パスが提供されています。1つはローカル・インタコネクを使用しないで隣接したLE間を接続するパスで、もう一方はキャリア・チェーンとカスケード・チェーンです。キャリア・チェーンはカウンタやアダプターなどの高速演算機能を構成するときに使用され、カスケード・チェーンは恒等回路 (equality comparator) のような多入力の論理機能を最小の遅延時間で実現するときに使用されます。カスケード・チェーンとキャリア・チェーンはLAB内のLE1からLE10を、また同じMegaLAB内のすべてのLAB間を接続することができます。

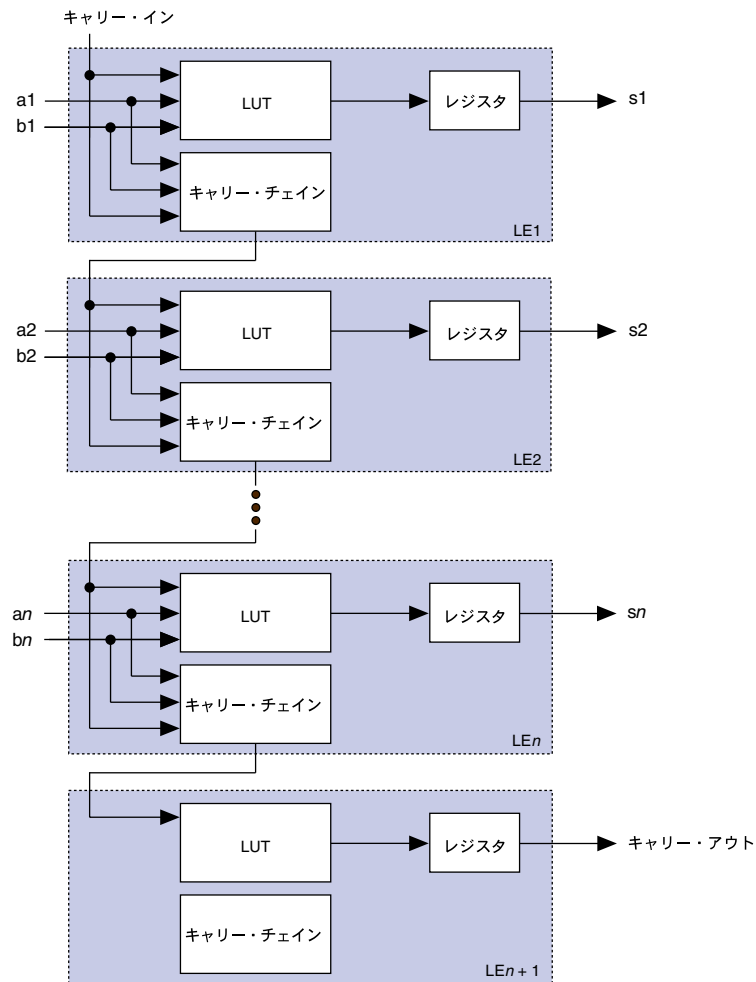
キャリア・チェーン

キャリア・チェーンはキャリアをLE間で非常に高速で転送します。下位ビットからのキャリア・イン信号はキャリア・チェーンを通して上位ビットに転送され、上位ビットのキャリア・チェーンとLUTの双方に入力されます。この機能を使用することによって、APEX 20Kアーキテクチャにはカウンタやアダプター、指定したビット幅のコンパレータを高速で実現することができます。キャリア・チェーンのロジックはデザインを処理する段階でQuartus IIソフトウェアのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。LPM (Library of Parameterized Modules) や DesignWare のようなパラメータ化されたファンクションは、このキャリア・チェーンの利点を自動的に活用して実現されます。

Quartus IIソフトウェアのコンパイラは、複数のLABをリンクさせることによって、10個を超えるLEで接続される長いキャリア・チェーンを自動的に生成します。フィッティング機能を強化するため、長いキャリア・チェーンはMegaLAB内のLABを1個おきにスキップするようになっています。このため、複数のLABを通る長いキャリア・チェーンは、偶数番号のLABから次の偶数番号のLABへ、あるいは奇数番号のLABから次の奇数番号のLABへと1個のLABをスキップして接続されます。例えば、左上方に位置するMegaLAB内の最初のLABにある最後のLEは、このMegaLAB内の3番目に位置するLABの最初のLEにカスケード信号を転送するようになっています。

図6は $n + 1$ 個のLEとキャリア・チェーンを使った n ビットのフル・アダーがどのように実現されるかを示したものです。ここで、LUTの一部を使用して入力信号とキャリア・イン信号から2ビットのサム（和）を生成します。そして、このサムはLEの出力に接続されます。単純なアダーを構成する場合はレジスタをバイパスさせることができ、アキュムレータの機能を構成するときにレジスタを使用することもできます。LUTの他の部分とキャリア・チェーンのロジックはキャリア・アウトの信号を生成し、この信号は次の上位ビットのキャリア・インに直接、接続されます。最後のキャリア・アウト信号はLEに接続され、この最後のLEからローカル・インタコネク、MegaLABインタコネクまたはFastTrackインタコネクの配線領域へ出力されます。

図6. APEX 20Kのキャリア・チェーン



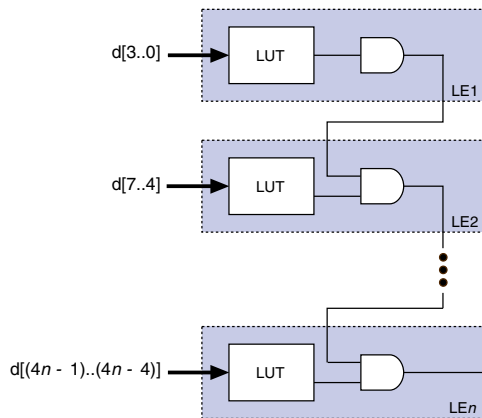
カスケード・チェーン

APEX 20K のアーキテクチャは、カスケード・チェーンを使用して非常に大きなファン・インを持った回路機能を実現することができます。隣接している複数の LUT をパラレルに動作させ、その間の中間値をカスケード・チェーンを使ってシリアルに転送させることによって、論理機能の一部を実現することができます。このカスケード・チェーンは隣接した LE の出力を接続して論理積 (Logical AND) またはドモルガンの反転定理による論理和 (Logical OR) を実現することができます。追加される各 LE は要求される回路機能の入力ビット幅を最小の遅延時間で 4 ビットずつ効率的に拡張します。カスケード・チェーンのロジックはデザインを処理する段階で Quartus II ソフトウェアのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。

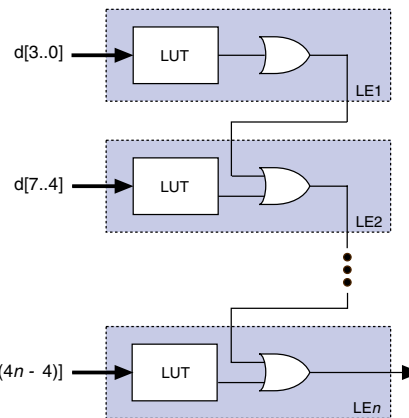
複数の LAB をリンクさせることによって、10 個の LE を超える長さのカスケード・チェーンが自動的に生成されます。フィッティング機能を強化するため、長いカスケード・チェーンは MegaLAB 内の隣の LAB をスキップして接続されます。複数の LAB を通る長いカスケード・チェーンは、偶数番号の LAB から次の偶数番号の LAB へ、あるいは奇数番号の LAB から次の奇数番号の LAB へと 1 個の LAB をスキップして接続されます。例えば、左上方に位置する MegaLAB 内の最初の LAB にある最後の LE は、この MegaLAB 内の 3 番目に位置する LAB の最初の LE にカスケード信号を転送するようになっています。図 7 は大きなファン・インを持つ回路機能を実現するとき、カスケード・チェーンが隣接した LE 間でどのように接続されるかを示したものです。

図 7. APEX 20K のカスケード・チェーン

AND カスケード・チェーン



OR カスケード・チェーン



LEの動作モード

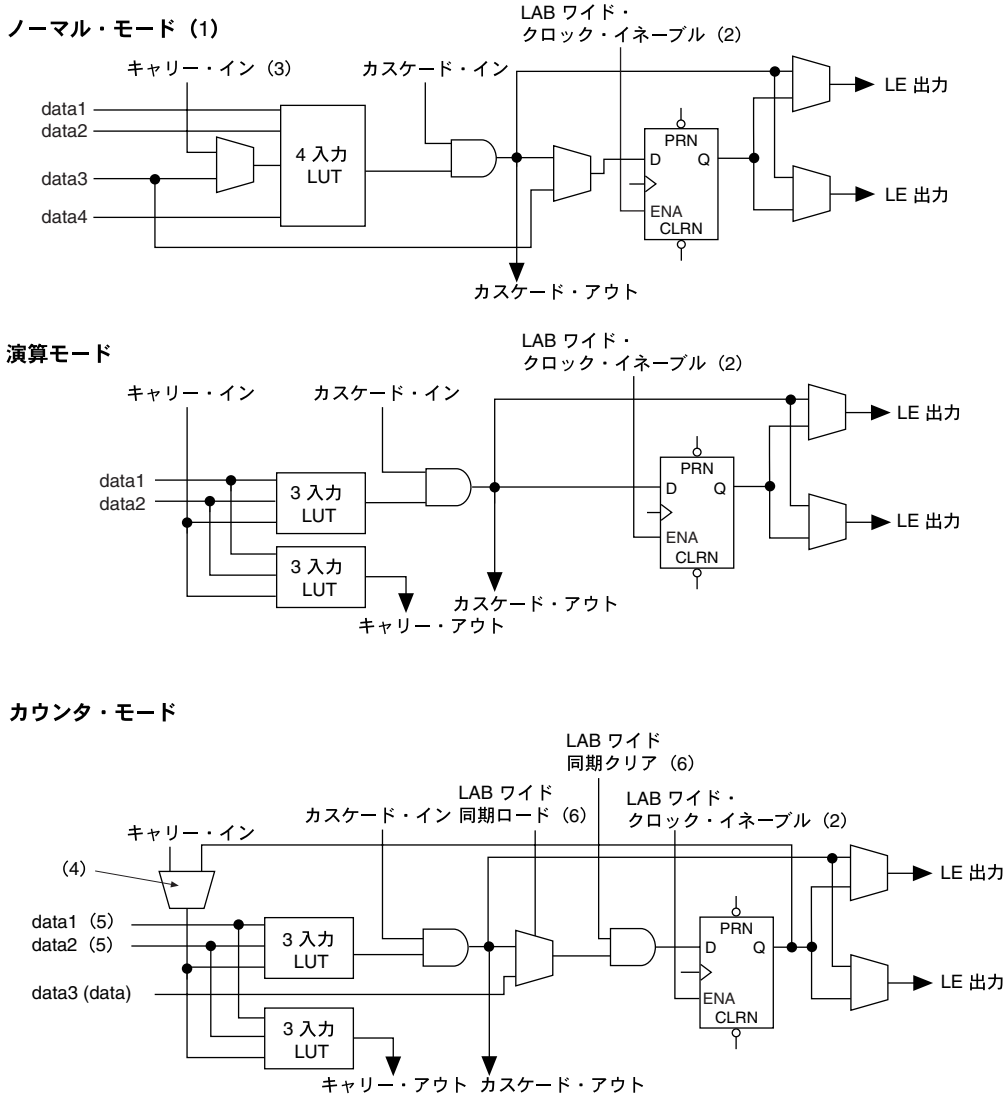
APEX 20KのLEは次の3種類のモードのいずれかで動作します。

- ノーマル・モード
- 演算モード
- カウンタ・モード

これらの各モードでは、LEのリソースがそれぞれ異なる形で使用されます。LEには各モードで計7本の入力提供されており（LABローカル・インタコネクトからの4本のデータ入力、プログラマブル・レジスタからのフィードバック、前段のLEからのキャリー・インとカスケード・インの計7本）、要求される論理機能を実現するためにこれらの入力はそれぞれ異なるリソースに接続されます。LAB全体をカバーするコントロール信号として、各レジスタに対するクロック、非同期クリア、非同期プリセット、非同期ロード、同期クリア、同期ロード、クロック・イネーブル・コントロールが提供されます。これらのLABワイドのコントロール信号は、すべてのLEの動作モードで使用できます。

Quartus II ソフトウェアは、LPM や DesignWare ファンクションのようなパラメータ化されたファンクションを使用して、カウンタやアダー、マルチプライヤなどのような標準的なファンクションに対して適切な動作モードを自動的に選択します。また、必要に応じて、ユーザが性能の最適化が実現されるLEの動作モードを選択して、特定用途のファンクションを作成することもできます。図8はLEの各動作モードを示したものです。

図 8. APEX 20K の LE の動作モード



注:

- (1) ノーマル・モードのLEは、レジスタ・パッキングの機能をサポートします。
- (2) 各LABごとにLAB全体をカバーするクロック・イネーブル信号が2本提供されます。
- (3) ノーマル・モードでキャリー・インが使用された場合は、レジスタ・パッキングの機能を使用することはできません。
- (4) 各LABのLE1にはレジスタ・フィードバック・マルチプレクサが提供されます。
- (5) DATA1とDATA2の入力には、カウンタ・イネーブル、アップまたはダウン・コントロール信号、LAB内の2番目以外のLEに対するレジスタ・フィードバック信号を供給することができます。
- (6) LABワイド同期クリアとLABワイド同期ロードの機能は、LAB内のすべてのレジスタに適用されます。

ノーマル・モード

ノーマル・モードは汎用のロジック・アプリケーションや組み合わせの回路ファンクション、カスケード・チェーンの長所が活用できる多入力のデコーダなどに適しています。ノーマル・モードでは、LAB ローカル・インタコネクトからの4本のデータ入力とキャリー・インが4入力LUTの入力になります。Quartus IIソフトウェアのコンパイラはDATA3とキャリー・インのいずれかをLUTの入力として自動的に選択します。LUTの出力をカスケード・インの信号と組み合わせることによって、カスケード・アウトの信号を持つカスケード・チェーンを構成することができます。ノーマル・モードのLEは、バックド・レジスタをサポートします。

演算モード

演算モードは、アダー、アキュムレータ、コンパレータの構成に最適です。演算モードのLEには、2個の3入力LUTが使用されます。このうち1個のLUTは3ビットの論理関数を実現し、もう1個のLUTがキャリー・アウトを生成します。図8に示されているように、最初のLUTはキャリー・インとLAB ローカル・インタコネクトからの2本の入力を使用して組み合わせ出力またはレジスタ出力の論理を生成します。アダーを構成した場合は、この出力がDATA1とDATA2、およびキャリー・イン信号による3ビットのサム（和）となります。そして、2番目のLUTは同じ3本の信号からキャリー・アウト信号を生成して、キャリー・チェーンを構成します。演算モードではカスケード・チェーンの使用が同時にサポートされます。演算モードになっているLEは、LUTからの出力をレジスタ付きとレジスタなしの双方でLEから出力することができます。

演算モードの使用が適切と判断されるファンクションには、Quartus IIソフトウェアが自動的に演算モードを使用してパラメータ化されたファンクションを実現するため、設計者がキャリー・チェーンの使用方法を指定する必要はありません。

カウンタ・モード

カウンタ・モードには、クロック・イネーブル、カウンタ・イネーブル、同期アップ/ダウン・コントロールの各信号と、同期クリアと同期ロードのオプション信号が提供されます。カウンタ・イネーブルと同期アップ/ダウン・コントロール信号はLAB ローカル・インタコネクトのデータ入力から生成されます。同期クリアと同期ロードのオプション信号はLAB全体をカバーしており、LAB内のすべてのレジスタに影響を与えます。このため、LAB内のあるLEがカウンタ・モードを使用している場合は、そのLAB内の他のLEも同じカウンタの一部として使用されるか、組み合わせ回路に使用される必要があります。Quartus IIソフトウェアは、カウンタに使用されていないレジスタを他のLABへ自動的に配置します。

カウンタ・モードでは、3入力LUTが2個使用されます。そのうちの1個はカウンタのデータを生成し、もう一方のLUTが高速のキャリー・ビットを生成します。2対1のマルチプレクサによりデータの同期ロード機能が提供され、さらにANDゲートによる同期クリア機能もサポートされています。カウンタ・モードのLEがカスケード機能を使用している場合は、同期クリアまたは同期ロードがカスケード・チェーンを転送される信号よりも優先されます。また、同期クリアが、同期ロードよりも優先して実行されるようになっています。演算モードになっているLEは、LUTからの出力をレジスタ付きとレジスタなしの双方でLEから出力することができます。

クリアおよびプリセット・ロジックのコントロール

レジスタのクリアとプリセットの信号に対するロジックは、LAB全体をカバーする信号でコントロールされます。LEは非同期クリアの機能を直接サポートしています。Quartus IIソフトウェアのコンパイラは、Not-gate push-backを使用したテクニックにより非同期プリセットとエミュレーションを実現することもできます。さらに、Quartus IIソフトウェアのコンパイラはこのプログラマブルなNot-gate push-backを使用したテクニックにより、プリセットとクリアまたは非同期ロードと同時にエミュレーションを実現することもできます。ただし、このテクニックには、レジスタあたり3個のLEがさらに必要となります。このようなエミュレーション機能は、デザインがコンパイルされるときに自動的に実現されます。プリセットとロードの機能を同時にエミュレートするようになっているレジスタは、チップ・ワイドのリセット信号がアサートされたとき、または電源投入後に、不定のステートに入ります。

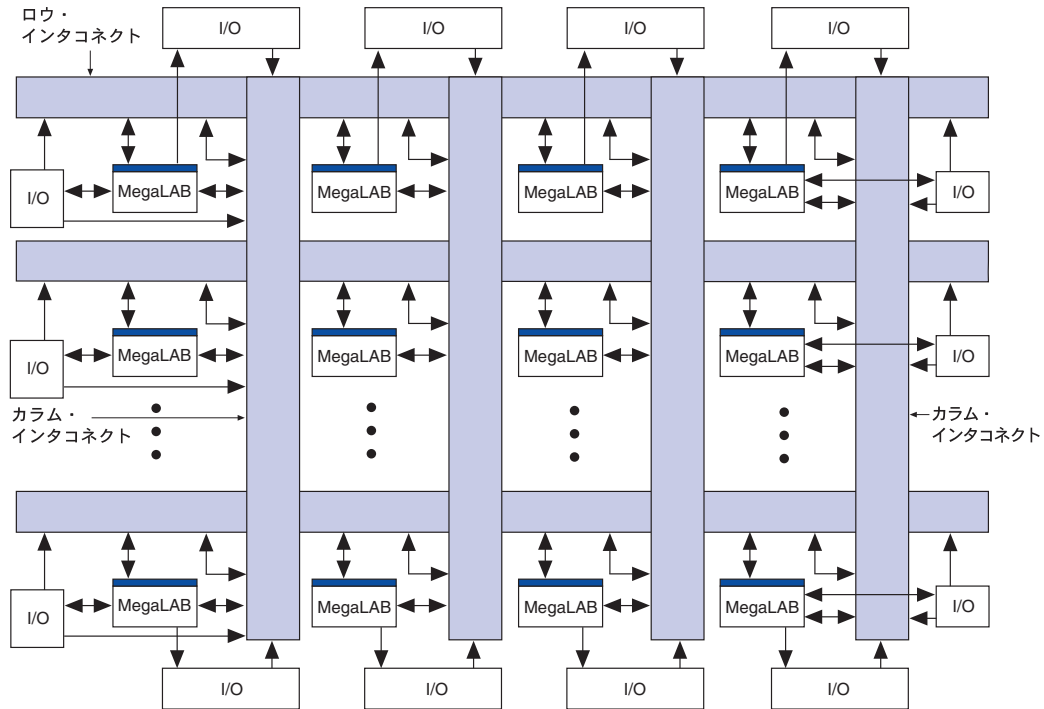
2種類のクリアおよびプリセット・モードに加え、APEX 20K デバイスにはデバイス内すべてのレジスタをリセットするチップ・ワイドのリセット・ピン (DEV_CLRn) が提供されています。このピンの使用は、Quartus IIソフトウェアでコンパイル前に設定できます。チップ・ワイドのリセット信号は他のすべてのコントロール信号よりも優先されます。非同期のプリセットを使用しているレジスタは、チップ・ワイドのリセット信号がアサートされたときに、プリセットされます。これは、非同期プリセットの機能が極性反転のテクニックを使用して実現されているためです。

FastTrackインタコネク

APEX 20K のアーキテクチャには、LE、ESB、およびI/Oピン間の接続を行うFastTrackインタコネクが提供されています。このFastTrackインタコネクはデバイス全体を垂直および水平方向に走っている連続した配線チャンネルとなっています。このグローバルな配線構造により、複雑なデザインにおいてもその性能が予測可能となっています。これに対して、配線領域が分割されているFPGAでは、一定しない複数のパスを接続するためのスイッチ・マトリックスが必要となり、ロジック・リソース間のディレイが大きくなって性能が低下します。

FastTrack インタコネクต์は、デバイス全体をカバーしているロウとカラムのインタコネクต์・チャンネルによって構成されています。ロウ・インタコネクต์は同じロウに位置する MegaLAB 間の信号を接続し、カラム・インタコネクต์は同じカラムの MegaLAB 間の信号を接続します。ロウおよびカラム・インタコネクต์を使用することにより、LE、IOE、または ESB からデバイス内の任意の LE、IOE、または ESB をドライブすることができます。図9を参照してください。

図9. APEX 20K の配線構造



ロウ・ラインは、同じロウに位置する LE、IOE、または ESB から直接にドライブすることができます。さらに、カラム・ラインはロウ・ラインをドライブすることができるため、LE、IOE または ESB からカラム・インタコネクต์とロウ・インタコネクต์を通じて異なるロウに位置する各エレメントをドライブすることができます。ロウ・インタコネクต์が特定の MegaLAB 内にある LE、IOE または ESB をドライブするときは、MegaLAB インタコネクต์を通じてドライブします。

コラム・ラインは、同じコラムに位置する LE、IOE、または ESB からダイレクトにドライブすることができます。デバイス内の左端と右端に位置するコラム・ラインは、ロウ IOE からでもドライブできます。コラム・ラインはあるロウ・ラインから別のロウ・ラインに信号を接続するときにも使用されます。コラム・ラインはロウ・ラインをドライブすることができ、MegaLAB インタコネクともダイレクトにドライブできるようになっているため、ロウ間的高速配線が実現されます。

図 10 は、FastTrack インタコネクが MegaLAB 内の LE をドライブするときに、ローカル・インタコネクがどのように使用されるかを示したものです。

図 10. FastTrack とローカル・インタコネクとの接続

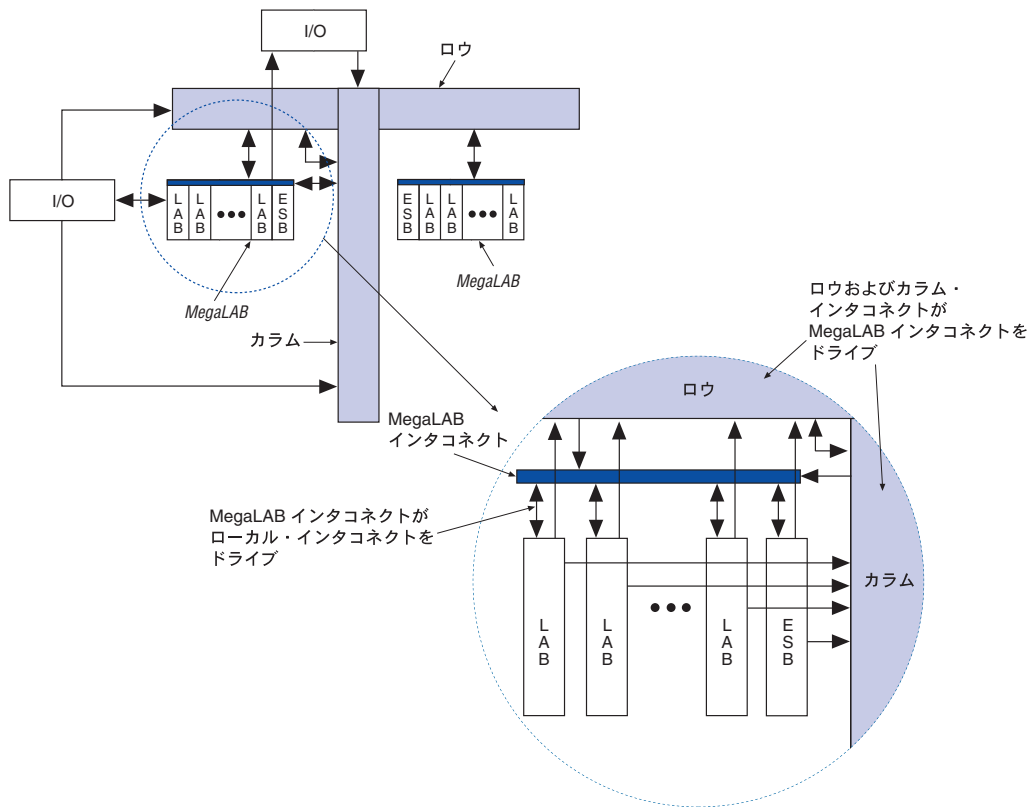
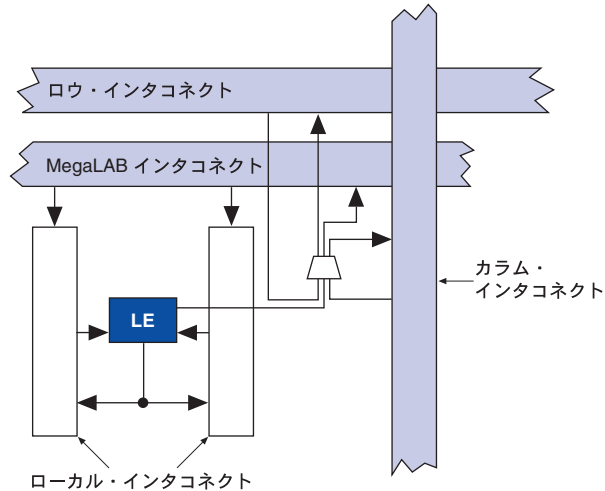


図 11 はロウ・インタコネクとカラム・インタコネクとが交差する領域を示したもので、各配線リソースと LE がどのように接続されるかが示されています。

図 11. FastTrack インタコネクのドライブ



APEX 20KE デバイスには、大きなファン・アウトを持つ入力信号をより高速で配線することができる特別な配線構造が採用されています。APEX 20KE デバイスのカラム I/O ピンは、信号を MegaLAB インタコネクを経由せずにローカル・インタコネクをダイレクトにドライブすることができる FastRow インタコネクと接続できます。FastRow インタコネクは、2 個の MegaLAB をドライブします。これらのピンはローカル・インタコネクをダイレクトにドライブできるため、高速のセットアップ・タイムが実現されます。EP20K300E およびそれより集積度の高いデバイスでは、FastRow インタコネクは左上の 2 個の MegaLAB と右下の 2 個の MegaLAB をドライブします。EP20K200E およびそれより集積度の低いデバイスでは、FastRow インタコネクはデバイスの上段にある 2 個の MegaLAB と、デバイスの下段にある 2 個の MegaLAB をドライブします。すべてのデバイスで、FastRow インタコネクは該当する MegaLAB のすべてのローカル・インタコネクをドライブします。ただし、MegaLAB の左端と右端のインタコネク領域は除きます。FastRow インタコネクに直接接続する Pin を使用することで、信号が MegaLab インタコネク・ラインを経由しないでディスティネーションの LE に到達するため、高速なセットアップ・タイムが実現されます。図 12 は、FastRow インタコネクの構造を示したものです。

図 12. APEX 20KE の FastRow インタコネク

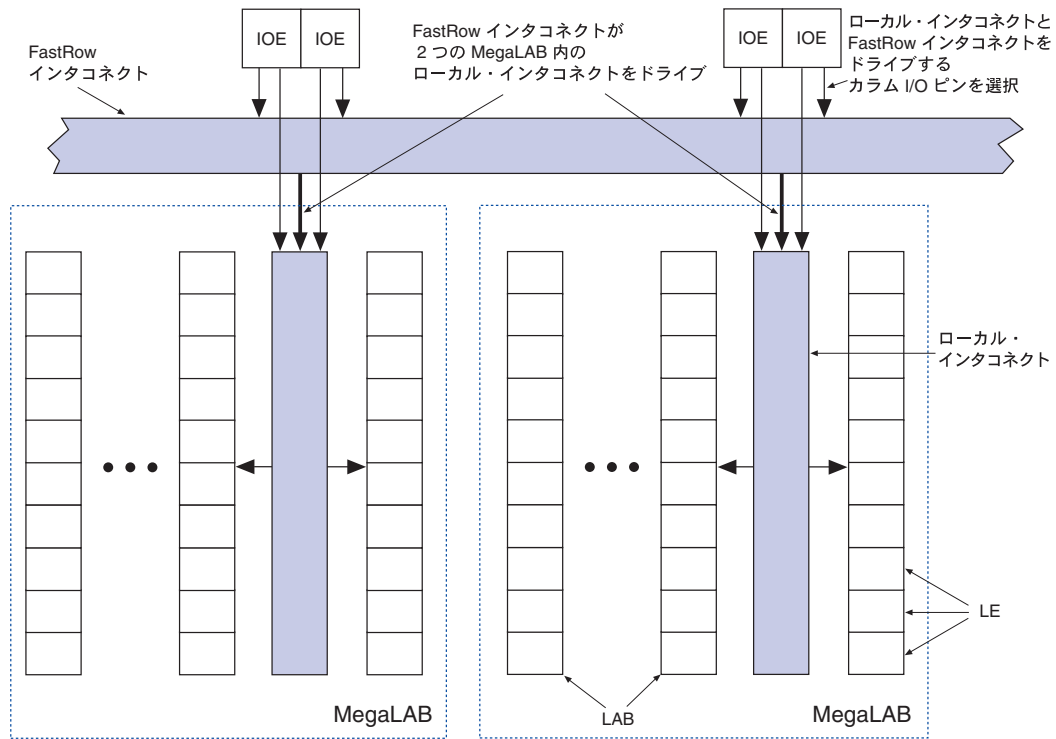


表9は、APEX 20Kアーキテクチャの各エレメントが他のエレメントとどのように接続できるかをまとめたものです。

ソース	ディスティネーション								
	ロウ I/O ピン	カラム I/O ピン	LE	ESB	ローカル・ インタ コネクト	MegaLAB インタ コネクト	ロウ FastTrack インタ コネクト	カラム FastTrack インタ コネクト	FastRow インタ コネクト
ロウ I/O ピン					✓	✓	✓	✓	
カラム I/O ピン					✓ (1)			✓	✓ (1)
LE					✓	✓	✓	✓	
ESB					✓	✓	✓	✓	
ローカル・ インタコネクト	✓	✓	✓	✓					
MegaLAB インタコネクト					✓				
ロウ FastTrack インタコネクト						✓		✓	
カラム FastTrack インタコネクト						✓	✓		
FastRow インタコネクト					✓ (1)				

注:

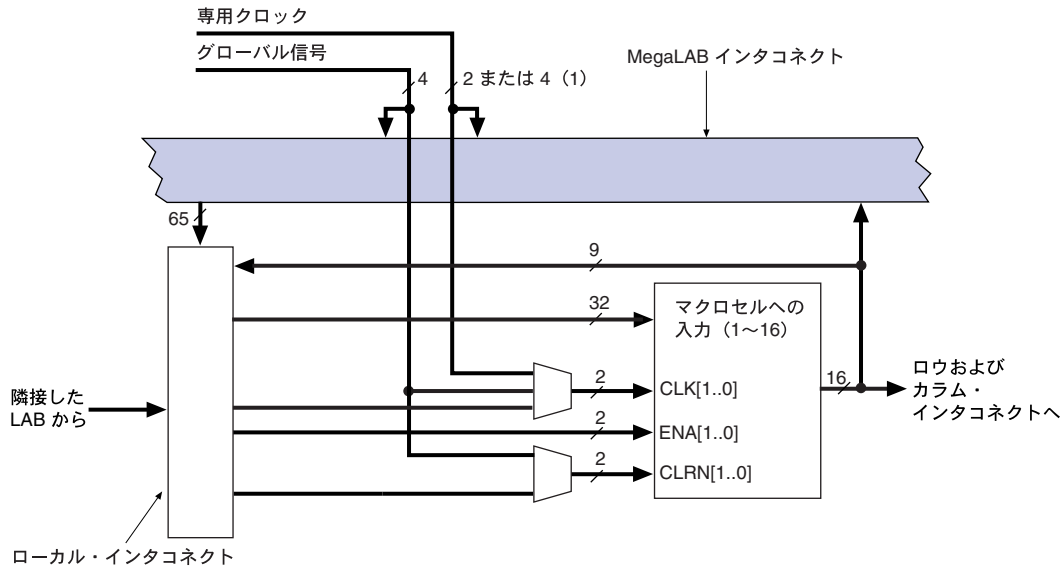
(1) この接続は APEX 20KE デバイスでのみサポートされます。

プロダクト・ターム・ロジック

MultiCore アーキテクチャのプロダクト・タームは、ESB によって実現されます。ESB はマクロセルのブロックとして動作するようにコンフィギュレーションすることができ、この設定は各 ESB ごとに個別に行うことができます。各 ESB には隣接するローカル・インタコネクトから 32 本の入力信号が与えられるようになっており、MegaLAB インタコネクトまたは隣接した LAB から ESB をドライブすることができます。また、ESB のマクロセルから 9 本の出力信号がローカル・インタコネクトを通じてフィードバックされるようになっており、高い性能を実現することができます。クロック専用ピン、グローバル信号、ローカル・インタコネクトからの追加入力、ESB のコントロール信号をドライブすることができます。

プロダクト・ターム・モードでは、各 ESB に 16 個のマクロセルが構成されます。各マクロセルは、2 本のプロダクト・タームと 1 個のプログラマブル・レジスタで構成されます。図 13 はプロダクト・ターム・モードの ESB を示したものです。

図 13. プロダクト・ターム・モードのときの ESB



注:

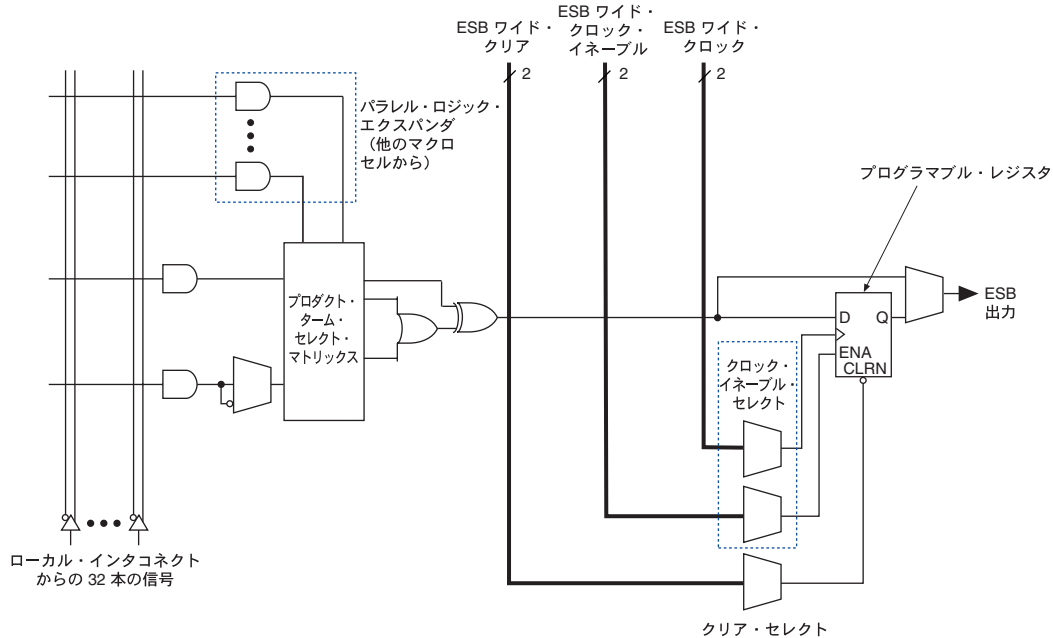
(1) APEX 20KEデバイスには、4本の専用クロックが提供されています。

マクロセル

APEX 20Kのマクロセルは、シーケンシャル回路または組み合わせ回路の動作を行うように個別にコンフィギュレーションすることができます。マクロセルは、ロジック・アレイ、プロダクト・ターム・セレクト・マトリックス、そしてプログラマブル・レジスタの3つのファンクショナル・ブロックで構成されています。

組み合わせ回路のロジックは、プロダクト・タームで実現されます。プロダクト・ターム・セレクト・マトリックスは、組み合わせ回路を実現するときにプロダクト・タームをORゲートまたはXORゲートへの入力にするか、他のマクロセルのロジック・リソースを増加させるためのパラレル・エクスパンダとして使用するかを選択します。1本のプロダクト・タームには極性反転の機能が提供されており、Quartus IIソフトウェアはこの機能を使用してドモルガンの極性反転を実行し、多入力のORファンクションをより効率的に実現します。Quartus IIソフトウェアのコンパイラは、Not-gate push-backを使用したテクニックにより非同期プリセットとエミュレーションを実現します。図 14 は APEX 20K のマクロセル構造を示したものです。

図 14. APEX 20K のマクロセル



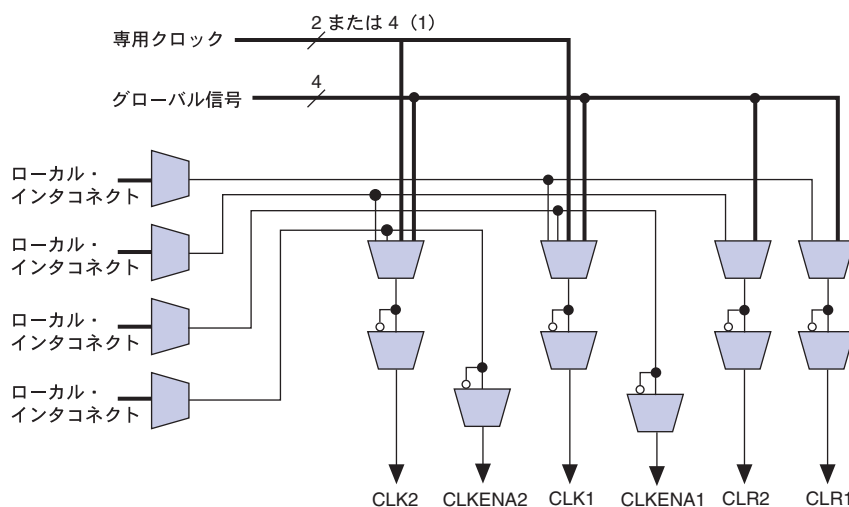
レジスタ付きのファンクションを実現するときは、各マクロセルのレジスタをプログラマブルなクロック・コントロール付きの D、T、JK、SR タイプの動作を行うように個別にプログラムすることができます。組み合わせ回路の動作を行わせるときは、このレジスタをバイパスすることができます。デザインの入力時に、ユーザが要求されるレジスタのタイプを指定することができ、Quartus II ソフトウェアに各レジスタ・ファンクションに対してリソースの使用効率が最適化される最も効率的なレジスタの動作を選択させることもできます。Quartus II ソフトウェアまたは他社の合成ツールも、HDL のデザインを合成するときに最も効率的となるレジスタ動作を自動的に選択します。

各プログラマブル・レジスタには、ESB 全体をカバーする 2 本のクロックのうち、のいずれか 1 本を使用することができます。この ESB ワイド・クロックは、デバイスのクロック専用ピン、グローバル信号、またはローカル・インタコネクトから供給できます。また、各クロックには、これと関連するローカル・インタコネクトから供給される 1 本のクロック・イネーブル信号が提供されます。クロックとクロック・イネーブル信号は特定の ESB 内でセットで使用されるようになっており、マクロセルであるクロック信号が使用されている場合は、このクロックと関連しているクロック・イネーブルが使用されます。

クロックの立ち上がり立ち下がりの双方のエッジが 1 つの ESB 内で使用される場合も、ESB 全体をカバーする双方のクロック信号が使用されることになります。

プログラマブル・レジスタは、非同期クリアの機能もサポートします。ESB内では、グローバル信号とローカル・インタコネクタから、計2本の非同期クリア信号が提供されます。各マクロセルでは、これら2本の非同期クリア信号のいずれか1本を選択することができ、クリア機能のない構造に設定することもできます。また、ESBでは、2本のクリア信号のいずれか1本を極性反転させて使用することもできます。図15は、ESBにプロダクト・タームを構成したときに提供されるコントロール・ロジックを示したものです。

図15. プロダクト・ターム・モードのESBに提供されるコントロール・ロジック



注:

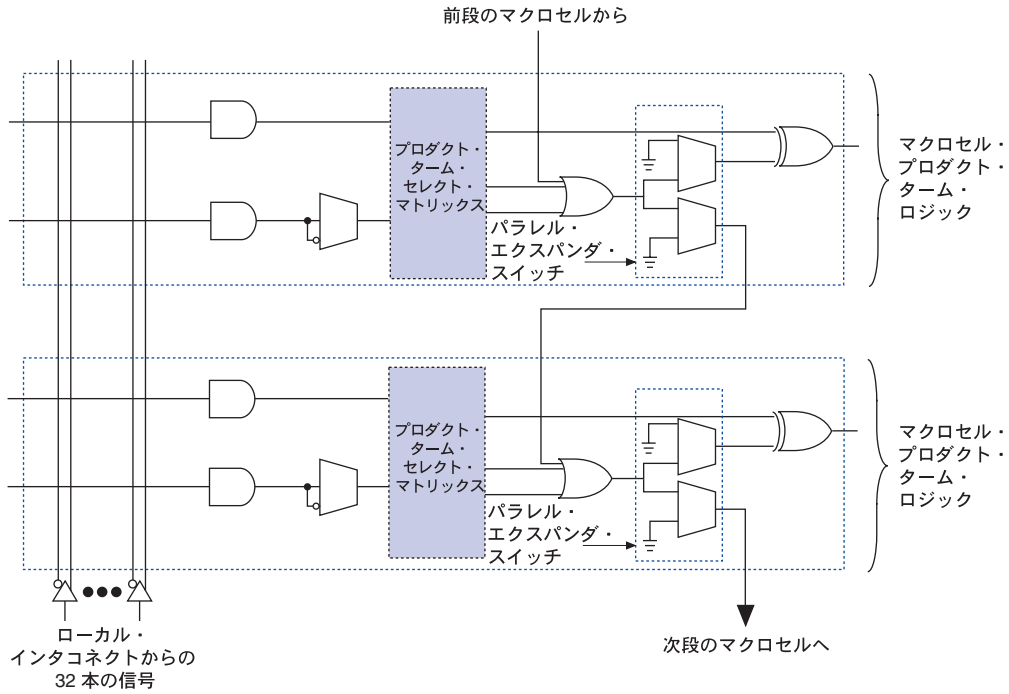
(1) APEX 20KEデバイスには、4本の専用クロックが提供されています。

パラレル・エキスパンダ

パラレル・エキスパンダは、高速で複雑なロジック・ファンクションを実現する場合に、各マクロセルで未使用のプロダクト・タームを隣接したマクロセルに分配できるようにしたものです。パラレル・エキスパンダを使用することによって、ESB内の隣接したマクロセルからの30本のパラレル・エキスパンダと、そのマクロセルが持つ2本の計32本のプロダクト・タームをORロジックにダイレクトに入力することができます。

Quartus IIソフトウェアのコンパイラは2本までのパラレル・エキスパンダを1セットとして、最大15セットまでをマクロセルに自動的に割り当てることができます。この2本のパラレル・エキスパンダが使用されるごとに、小さな追加タイミング遅延が発生します。図16はAPEX 20Kのパラレル・エキスパンダを示したものです。

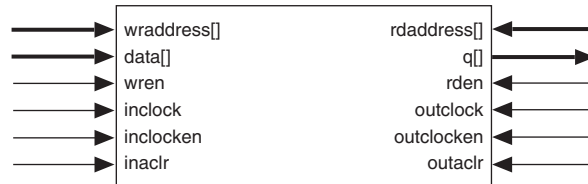
図 16. APEX 20K のパラレル・エキスパンダ



エンベデッド・システム・ブロック

ESBには、デュアル・ポートRAM、ROM、FIFO、CAMを含む多様なメモリ・ブロックを構成することができます。ESBには入力レジスタと出力レジスタが含まれています。入力レジスタはライト動作に同期し、出力レジスタはシステム性能の改善を実現するデザインのパイプライン化が可能になっています。ESBは、リードとライトの動作を異なるクロック周波数で同時に実行できるデュアル・ポート・モードをサポートしています。図 17は ESB の信号を示したブロック図です。

図 17. ESBのブロック図



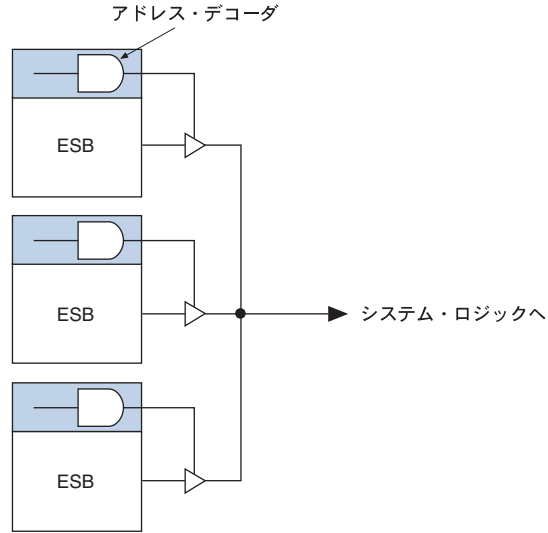
ESBには同期型のRAMも実現することができ、同期型のRAMは非同期型のRAMよりも簡単に構成することができます。非同期型のRAMを使用する回路ではライト・イネーブル（WE）信号を生成する必要があり、アドレスとデータの信号はこのWEに対して規定されたセットアップ・タイムとホールド・タイムの規格を守る必要があります。これに対してESBを使用した同期型RAMでは自分自身のWE信号が生成され、対応するグローバル・クロックに対してタイミングが取られます。セルフ・タイミング機能を持つESBのRAMでは、コントロールが必要となるタイミングは、グローバル・クロックに対して規定されるセットアップ・タイムとホールド・タイムのみとなります。

ESBの入力は隣接するローカル・インタコネクタからドライブすることができ、このローカル・インタコネクタはMegaLABインタコネクタまたはFastTrackインタコネクタからドライブできるようになっています。ESBはローカル・インタコネクタからドライブできるようになっているため、隣接するLEからESBをダイレクトにドライブして、高速のアクセスを実現することができます。ESBの出力はMegaLABインタコネクタとFastTrackインタコネクタをドライブします。また、ESBの10本の出力のうち9本は独立した出力ラインとなっており、これらの出力は、隣接するLEとの高速配線やプロダクト・ターム・モードにおける高速フィードバックを実現するときにローカル・インタコネクタをドライブします。

ESBにメモリを実現する場合は、各ESBのメモリ構成を 128×16 、 256×8 、 512×4 、 $1,024 \times 2$ 、または $2,048 \times 1$ のいずれかに任意に設定することができます。また、Quartus IIソフトウェアは複数のESBを接続して、さらに大容量のメモリを自動的に実現します。例えば、 128×16 構成のRAMを2個接続して 128×32 のRAMブロックを実現することができます、 512×4 構成のRAMを2個接続して 512×8 のRAMブロックを実現することができます。ESBのメモリ性能は、2,048ワードの深さまで低下することがありません。各ESBには2,048ワードの深さのメモリを構成することができるため、各ESBを平行に動作させることによって、外部にコントロール・ロジック回路を設ける必要性がなくなり、これらの回路による遅延時間を発生することはありません。

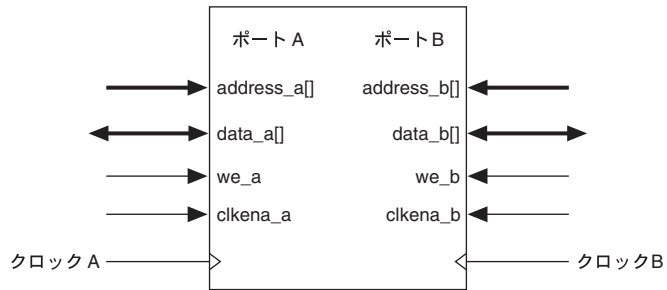
2,048ワードを超える深さの高速RAMブロックを構成する場合は、ESBの出力からトライ・ステート・ラインをドライブするようにします。そして、各トライ・ステート・ラインを同じカラムに配置されているMegaLAB内のすべてのESBと接続し、カラムFastTrackを通じてMegaLABインタコネクタとロウとカラムのFastTrackをドライブするようにします。各ESBはプログラマブル・デコーダを使用して対応するトライ・ステート・ドライバがアクティブになるようにします。例えば、8,192ワードの深さのメモリを構成するときは、4個のESBが使用されます。この場合は、11本のアドレス・ラインがESBメモリをドライブし、さらに2本がトライ・ステート・デコーダをドライブします。どの位置の2,048ワード分のメモリ・ページに相当するかに応じて、該当するESBのドライバがオンとなり、出力がトライ・ステート・ラインへドライブされます。Quartus IIソフトウェアは、このような深いサイズのメモリを構成するとき、複数のESBをトライ・ステート・ライン付きで自動的に接続します。内部のトライ・ステートをコントロールするロジックは、内部信号の競合やフローティング・ラインが発生しないように設計される必要があります。図18を参照してください。

図 18. 複数の ESB を接続して深いメモリを構成する方法



ESBには、リード/ライト・クロック・モードと、入力/出力クロック・モードの2種類のデュアル・ポート・メモリを実現することができます。また、ESBを使用して、2つのポートを使用してリードとライトの動作を同時に実行できる双方向のデュアル・ポート・メモリを構成することができます。このような種類のデュアル・ポート・メモリを実現するには、同時に行われる2つのリードまたはライトをサポートするために、ESBを2個または4個使用します。図19はこの機能を示したものです。

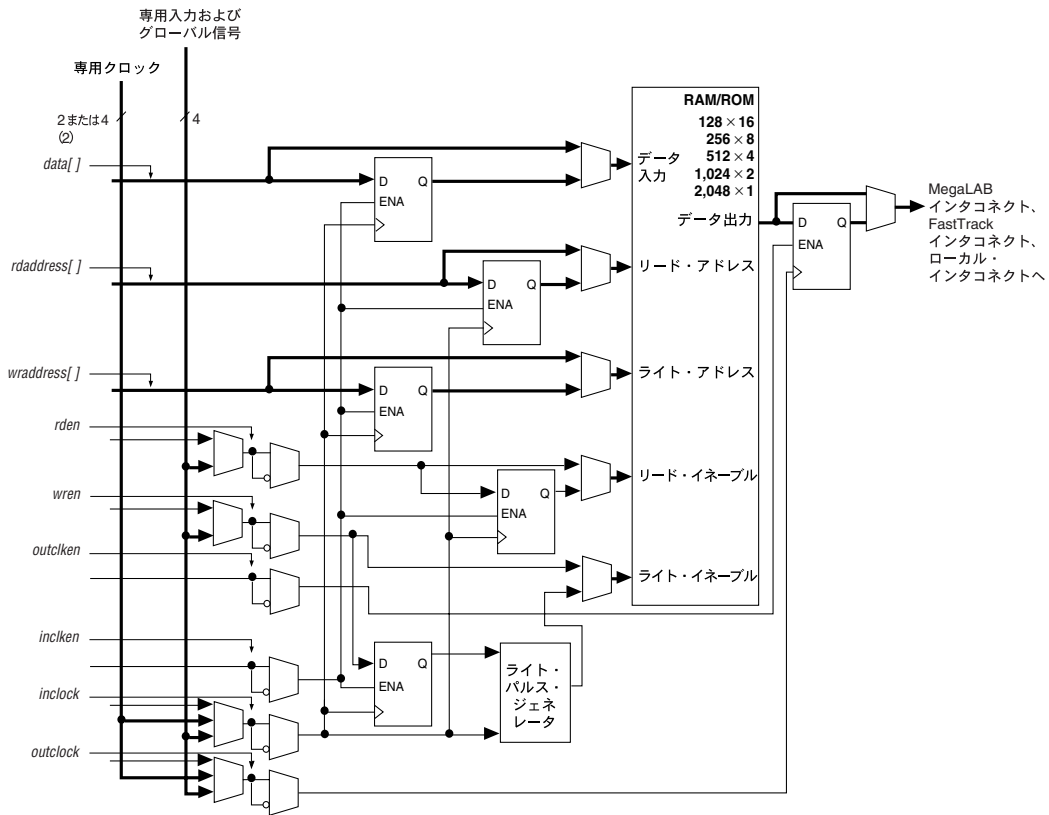
図 19. デュアル・ポートRAMを実現したときのAPEX 20KのESB



リード/ライト・クロック・モード

リード/ライト・クロック・モードには、2本のクロックが使用されます。このうち1本のクロックは、ライト動作に関係するすべてのレジスタをコントロールし、データ入力、WE、ライト・アドレスの各レジスタに供給されます。もう1本のクロックはリード動作に関係するすべてのレジスタをコントロールし、リード・イネーブル (RE)、リード・アドレス、データ出力の各レジスタに供給されます。ESBはクロック・イネーブルと非同期クリアもサポートしており、これらの信号はリード・レジスタとライト・レジスタを個別にコントロールすることができます。リード/ライト・クロック・モードは、リードとライトの動作が異なるシステム周波数で発生するアプリケーションに対して共通に使用されます。図20はリード/ライト・クロック・モードになっているESBを示したものです。

図20. リード/ライト・クロック・モードのESB 注(1)



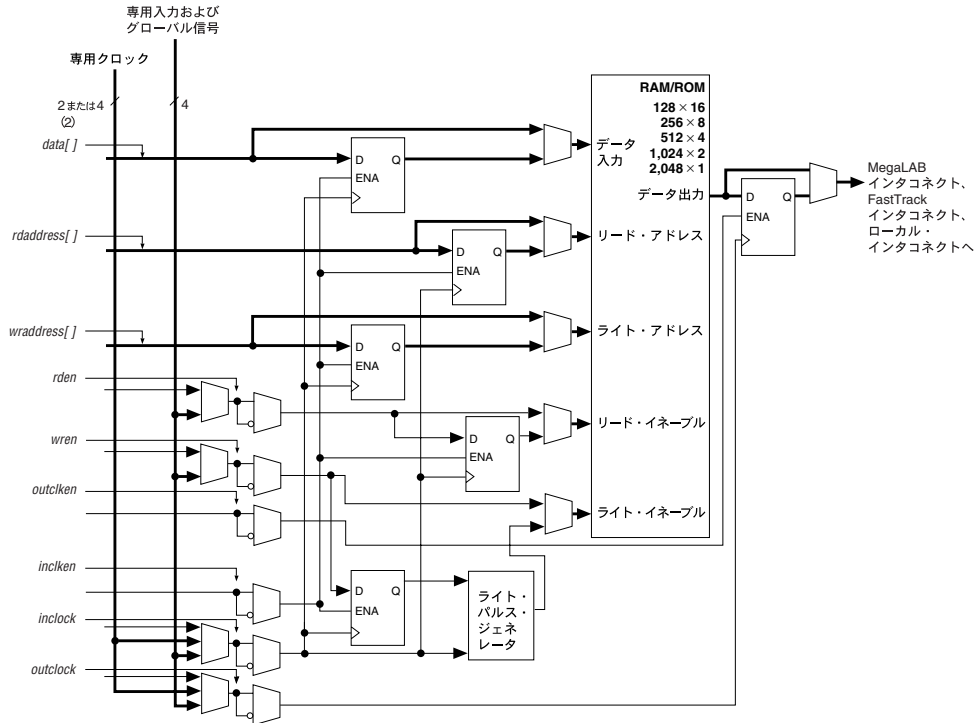
注:

- (1) ESB ローカル・インタコネクタ信号、グローバル信号、またはチップ全体のリセットによって、すべてのレジスタを非同期でクリアすることができます。
- (2) APEX 20KE デバイスには、4本の専用クロックが提供されています。

入力/出力クロック・モード

入力/出力クロック・モードにも2本のクロックが使用されます。1本のクロックはESBにデータを入力するためのすべてのレジスタをコントロールし、データ入力、WE、RE、リード・アドレス、ライト・アドレスの各レジスタに供給されます。もう1本のクロックはESBのデータ出力レジスタをコントロールします。このとき、ESBはクロック・イネーブルと非同期クリアもサポートしており、これらの信号はリード・レジスタとライト・レジスタを個別にコントロールすることができます。入力/出力クロック・モードは、リードとライトの動作が同じ周波数で発生するアプリケーションに共通に使用できますが、入力と出力のレジスタには異なるクロック・イネーブル信号が必要となります。図21は入力/出力クロック・モードになっているESBを示したものです。

図21. 入力/出力クロック・モードのESB 注(1)、(2)



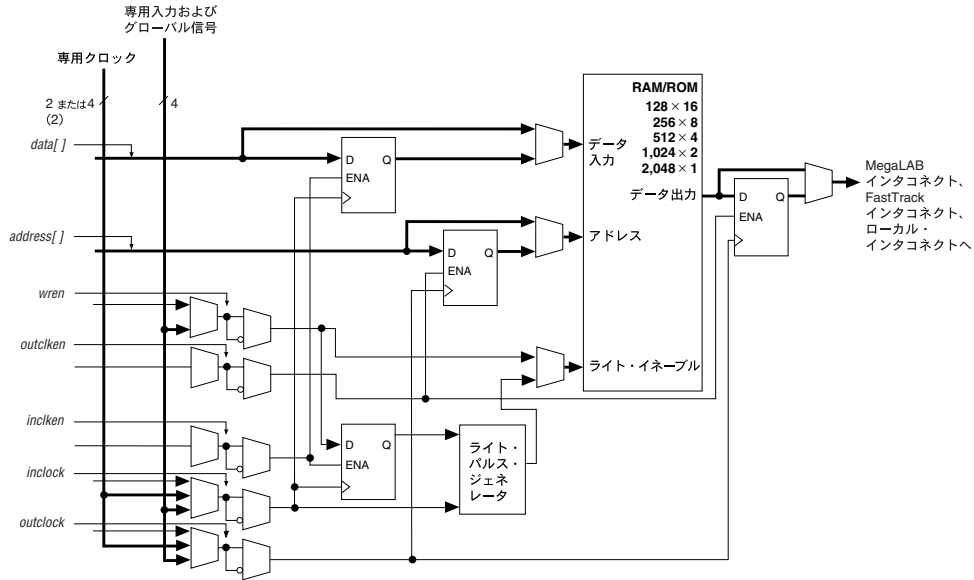
注:

- (1) ESB ローカル・インタコネクタ信号、グローバル信号、またはチップ全体のリセットによって、すべてのレジスタを非同期でクリアすることができます。
- (2) APEX 20KE デバイスには、4本の専用クロックが提供されています。

シングル・ポート・モード

APEX 20KのESBは、リードとライトの動作を同時に行う必要がないときに使用されるシングル・ポートのモードもサポートしています。図22を参照してください。

図22. シングル・ポート・モードのESB 注(1)



注:

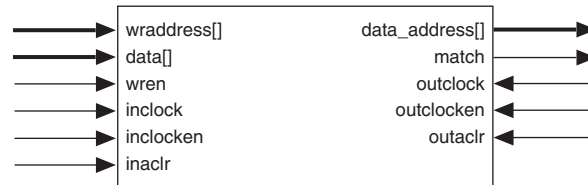
- (1) ESB ローカル・インタコネクタ信号、グローバル信号、またはチップ全体のリセットによって、すべてのレジスタを非同期でクリアすることができます。
- (2) APEX 20KEデバイスには、4本の専用クロックが提供されています。

CAM (Content-Addressable Memory)

APEX 20KEデバイスでは、ESBにCAMを実現することができます。CAMはRAMと反対の動作を行うと考えることができます。RAMは、リード動作において、与えられたアドレスに対するデータを出力します。CAMはこれと反対に、与えられたデータに対するアドレスを出力します。例えば、FA12のデータがアドレス14にストアされている場合は、FA12のデータが入力されると、14が出力されます。

CAMは高速サーチの動作に使用されます。RAMブロック内のデータをサーチする場合、サーチ動作がシリアルに実行されます。このため、特定のデータ・ワードを発見するためには、多くのサイクル数が必要となります。CAMはすべてのアドレスをパラレルにサーチして、特定のワードをストアしているアドレスを出力します。一致したアドレスが発見された場合には、「match」のフラグがHighにセットされます。図23はCAMの信号を示したブロック図です。

図23. APEX 20KE に実現される CAM のブロック図



CAMはネットワーキング、コミュニケーション、データ圧縮、キャッシュ・マネージメントなどの高速サーチ動作が要求されるアプリケーションに使用できません。

APEX 20KE のオン・チップ CAM は、従来からあるディスクリート・タイプのCAMデバイスよりも高い性能を実現します。CAMとロジックをAPEX 20KEデバイス内に集積化することによって、オン・チップおよびオフ・チップの遅延時間が解消されるため、システム性能が改善されます。

CAMのモードでは、各ESBに32ワード×32ビットのCAMが構成されます。複数のCAMを接続し、LEに補助的なロジックを実現することによって、さらに深いCAMやデータ幅の広いCAMを構成することができます。Quartus IIソフトウェアは複数のESBとLEを接続して、さらに大容量のCAMを自動的に実現します。

CAMはメモリのワードに対する「ドント・ケア」ビットの書き込みをサポートしています。「ドント・ケア」ビットは、CAMの比較をマスキングするときで使用でき、「ドント・ケア」に設定されたビットがマッチングの動作に影響を与えることはありません。

CAMの出力はエンコードされたフォーマット、またはエンコードなしのいずれかに設定できます。出力がエンコードされる場合は、ESBがデータの位置をエンコードされたアドレスとして出力します。例えば、データがアドレス12にストアされているときは、ESBが12を出力します。エンコードされない出力の場合は、ESBが16本の出力を使用してデータの位置を2クロック・サイクルで示します。この場合、データがアドレス12にストアされているときには、12番目の出力がHighになります。エンコードなしの出力が使用される場合は、16ビット出力のバスを使用して32ワードの状態を示すため、出力の読み出しには2クロック・サイクルが必要になります。

エンコードされた出力は、CAMに重複したデータが書き込まれないデザインに適しています。重複したデータが2個所に書き込まれると、CAMの出力は正しくなりません。CAMに重複したデータが書き込まれる可能性がある場合は、エンコードされない出力を使用するのが適当です。エンコードされていない出力を使用したCAMでは、複数のデータの位置を識別することができます。

CAMにはデータをコンフィギュレーション時にプリロードすることができ、システムの動作時にデータを書き込むこともできます。ほとんどの場合、CAMの各ワードへの書き込みには2クロック・サイクルが必要です。「ドント・ケア」のビットを使用するときは、3番目のクロック・サイクルが必要になります。

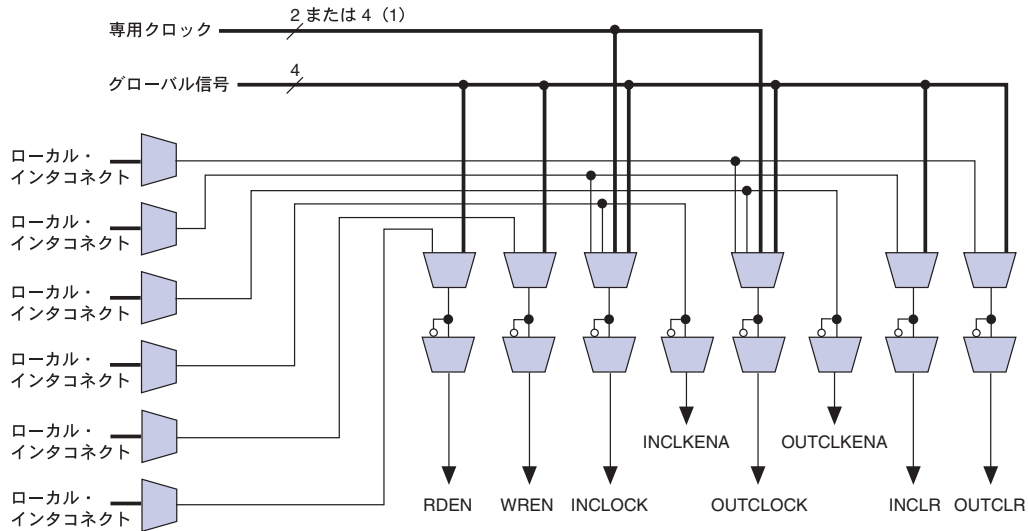


APEX 20KEデバイスとCAMについては、アプリケーション・ノート、AN 119「*Implementing High-Speed Search Applications with APEX CAM*」を参照してください。

ESB に対する信号のドライブ

ESBに対するコントロール信号のドライブには、柔軟性に富んだオプションが用意されています。まず、ESBの入力と出力には、異なるクロックが使用できます。データ入力、データ出力、リード・アドレス、ライト・アドレス、WE信号、RE信号には、それぞれ個別のレジスタを挿入することができます。また、グローバル信号とローカル・インタコネクタからの信号は、WEとREもドライブすることができます。グローバル信号、クロック専用ピンとローカル・インタコネクタからもESBのクロックをドライブすることができます。LEからローカル・インタコネクタをドライブすることができるため、LEでWEとRE、ESBクロック、クロック・イネーブル、非同期のクリアの各信号をコントロールすることも可能です。図24はESBコントロール信号を生成するロジックを示したものです。

図 24. ESB コントロール信号の生成回路



注:

(1) APEX 20KE デバイスには、4本の専用クロックが提供されています。

ESB に対する入力、隣接する LE からドライブされるローカル・インタコネクを通じて (ESB への高速接続パス)、または MegaLAB インタコネクから与えることができます。ESB の出力は、ローカル・インタコネク、MegaLAB インタコネク、または FastTrack インタコネクの配線領域を通じて、同じ MegaLAB 内の LE、IOE、およびデバイス内の任意の LE と IOE をドライブすることができます。

ROM にロジックを実現する方法

ESB にはプロダクト・タームによるロジックだけでなく、コンフィギュレーション時に ESB ヘリッド・オンのパターンをプログラムして 1 つの大きな LUT を構成することによって、ロジックの機能を実現することもできます。LUT を使用した組み合わせ回路では、ロジックの出力が論理演算ではなくこの LUT にプログラムされたパターンによって決定されます。この方法によって実現される組み合わせ回路は通常のロジックを実現するアルゴリズムを使用した場合よりも高速となり、この高い性能は ESB の提供する高速アクセス・タイムによってさらに強化されています。また、ESB の高い集積度により、複数の LE や分散型の RAM ブロックを結合させた場合の配線遅延を発生させることなく、複雑なロジック・ファンクションを 1 段のロジック・レベルで実現することができます。LPM のようなパラメータ化されたファンクションは、ESB の利点を自動的に活用することができます。また、Quartus II ソフトウェアは、ESB の使用が適切となるデザイン部分を ESB で実現できるようになっています。

プログラマブルなスピード／パワー・コントロール

APEX 20KのESBには、非常に高速な動作を各ESBごとにサポートする高速モードが提供されています。この高速モードの動作を必要としない場合は、この機能をオフにして、ESBの消費電力を50%まで低減することができます。ESBをロー・パワー・モードで動作させた場合には、一定の追加タイミング遅延が発生します。この動作モードの設定を行う Turbo Bit™ のオプションは、プロダクト・ターム・モードまたはメモリ・ファンクションが実現されているESBに提供されます。使用されていないESBはパワー・ダウン状態となり、DC電流を消費することはありません。

APEX 20Kデバイス内の各ESBには、高速モードまたはロー・パワー・モードのいずれかをプログラムすることができます。このため、デザイン内でスピードがクリティカルとなる部分を高速モードで動作させ、残りのバスを低速で動作させて消費電力を低減させることができます。

I/Oの構造

APEX 20KのI/Oエレメント (IOE) には、双方向のI/Oバッファとレジスタが各1個内蔵されています。このレジスタは、高速のセットアップ・タイムを必要とする外部データに対する入力レジスタとして、あるいは高速の「Clock-to-Output」遅延を必要とするデータに対する出力レジスタとして使用することができます。IOEは入力ピン、出力ピン、または双方向ピンとして使用することができます。高速な双方向I/Oタイミングを実現するために、ローカル配線を使用するLEレジスタはセットアップ・タイムとOEタイミングを改善できます。Quartus IIソフトウェアのコンパイラはプログラマブルな極性反転オプションを使用して、ロウまたはカラム・インタコネクトからの信号の極性を反転させます。APEX 20KのIOEでは、各ピンごとに1本の出力イネーブル信号が提供されるため、Quartus IIソフトウェアのコンパイラは効率的にオープン・ドレインの動作を実現させることができます。

APEX 20KのIOEには、0 nsのホールド・タイムや最小の「Clock-to-Output」時間を確保し、入力IOEレジスタからコア・レジスタへの転送またはコア・レジスタから出力IOEレジスタへの転送を最小限にするためのプログラマブルな遅延コントロール機能が内蔵されています。レジスタをダイレクトにドライブしているピンのバスに0 nsのホールド・タイムを確保するための遅延が必要になったり、組み合わせ回路のロジックを通じてレジスタをドライブしているピンのバスに遅延が不要になることがあります。

表10は、APEX 20Kのプログラマブルな遅延とQuartus IIソフトウェアのロジック・オプションを示したものです。

表 10. APEX 20K のプログラマブルな遅延チェーン

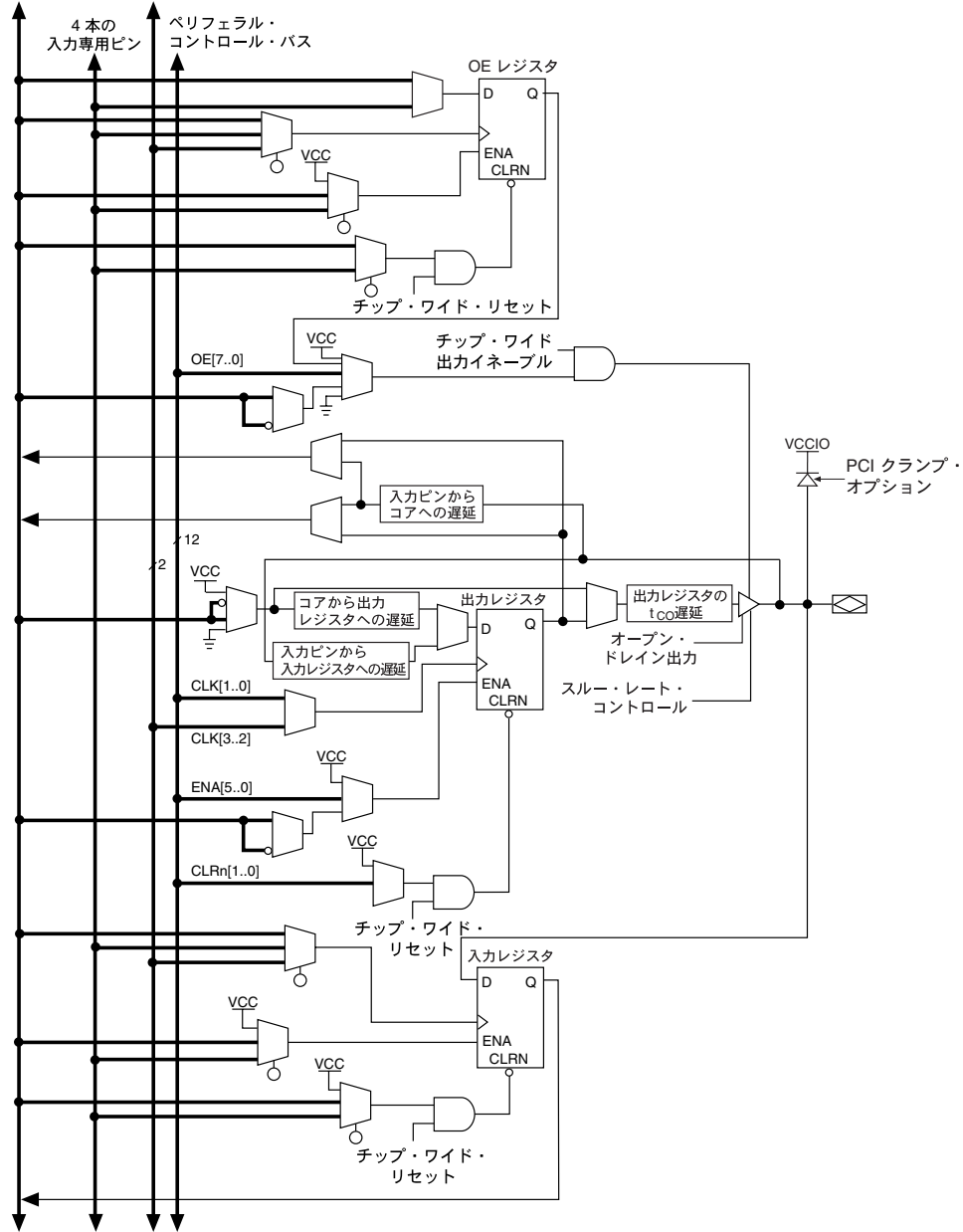
プログラマブルな遅延	Quartus II のロジック・オプション
入力ピンからコアまでの遅延	内部セルへの入力遅延を低減する
入力ピンから入力レジスタまでの遅延	入力レジスタへの入力遅延を低減する
コアから出力レジスタまでの遅延	出力レジスタへの入力遅延を低減する
出力レジスタ t_{co} の遅延	出力ピンへの遅延を増やす

Quartus II ソフトウェアのコンパイラは、これらの遅延コントロール機能を自動的に設定して 0 ns のホールド・タイムを確保しながら最小のセットアップ・タイムが実現されるようにします。図 25 は、APEX 20K デバイスに双方向の高速 I/O がどのように実現されるかを示したものです。

APEX 20K の IOE に内蔵されているレジスタには、コンフィギュレーションの完了時に「パワー・アップ High」（初期値が High）または「パワー・アップ Low」（初期値が Low）のいずれかを設定することができます。レジスタを「パワー・アップ Low」に設定した場合は、非同期クリア信号でレジスタをコントロールすることができます。また、「パワー・アップ High」に設定された場合は、レジスタを非同期でクリアしたり、プリセットすることができなくなります。この機能は、APEX 20K デバイスがアクティブ Low の入力信号または他のデバイスをコントロールしている場合に便利です。この機能を利用することによって、電源投入直後に意図しない入力が入力になることを防止できます。

図 25. APEX 20K の双方向 I/O レジスタ 注 (1)

ロウおよびカラム・インタコネクト、2本のクロック
またはローカル・インタコネクト 専用入力



注:

- (1) 出力イネーブルと入力レジスタは双方向ピンに隣接しているLAB内のLEレジスタです。

APEX 20KE デバイスには、FastRow インタコネクタをドライブする強化された IOE が実現されています。FastRow インタコネクタは、カラム I/O ピンと 2 つの MegaLAB 内の LAB ローカル・インタコネクタをダイレクトに接続します。この機能は、PCI のデザインのような複雑なロジックの大きなファン・アウトを持つピンに対して、高速のセットアップ・タイムを実現します。高速な双方向 I/O タイミングを実現するために、ローカル配線を使用する LE レジスタはセットアップ・タイムと OE タイミングを改善できます。APEX 20KE の IOE はオープン・ドレインの信号をダイレクトにサポートしており、オープン・ドレイン信号に対して、より高速の「Clock-to-Output」遅延を実現します。APEX 20KE の IOE 内に内蔵されているプログラマブルな遅延コントロール機能はマルチ・レベルで遅延時間をコントロールすることができ、要求されるセットアップ・タイムやホールド・タイムのファイン・チューニングを行うことができます。Quartus II ソフトウェアのコンパイラは、これらの遅延コントロール機能を自動的に設定して 0 ns のホールド・タイムを確保しながら最小のセットアップ・タイムが実現されるようにします。

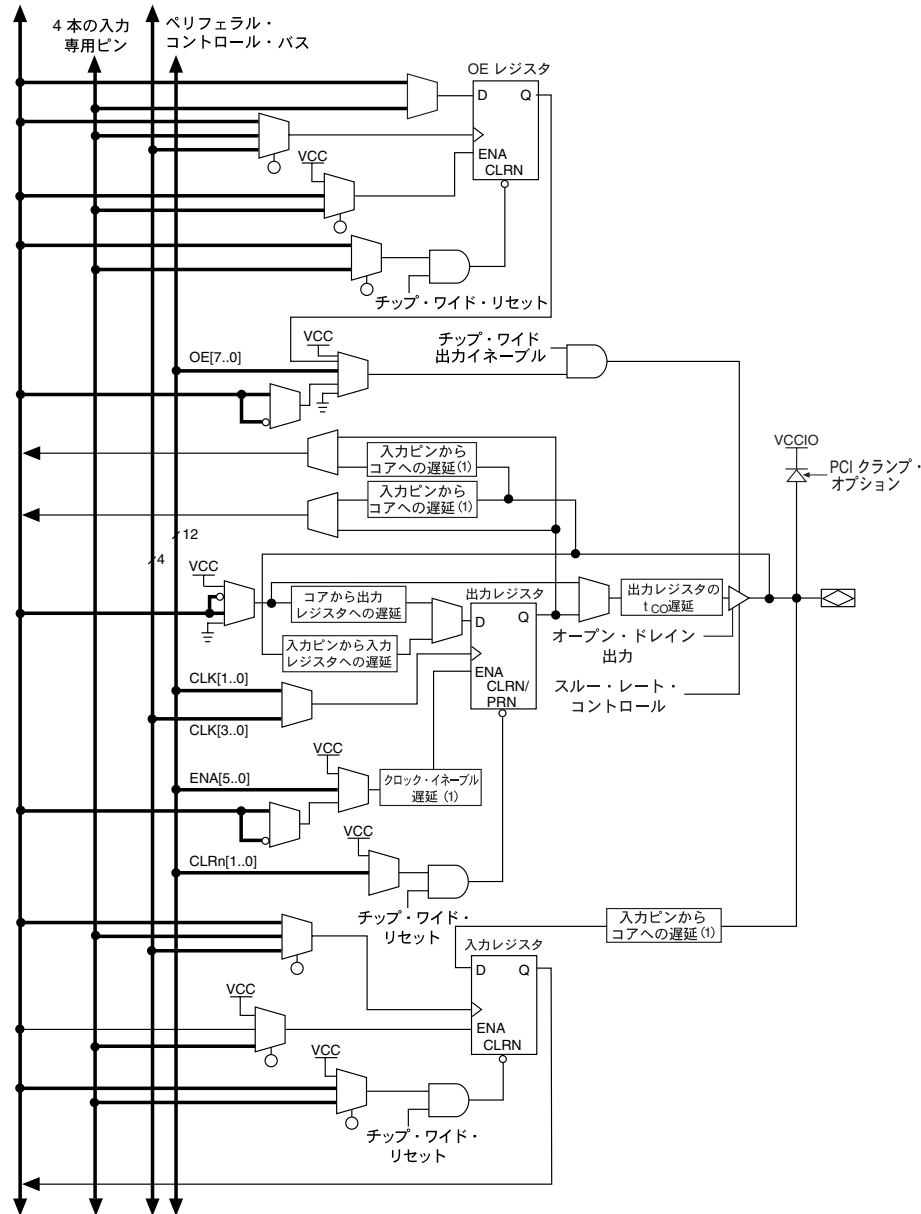
表 11 は、APEX 20KE のプログラマブルな遅延と Quartus II ソフトウェアのロジック・オプションを示したものです。

表 11. APEX 20KE のプログラマブルな遅延チェーン	
プログラマブルな遅延	Quartus II のロジック・オプション
入力ピンからコアまでの遅延	内部セルへの入力遅延を低減する
入力ピンから入力レジスタまでの遅延	入力レジスタへの入力遅延を低減する
コアから出力レジスタまでの遅延	出力レジスタへの入力遅延を低減する
出力レジスタ t_{co} の遅延	出力ピンへの遅延を増やす
クロック・イネーブル遅延	クロック・イネーブル遅延を増やす

APEX 20KE の IOE に内蔵されているレジスタには、コンフィギュレーションの完了後に「パワー・アップ High」または「パワー・アップ Low」にする設定を行うことができます。レジスタを「パワー・アップ Low」に設定した場合は、非同期クリア信号でレジスタをコントロールすることができます。また、「パワー・アップ High」に設定された場合は、非同期プリセット信号でレジスタをコントロールすることができます。図 26 は、APEX 20KE デバイスに双方向の高速 I/O ピンがどのように実現されるかを示したものです。この機能は、APEX 20KE デバイスがアクティブ Low の入力信号または他のデバイスをコントロールしている場合に便利です。この機能を利用することによって、電源投入直後に意図しない入力がアクティブになることを防止できます。

図 26. APEX 20KE の双方向 I/O レジスタ 注 (1)、(2)

ロウおよびカラム・インタコネク、 4本のクロック
FastRow またはローカル・インタコネク 専用入力



注:

- (1) このプログラマブル遅延は、オフおよび3レベルの計4段階での設定を行うことができます。
- (2) 出力イネーブルと入力レジスタは双方向ピンに隣接しているLAB内のLEレジスタです。

各IOEを入力または双方向のピンとして使用した場合は、各IOEからロウとカラムのインタコネクต์、MegaLABまたはローカル・インタコネクต์をドライブします。ロウ側のIOEはローカル・インタコネクต์、MegaLABインタコネクต์、ロウとカラムのインタコネクต์をドライブすることができ、カラム側のIOEはカラム・インタコネクต์をドライブできます。図27はロウ側のIOEが各インタコネクต์とどのように接続されるかを示したものです。

図27. ロウ側のIOEと各インタコネクต์との接続

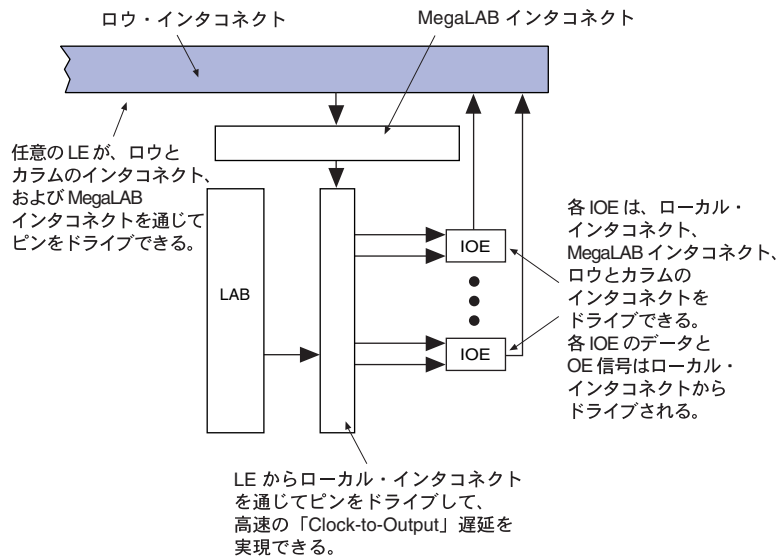
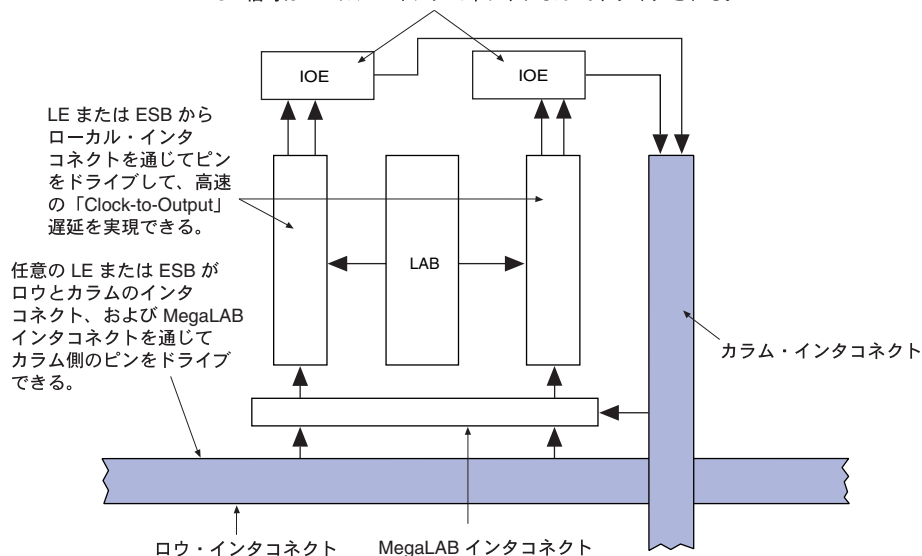


図 28 は、カラム IOE が各インタコネクとどのように接続されるかを示したものです。

図 28. カラム側の IOE と各インタコネクとの接続

各 IOE からカラム・インタコネクをドライブできる。
APEX 20KE デバイスでは、IOE が FastRow インタコネクとカラム・インタコネクともドライブできる。各 IOE のデータと OE 信号はローカル・インタコネクによってドライブされる。



専用高速 I/O ピン

APEX 20KE デバイスには、PCI コントロール信号のような大きい内部ファンアウトを持つ双方向ピンをサポートするための拡張機能が組み込まれています。このようなピンは専用高速 I/O ピン (FAST1、FAST2、FAST3、および FAST4) と呼ばれ、専用入力に置き替わります。これらのピンは高速クロック、クリア、または大きなファンアウト・ロジック信号の分配に使用できます。ドライブ・アウトもできます。専用高速 I/O ピンのデータ出力とトライ・ステート・コントロールは、高速動作の隣接する MegaLAB からローカル・インタコネクがドライブします。

最新標準 I/O 規格のサポート

APEX 20KE の IOE は、LVTTTL、LVCMOS、1.8 V の I/O、2.5 V の I/O、3.3 V の PCI、PCI-X、3.3 V の AGP、LVDS、LVPECL、GTL+、CTT、HSTL の Class I、SSTL-3 の Class I および II、SSTL-2 の Class I と II をサポートしています。



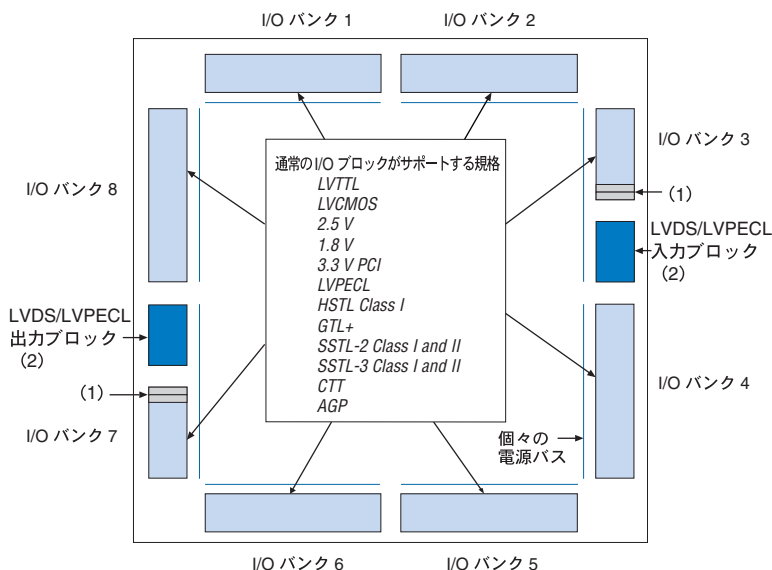
APEX 20KE デバイスがサポートしている標準 I/O 規格の詳細については、アプリケーション・ノート、AN 117「*Using Selectable I/O Standards in Altera Devices*」を参照してください。

APEX 20KE デバイスには 8 個の I/O バンクが内蔵されています。QFP パッケージでは、バンクをリンクした 4 個の I/O バンクが形成されています。I/O バンクは LVDS と LVPECL を除くすべての標準 I/O 規格を直接サポートします。すべての I/O バンクは外部抵抗を追加することで LVDS と LVPECL をサポートできます。さらに、バンク内の 1 つのブロックに高速な True-LVDS 入力と LVPECL 入力をサポートする回路があり、特定のバンク内の別のブロックは、高速な True-LVDS 出力と LVPECL 出力をサポートします。LVDS ブロックはすべての標準 I/O 規格をサポートします。各 I/O バンクには専用の VCCIO ピンがあります。各バンクごとに異なる標準規格を個別にサポートすることができるため、1 つのデバイスで 1.8 V、2.5 V、および 3.3 V のインタフェースをサポートすることができます。各バンクには、別個の V_{REF} レベルを使用できるため、バンクごとに任意のターミネーション付き標準規格 (SSTL-3 など) をサポートすることができます。1 つのバンク内では、終端された標準のうちどれでも 1 つをサポートすることができます。EP20K300E およびこれよりも高集積の APEX 20KE デバイスは、LVDS インタフェースのデータ・ピンをサポートしています (EP20K300E より集積度の低いデバイスでは、LVDS のクロック・ピンがサポートされませんが、データ・ピンはサポートされません)。EP20K300E およびこれよりも高集積のデバイスはすべて、チャンネルあたり最大 155 MB のデータ・ピンを実現する LVDS インタフェースをサポートします。オーダー・コードの末尾に “X” のサフィックスが付く EP20K400E およびこれよりも高集積のデバイスには、高速サポートのためのシリアライザ/デシリアライザ回路と PLL が追加されています。

各バンクは、出力ピンの VCCIO が同じである複数の規格をサポートすることができます。各バンクはリファレンス電圧を使用する 1 つの標準 I/O 規格をサポートしますが、VCCIO 電圧レベルが同じであれば複数の標準 I/O 規格をサポートできます。例えば、VCCIO が 3.3 V である場合、1 つのバンクで LVTTTL、LVCMOS、3.3 V の PCI、および SSTL-3 の入力と出力をサポートできます。

LVDS 対応バンクが LVDS I/O バンクとして使用されない場合、LVDS 対応バンクが他のすべての標準 I/O 規格をサポートします。図 29 は APEX 20KE の I/O バンクの配置を示しています。

図 29. APEX 20KE の I/O バンク



注:

- (1) LVDS ブロックに隣接する最初の 2 つの I/O ピンは、 V_{CCIO} プレーンの適切なノイズ・レベルを維持するための入力としてのみ使用できます。
- (2) LVDS の入力ブロックと出力ブロックが LVDS に使用されない場合、これらのブロックは他のすべての標準 I/O 規格をサポートし、 V_{CCIO} を 3.3 V、2.5 V、または 1.8 V に設定した入力ピン、出力ピン、または双方向ピンとして使用できます。

電源のシーケンスと活線挿抜

APEX 20K デバイスは複数の電源電圧がある環境で使用されることがあるため、可能性のある電源の投入シーケンスに対応できるように設計されています。したがって、 V_{CCIO} と V_{CCINT} の電源は任意の順番で投入することができます。

電源投入前および投入時に、デバイスにダメージを与えることなく、信号を APEX 20K デバイスに入力することができます。また、APEX 20K デバイスは、電源の投入時に出力をドライブしません。デバイスが規定された動作条件に達し、コンフィギュレーションが完了すると、APEX 20K デバイスはユーザが規定した動作を行います。

MultiVolt I/O インタフェース

APEX デバイスのアーキテクチャは MultiVolt I/O インタフェース機能をサポートしており、すべてのパッケージの APEX デバイスは異なる電源電圧を使用しているシステムとインタフェースすることができます。これらのデバイスは内部のロジック動作と入力バッファ用の VCC ピン (V_{CCINT}) と、I/O ピンの出力ドライバ用の VCC ピン (V_{CCIO}) の 2 種類の電源ピンを持っています。

APEX 20KのVCCINTピンは、常に2.5 Vの電源に接続されている必要があります。2.5 VのV_{CCINT}レベルでは、入力ピンは2.5 Vおよび3.3 Vを許容します。オーダー・コードでスピード・グレードの後に“V”のサフィックスが付くデバイス（EP20K400BC652-1Vなど）は5.0 Vを許容します。VCCIOピンは要求される出力のレベルに応じて、2.5 Vまたは3.3 Vの電源に接続することができます。VCCIOピンを2.5 Vの電源に接続した場合、出力レベルは2.5 Vのシステムと互換性を持つようになります。VCCIOピンを3.3 Vの電源に接続した場合、出力のHighレベルが3.3 Vとなり、3.3 Vまたは5.0 Vのシステムと互換性を持つようになります。

表12は5.0 Vを許容するAPEX 20KデバイスのMultiVolt I/Oサポートをまとめたものです。

V _{CCIO} (V)	入力信号 (V)			出力信号 (V)		
	2.5	3.3	5.0	2.5	3.3	5.0
2.5	✓	✓(1)	✓(1) (2)	✓		
3.3	✓	✓	✓(1) (2)	✓(3)	✓	✓

注:

- (1) V_{CCIO} よりも高い電圧を持つ入力をドライブするには、PCI クランプ・ダイオードをディセーブルする必要があります。
- (2) “V”のサフィックスが付いたAPEX 20Kデバイスは5.0 Vを許容します。
- (3) V_{CCIO} = 3.3 Vである場合、APEX 20Kデバイスは3.3 Vを許容する入力を持つ2.5 Vデバイスをドライブできます。

5.0 Vの電源に対するプルアップ抵抗が接続された、5.0 Vを許容するAPEX 20Kデバイスのオープン・ドレイン出力ピンは、3.5 VのV_{IH}を必要とする5.0 VのCMOS入力ピンをドライブすることができます。また、ピンがインアクティブの場合は、この配線パターンは抵抗を介して5.0 Vにプルアップされます。オープン・ドレインのピンはトライ・ステートまたはLowレベルのいずれかをドライブし、Highレベルをドライブすることはありません。この立ち上がり時間はプルアップ抵抗と負荷インピーダンスの値に依存します。プルアップ抵抗を設定する場合は、I_{OL}の規格を考慮する必要があります。

APEX 20KEデバイスもMultiVolt I/O インタフェース機能をサポートしています。APEX 20KE VCCINTピンは、常に1.8 Vの電源に接続されている必要があります。1.8 VのV_{CCINT}レベルでは、入力ピンは1.8 V、2.5 V、および3.3 Vを許容します。VCCIOピンは標準I/O規格に要求されるレベルに応じて、1.8 V、2.5 V、または3.3 Vの電源に接続することができます。VCCIOピンを1.8 Vの電源に接続した場合、出力レベルは1.8 Vのシステムと互換性を持つようになります。VCCIOピンを2.5 Vの電源に接続した場合、出力レベルは2.5 Vのシステムと互換性を持つようになります。VCCIOピンを3.3 Vの電源に接続した場合、出力のHighレベルが3.3 Vとなり、3.3 Vまたは5.0 Vのシステムと互換性を持つようになります。APEX 20KEデバイスは抵抗を追加することで5.0 Vを許容します。

表 13 は APEX 20KE の MultiVolt I/O サポートをまとめたものです。

V _{CCIO} (V)	入力信号 (V)				出力信号 (V)			
	1.8	2.5	3.3	5.0	1.8	2.5	3.3	5.0
1.8	✓	✓ (1)	✓ (1)		✓			
2.5		✓	✓ (1)			✓		
3.3		✓	✓	✓ (2)		✓ (2)	✓	✓

注:

- (1) 5.0 V 入力の場合を除いて、V_{CCIO} よりも高い電圧を持つ入力をドライブするには、PCI クランプ・ダイオードをディセーブルする必要があります。
- (2) APEX 20KE デバイスは外部抵抗を追加することで 5.0 V を許容できるようになります。
- (3) V_{CCIO} が 3.3 V である場合、APEX 20KE デバイスは 3.3 V を許容する入力を持つ 2.5 V デバイスをドライブできます。

ClockLock と ClockBoost の機能

APEX 20K デバイスは、PLL を使用して実現されている ClockLock と ClockBoost の機能をサポートしています。ClockLock は、クロック信号を PLL 回路に同期させ、デバイス内に分配されるクロックの遅延とスキューを低減します。この低減により、0 ns のホールド・タイムを維持しながら、セットアップ・タイムと「Clock-to-Output」遅延を最小に抑えることができます。ClockBoost はクロック周波数の通倍機能を実現するもので、この機能を使用してデバイス内のリソースの共有化を実現し、エリア効率を改善することができます。また、ClockBoost 回路を利用することによって、ボード上に低速のクロックを分配し、デバイス内部でこれを通倍して使用することができます。APEX 20K デバイスには、ASIC とは異なる高速のクロック・ツリーが内蔵されており、ユーザがクロック・ツリーを設計したり、最適化する必要はありません。APEX 20K デバイスの高速クロックを実現する ClockLock と ClockBoost の機能は、システム性能と帯域幅の大幅な改善を実現します。オーダー・コードで “X” のサフィックスが付くデバイスには ClockLock 回路が内蔵されています。

APEX 20K デバイスの ClockLock と ClockBoost の機能は、Quartus II ソフトウェアによって設定されます。これらの機能の使用に外部デバイスは必要ありません。

通倍されたクロックと通倍されないクロックの双方が必要となるデザインにおいても、ボード上のクロックの配線パターンを CLK2p のピンに接続することができます。表 14 は ClockLock と ClockBoost 回路でサポートされるクロック周波数の通倍比の組み合わせを示したものです。CLK2p ピンからの入力は APEX 20K デバイスの ClockLock と ClockBoost の双方と接続できます。ただし、双方の回路が使用された場合は、もう一方のクロック・ピン (CLK1p) を使用することはできません。

表 14. 通倍比の組み合わせ

Clock 1	Clock 2
× 1	× 1
× 1、× 2	× 2
× 1、× 2、× 4	× 4

APEX 20KE の ClockLock 機能

APEX 20KE デバイスには、さらに強力な ClockLock 機能が内蔵されています。これらのデバイスには最大 4 個までの PLL 回路が提供されており、それぞれの PLL 回路を独立に使用することができます。このうち 2 個は、汎用 PLL 回路または LVDS インタフェースのいずれかに使用できる（LVDS の I/O ピンをサポートしているデバイスの場合）ように設計されています。残りの 2 個は、汎用の PLL 回路として設計されています。EP20K200E およびこれより集積度の低いデバイスには 2 個の PLL 回路が内蔵されており、EP20K300E およびこれより集積度の高いデバイスには 4 個の PLL 回路が内蔵されています。

以下のセクションでは、APEX 20KE デバイスの PLL 回路によって提供される機能を解説します。

PLL の外部フィードバック

ClockLock 回路の出力信号をチップの外部に出力し、システム内にある他のデバイスのクロック・ピンをドライブすることができます。さらに、PLL のフィードバック・ループをデバイスの外部に接続することもできます。この機能を使用することによって、APEX 20KE デバイスと SDRAM のような他の高速デバイス間の I/O インタフェースを精密にコントロールすることが可能になります。

クロックの通倍機能

APEX 20KE デバイスの ClockBoost 回路は、クロック周波数の通倍と分周をプログラマブルな数値で行うことができます。この場合、出力の周波数は、入力クロック周波数に $m/(n \times k)$ を乗算した値となります。ここで、 m および k は 2 から 160 までの値であり、 n は 1 から 16 までの値です。クロック周波数の通倍および分周機能を使用することによって、時分割動作 (Time-domain Multiplexing) のファンクションなどを実現し、デザインに使用される LE の数を減少させることができます。

クロックの位相と遅延の調整

APEX 20KE デバイスに提供されている ClockShift 機能を使用することによって、クロックの位相と遅延の調整が可能になります。クロックの位相は 90 度単位で調整可能です。1 クロック周期までのクロック遅延を任意の範囲で増加または減少させることができます。

LVDSのサポート

2個のPLLは、LVDSインタフェースをサポートするために設計されています。LVDSが使用される場合は、I/Oクロックがデータ転送レートよりも低速のレートで動作します。このため、PLLを使用してI/Oクロックの周波数を内部で逡倍し、LVDSのデータ・レートに対応させることになります。例えば、840メガビット/秒 (Mbps) のデータ・レートとなっているLVDSをサポートするときは、I/Oクロックを105 MHzで動作させることができます。この場合、PLLはこの高速データ・レートをサポートするために入力クロックを8逡倍します。EP20K400Eおよびそれより高集積のデバイスでは、PLLを使用して高速なLVDSインタフェースをサポートできます。

Lock信号

APEX 20KEのClockLock回路では、それぞれ独立したLOCK信号がサポートされています。ClockLock回路が入力クロックにロックしているとき、LOCK信号はHighレベルをドライブします。LOCK信号は各ClockLock回路ごとにオプションとして使用することができ、これらが使用されていない場合は、I/Oピンとなります。

ClockLockとClockBoostのタイミング・パラメータ

ClockLockおよびClockBoostの回路を適切に動作させるためには、入力されるクロックが一定の要求を満たしている必要があります。入力クロックが要求される規格に適合していない場合には、これらの回路が入力クロックにロックせず、デバイス内で不適切なクロックが生成される可能性があります。ClockLockとClockBoostの回路によって生成されるクロックも一定の規格を満たさなければなりません。入力クロックがコンフィギュレーション時に要求される規格に適合していれば、APEX 20KのClockLockとClockBoostの回路はコンフィギュレーション時に入力クロックとロックします。そして、コンフィギュレーション完了後すぐに、これらの回路が使用可能となります。APEX 20KEデバイスではクロック入力規格はプログラマブルであるため、デバイスがコンフィギュレーションされるまでPLLはクロックに応答できません。PLLはコンフィギュレーション完了後すぐに入力クロックにロックします。図30は入力クロックと生成クロックの規格に適用されるタイミング・パラメータを示したものです。



ClockLockとClockBoostの回路の詳細については、アプリケーション・ノート、AN 115「*Using the ClockLock and ClockBoost PLL Features in APEX Devices*」(日本語版有り)を参照してください。

図 30. 入力クロックと生成クロックに適用されるタイミング・パラメータ

t_I パラメータは通常の入力クロック周期、 t_O パラメータは通常の出カクック周期として参照されます。

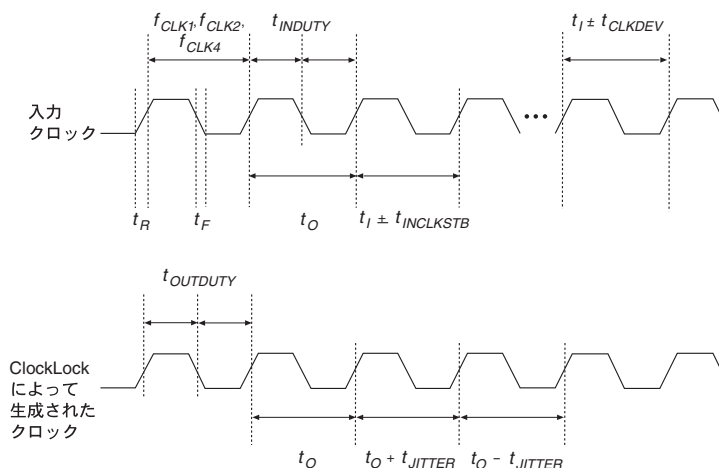


表 15 は -1 スピード・グレードの APEX 20K デバイスに対する ClockLock と ClockBoost 回路のタイミング・パラメータをまとめたものです。

表 15. -1 スピード・グレードの APEX 20K デバイスに対する ClockLock と ClockBoost 回路のタイミング・パラメータ (1 / 2)

シンボル	パラメータ	最小	最大	単位
f_{OUT}	出力周波数	25	180	MHz
f_{CLK1} (1)	入力クロック周波数 (ClockBoost の通 倍比が 1 のとき)	25	180 (1)	MHz
f_{CLK2}	入力クロック周波数 (ClockBoost の通 倍比が 2 のとき)	16	90	MHz
f_{CLK4}	入力クロック周波数 (ClockBoost の通 倍比が 4 のとき)	10	48	MHz
$t_{OUTDUTY}$	ClockLock/ClockBoost による生成ク ロックのデューティ・サイクル	40	60	%
f_{CLKDEV}	Quartus II ソフトウェアで規定された入 カクック周波数からの許容誤差 (ClockBoost の通倍比が 1 のとき) (2)		25,000 (3)	PPM
t_R	入力クロック立ち上がり時間		5	ns
t_F	入力クロック立ち下がり時間		5	ns
t_{LOCK}	ClockLock/ClockBoost がロックするま でに必要な時間 (4)		10	μ s

表 15. – 1 スピード・グレードの APEX 20K デバイスに対する ClockLock と ClockBoost 回路のタイミング・パラメータ (2 / 2)

シンボル	パラメータ	最小	最大	単位
t_{SKEW}	関連する ClockLock/ClockBoost による生成クロック間のスキュー遅延		500	ps
t_{JITTER}	ClockLock/ClockBoost による生成クロックのジッタ (5)		200	ps
$t_{INCLKSTB}$	入力クロックの安定度 (隣接したクロック間で測定)		50	ps

注:

- (1) 通信比が1のとき、EP20K100-1XのPLL入力周波数の範囲は25 MHzから175 MHzまでです。
- (2) 入力クロックのすべての規格に適合している必要があります。クロックの規格に適合していない場合には、PLLが入力クロックにロックせず、デバイス内で不適切なクロックが生成される場合があります。
- (3) デバイスのコンフィギュレーション時にはClockLockとClockBoostの回路が最初にコンフィギュレーションされます。コンフィギュレーション時に入力クロックが供給された場合は、ロックの時間がデバイス全体のコンフィギュレーションに要する時間よりも短いため、コンフィギュレーションの実行中にClockLockとClockBoostの回路が入力クロックにロックします。
- (4) t_{JITTER} の規格は、長時間にわたる観測で測定されています。
- (5) 入力クロックの安定度が100 psの場合、 t_{JITTER} は250 psです。

表 16 は -2 スピード・グレードの APEX 20K デバイスに対する ClockLock と ClockBoost 回路のタイミング・パラメータをまとめたものです。

シンボル	パラメータ	最小	最大	単位
f_{OUT}	出力周波数	25	170	MHz
f_{CLK1}	入力クロック周波数 (ClockBoost の通 倍比が1のとき)	25	170	MHz
f_{CLK2}	入力クロック周波数 (ClockBoost の通 倍比が2のとき)	16	80	MHz
f_{CLK4}	入力クロック周波数 (ClockBoost の通 倍比が4のとき)	10	34	MHz
$t_{OUTDUTY}$	ClockLock/ClockBoost による生成ク ロックのデューティ・サイクル	40	60	%
f_{CLKDEV}	Quartus II ソフトウェアで規定された入 カクック周波数からの許容誤差 (ClockBoost の通倍比が1のとき) (1)		25,000 (2)	PPM
t_R	入力クロック立ち上がり時間		5	ns
t_F	入力クロック立ち下がり時間		5	ns
t_{LOCK}	ClockLock/ClockBoost がロックするま でに必要な時間 (3)		10	μ s
t_{SKEW}	関連する ClockLock/ClockBoost による 生成クロック間のスキュー遅延	500	500	ps
t_{JITTER}	ClockLock/ClockBoost による生成ク ロックのジッタ (4)		200	ps
$t_{INCLKSTB}$	入力クロックの安定度 (隣接したクロッ ク間で測定)		50	ps

注:

- (1) Quartus II のソフトウェアを使用して ClockLock と ClockBoost の回路を実現する場合は、入力周波数を指定する必要があります。Quartus II のソフトウェアは ClockLock と ClockBoost の PLL 回路をこの周波数にチューニングします。 f_{CLKDEV} のパラメータは、デバイスの動作中における入力クロック周波数の規定された値からの変動範囲を規定しています。シミュレーションにおいて、このパラメータが反映されることはありません。
- (2) 25,000 PPM (parts per million) は入力クロック周期の 2.5% に相当します。
- (3) デバイスのコンフィギュレーションの期間において、ClockLock と ClockBoost の回路はデバイス内の他の部分よりも先にコンフィギュレーションされます。コンフィギュレーション期間に入力クロックが供給された場合は、 t_{LOCK} の値がデバイス全体のコンフィギュレーションに要する時間よりも短いため、コンフィギュレーションの期間中に ClockLock と ClockBoost の回路が入力クロックにロックします。
- (4) t_{JITTER} の規格は、長時間にわたる観測で測定されています。

表17および18は、APEX 20KEデバイスに対するClockLockとClockBoost回路のタイミング・パラメータをまとめたものです。

シンボル	パラメータ	条件	最小	標準	最大	単位
t_R	入力クロック立ち上がり時間				5	ns
t_F	入力クロック立ち下がり時間				5	ns
t_{INDUTY}	入力クロックのデューティ・サイクル		40		60	%
$t_{INJITTER}$	ピークからピークへの入力ジッタ				入力周期の 2%	ピークから ピークへ
$t_{OUTJITTER}$	ClockLockまたはClockBoostによる生成クロックのジッタ				出力周期の 0.35%	RMS
$t_{OUTDUTY}$	ClockLockまたはClockBoostによる生成クロックのデューティ・サイクル		45		55	%
$t_{LOCK}^{(2)}$ $^{(3)}$	ClockLockまたはClockBoostがロックするまでに必要な時間				40	μ s

シンボル	パラメータ	標準 I/O 規格	- 1Xスピード・ グレード		- 2Xスピード・ グレード		単位
			最小	最大	最小	最大	
$f_{VCO(4)}$	電圧がコントロールされた発振器の動作範囲		200	500	200	500	MHz
f_{CLOCK0}	内部で使用する Clock0 PLL 出力周波数		1.5	335	1.5	200	MHz
f_{CLOCK1}	内部で使用する Clock1 PLL 出力周波数		20	335	20	200	MHz
f_{CLOCK0_EXT}	外部の clock0 出力に使用する出力クロック周波数	3.3 V の LVTTTL	1.5	245	1.5	226	MHz
		2.5 V の LVTTTL	1.5	234	1.5	221	MHz
		1.8 V の LVTTTL	1.5	223	1.5	216	MHz
		GTL+	1.5	205	1.5	193	MHz
		SSTL-2 Class I	1.5	158	1.5	157	MHz
		SSTL-2 Class II	1.5	142	1.5	142	MHz
		SSTL-3 Class I	1.5	166	1.5	162	MHz
		SSTL-3 Class II	1.5	149	1.5	146	MHz
		LVDS	1.5	420	1.5	350	MHz
f_{CLOCK1_EXT}	外部の clock1 出力に使用する出力クロック周波数	3.3 V の LVTTTL	20	245	20	226	MHz
		2.5 V の LVTTTL	20	234	20	221	MHz
		1.8 V の LVTTTL	20	223	20	216	MHz
		GTL+	20	205	20	193	MHz
		SSTL-2 Class I	20	158	20	157	MHz
		SSTL-2 Class II	20	142	20	142	MHz
		SSTL-3 Class I	20	166	20	162	MHz
		SSTL-3 Class II	20	149	20	146	MHz
		LVDS	20	420	20	350	MHz
f_{IN}	入力クロック周波数	3.3 V の LVTTTL	1.5	290	1.5	257	MHz
		2.5 V の LVTTTL	1.5	281	1.5	250	MHz
		1.8 V の LVTTTL	1.5	272	1.5	243	MHz
		GTL+	1.5	303	1.5	261	MHz
		SSTL-2 Class I	1.5	291	1.5	253	MHz
		SSTL-2 Class II	1.5	291	1.5	253	MHz
		SSTL-3 Class I	1.5	300	1.5	260	MHz
		SSTL-3 Class II	1.5	300	1.5	260	MHz
		LVDS	1.5	420	1.5	350	MHz

注:

- (1) 入力クロックのすべての規格に適合している必要があります。クロックの規格に適合していない場合には、PLL が入力クロックにロックせず、デバイス内で不適切なクロックが生成される場合があります。
- (2) 最大ロック時間は、40 μ s または 2000 入力クロック・サイクルのいずれか早い方になります。
- (3) コンフィギュレーション前の PLL 回路はディセーブルされたパワー・ダウンの状態です。コンフィギュレーション中も PLL はまだディセーブルされた状態です。PLL はデバイスがユーザ・モードになるとロックを開始します。クロック・イネーブル機能を使用している場合は、CLKLK_ENA ビンがユーザ・モードで High になるとロックが開始します。
- (4) PLL の VCO 動作範囲は、LVDS モードで $200 \text{ MHz} \leq f_{VCO} \leq 840 \text{ MHz}$ です。

SignalTap エンベデッド・ ロジック・ アナライザ

APEX 20K デバイスには、SignalTap と呼ばれるエンベデッド・ロジック・アナライザをサポートする機能が内蔵されています。この機能を内蔵させることによって、IEEE Std. 1149.1 (JTAG) 回路を通じてデバイス内部の任意のレジスタをモニタすることが可能になっています。このため、内部信号を I/O ピンに出力させることなく、内部のロジックの状態を実際のスピードで解析することができます。この機能は FineLine BGA パッケージのような最先端パッケージを使用するデザインで特に重要となります。これは、ボードのデザインと組立て後のデバッグ工程でモニタするピンに対する接続を追加することが困難になるためです。

IEEE Std. 1149.1 (JTAG) バウンダリ・ スキャンの サポート

APEX 20K ファミリのすべてのデバイスは、IEEE Std. 1149.1-1990 の標準規格に準拠した JTAG BST をサポートしています。EP20K1500E は JTAG BYPASS インストラクションのみをサポートします。JTAG バウンダリ・スキャン・テストはコンフィギュレーションの前か後で実行できますが、コンフィギュレーションの期間中には実行できません。APEX 20K デバイスの JTAG ポートは、Quartus II ソフトウェア、または Jam ファイル (.jam) や Jam バイト・コード・ファイル (.jbc) を採用したハードウェアによるコンフィギュレーションを実行するときにも使用されます。さらに、APEX 20K デバイス (EP20K1500E 以外) の JTAG ポートは、SignalTap エンベデッド・ロジック・アナライザでデバイスのロジック動作をモニタするときにも使用されます。APEX 20K デバイスは表 19 に示されている JTAG インストラクションをサポートしています。

JTAG インストラクション	内容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。これは、SignalTap エンベデッド・ロジック・アナライザによっても使用される。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS (1)	TDI ピンと TDO ピンの間に 1 ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながら BST データが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができる。
USERCODE	32 ビットの USERCODE レジスタを選択し、このレジスタを TDI ピンと TDO ピンの間に配置することによって、USERCODE が TDO にシリアルにシフト・アウトされるようにすることができる。
IDCODE	IDCODE レジスタを選択し、これを TDI ピンと TDO ピンの間に配置することによって、IDCODE が TDO にシリアルにシフト・アウトされるようにすることができる。
ICR 関連インストラクション	JTAG ポートを使用して、MasterBlaster™ または ByteBlasterMV™ ダウンロード・ケーブル、あるいは Jam File または Jam Byte-Code File を採用したエンベデッド・プロセッサから、APEX 20K デバイスをコンフィギュレーションするときに使用される。
SignalTap 関連インストラクション	SignalTap エンベデッド・ロジック・アナライザでデバイス内部の動作をモニタするとき使用される。

注:

(1) EP20K1500E は BYPASS モードの JTAG 動作のみをサポートしています。

APEX 20K デバイスのインストラクション・レジスタの長さは、10 ビットです。また、APEX 20K デバイスの USERCODE レジスタの長さは32 ビットです。表20と21は、各 APEX 20K デバイスのバウンダリ・スキャン・レジスタの長さとして IDCODE を示したものです。

表 20. APEX 20K デバイスのバウンダリ・スキャン・レジスタの長さ

デバイス名	バウンダリ・スキャン・レジスタの長さ
EP20K30E	420
EP20K60E	624
EP20K100	786
EP20K100E	774
EP20K160E	984
EP20K200	1,176
EP20K200E	1,164
EP20K300E	1,266
EP20K400	1,536
EP20K400E	1,506
EP20K600E	1,806
EP20K1000E	2,190
EP20K1500E	1 (1)

注:

- (1) このデバイスは JTAG バウンダリ・スキャン・テストをサポートしていません。

表 21. APEX 20K デバイスの 32 ビット IDCODE				
デバイス名	IDCODE (32 ビット) (1)			
	バージョン (4 ビット)	パート番号 (16 ビット)	メーカーの ID (11 ビット)	1 (1 ビット) (2)
EP20K30E	0000	1000 0000 0011 0000	000 0110 1110	1
EP20K60E	0000	1000 0000 0110 0000	000 0110 1110	1
EP20K100	0000	0000 0100 0001 0110	000 0110 1110	1
EP20K100E	0000	1000 0001 0000 0000	000 0110 1110	1
EP20K160E	0000	1000 0001 0110 0000	000 0110 1110	1
EP20K200	0000	0000 1000 0011 0010	000 0110 1110	1
EP20K200E	0000	1000 0010 0000 0000	000 0110 1110	1
EP20K300E	0000	1000 0011 0000 0000	000 0110 1110	1
EP20K400	0000	0001 0110 0110 0100	000 0110 1110	1
EP20K400E	0000	1000 0100 0000 0000	000 0110 1110	1
EP20K600E	0000	1000 0110 0000 0000	000 0110 1110	1
EP20K1000E	0000	1001 0000 0000 0000	000 0110 1110	1

注:

- (1) 左側が最上位ビット (MSB) です。
- (2) IDCODE の最下位ビット (LSB) は常に 1 です。

図 31 は JTAG 信号に対するタイミングの規格を示したものです。

図 31. APEX 20K の JTAG 信号波形

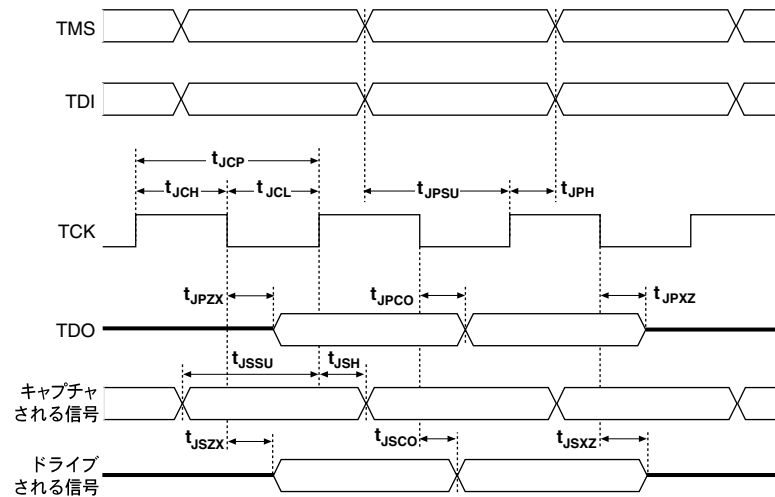


表22はAPEX 20KデバイスのJTAG信号のタイミング・パラメータとその値を示しています。

シンボル	パラメータ	最小	最大	単位
t _{JCP}	TCKクロックの期間	100		ns
t _{JCH}	TCKクロックのHigh時間	50		ns
t _{JCL}	TCKクロックのLow時間	50		ns
t _{JPSU}	JTAGポートのセットアップ・タイム	20		ns
t _{JPH}	JTAGポートのホールド・タイム	45		ns
t _{JPCO}	JTAGポートの「Clock-to-Output」遅延		25	ns
t _{JPZX}	JTAGポートのハイ・インピーダンスから有効出力まで		25	ns
t _{JPXZ}	JTAGポートの有効出力からハイ・インピーダンスまで		25	ns
t _{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t _{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t _{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		35	ns
t _{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		35	ns
t _{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		35	ns

詳細については、下記の資料をご覧ください。

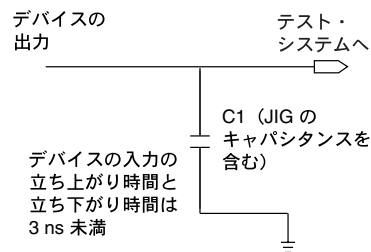
- アプリケーション・ノート、AN 39 「IEEE Std.1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」
- Jam Programming & Test Language Specification

デバイスのテスト

APEX 20Kファミリの各デバイスには機能テストが実施されており、その動作が保証されています。コンフィギュレーションされる各SRAM (Static Random Access Memory) ビットとすべての論理機能は完全にテストされ、100%のコンフィギュレーションが保証されています。APEX 20KデバイスのACテストは、図32に等価な条件で行われています。デバイスのコンフィギュレーションとテストには、生産フローの中のあらゆる工程で複数のテスト・パターンが使用されています。

図 32. APEX 20K の AC テスト条件

電源トランジェントが AC 特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けてください。スレッショルドのテストは AC の測定条件では行わないでください。デバイスの出力が負荷のキャパシタンスをディスチャージするとき、大振幅で高速なグラウンド電流のトランジェントが発生します。これらのトランジェントがデバイスのグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。



動作条件

表 23 から 26 は、2.5 V 動作の APEX 20K デバイスの絶対最大定格、推奨動作条件、DC 特性、およびキャパシタンスを示したものです。

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	供給電圧	GND に対して (2)	-0.5	3.6	V
V_{CCIO}			-0.5	4.6	V
V_I	DC 入力電圧		-0.5	4.6	V
I_{OUT}	ピンあたりの DC 出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	PQFP、RQFP、TQFP、BGA パッケージのバイアス時		135	°C
		セラミック PGA パッケージのバイアス時		150	°C

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用電源電圧	(3) (4)	2.375 (2.375)	2.625 (2.625)	V
V_{CCIO}	3.3 V 動作の出力バッファ用電源電圧	(3) (4)	3.00 (3.00)	3.60 (3.60)	V
	2.5 V 動作の出力バッファ用電源電圧	(3) (4)	2.375 (2.375)	2.625 (2.625)	V
V_I	入力電圧	(2) (5)	-0.5	4.1	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	接合温度	一般用	0	85	°C
		工業用	-40	100	°C
t_R	入カクロック立ち上がり時間 (10%~90%)			40	ns
t_F	入カクロック立ち下がり時間 (90%~10%)			40	ns

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	LVTTL、CMOS、3.3 V PCI の入力 High レベル電圧		1.7, $0.5 \times V_{CCIO}$ (8)		4.1	V
V_{IL}	LVTTL、CMOS、3.3 V PCI の入力 Low レベル電圧		-0.5		$0.8, 0.3 \times V_{CCIO}$ (8)	V
V_{OH}	3.3 V LVTTL 出力 High レベル電圧	$I_{OH} = -12$ mA DC, $V_{CCIO} = 3.00$ V (9)	2.4			V
	3.3 V LVCMOS 出力 High レベル電圧	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 3.00$ V (9)	$V_{CCIO} - 0.2$			V
	3.3 V PCI 出力 High レベル電圧	$I_{OH} = -0.5$ mA DC, $V_{CCIO} = 3.00 \sim 3.60$ V (9)	$0.9 \times V_{CCIO}$			V
	2.5 V 出力 High レベル電圧	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 2.30$ V (9)	2.1			V
		$I_{OH} = -1$ mA DC, $V_{CCIO} = 2.30$ V (9)	2.0			V
		$I_{OH} = -2$ mA DC, $V_{CCIO} = 2.30$ V (9)	1.7			V

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{OL}	3.3 V LVTTTL 出力 Low レベル電圧	I _{OL} = 12 mA DC, V _{CCIO} = 3.00 V (10)			0.4	V
	3.3 V LVCMOS 出力 Low レベル電圧	I _{OL} = 0.1 mA DC, V _{CCIO} = 3.00 V (10)			0.2	V
	3.3 V PCI 出力 Low レベル電圧	I _{OL} = 1.5 mA DC, V _{CCIO} = 3.00 ~ 3.60 V (10)			0.1 × V _{CCIO}	V
	2.5 V 出力 Low レベル電圧	I _{OL} = 0.1 mA DC, V _{CCIO} = 2.30 V (10)			0.2	V
		I _{OL} = 1 mA DC, V _{CCIO} = 2.30 V (10)			0.4	V
		I _{OL} = 2 mA DC, V _{CCIO} = 2.30 V (10)			0.7	V
I _I	入力ピンのリーク電流	V _I = 4.1 ~ -0.5 V (11)	-10		10	μA
I _{OZ}	トライ・ステート I/O ピンのリーク電流	V _O = 4.1 ~ -0.5 V (11)	-10		10	μA
I _{CC0}	V _{CC} 供給電流(スタンバイ時) (すべての ESB がパワー・ダウン・モードのとき)	V _I = ground、無負荷、入力ピンのトグルなしの条件。 -1 スピード・グレードのデバイス		10		mA
		V _I = ground、無負荷、入力ピンのトグルなしの条件。 -2 および -3 スピード・グレードのデバイス		5		mA
R _{CONF}	コンフィギュレーションの実行前および実行時の I/O ピンのプルアップ抵抗値	V _{CCIO} = 3.0 V (12)	20		50	kΩ
		V _{CCIO} = 2.375 V (12)	30		80	kΩ

シンボル	パラメータ	条件	最小	最大	単位
C _{IN}	入力キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		8	pF
C _{INCLK}	クロック専用ピンの入力キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		12	pF
C _{OUT}	出力キャパシタンス	V _{OUT} = 0 V, f = 1.0 MHz		8	pF

注:

- (1) 「*Operating Requirements for Altera Devices*」のデータシートを参照してください。
- (2) 最低DC入力電圧は -0.5 V です。入力電流が 100 mA 未満で、 20 ns 未満の幅の条件であれば、過渡状態の期間に -2.0 V までアンダシュート、または 4.6 V までオーバシュートしてもかまいません。
- (3) ()内の数値は工業用温度範囲のデバイスのものです。
- (4) V_{CC} の最大立ち上がり時間は 100 ms です。また、 V_{CC} の上昇率は一定になっている必要があります。
- (5) 入力専用、クロック、I/O、JTAGピンを含むすべてのピンは V_{CCINT} と V_{CCIO} に電源が供給される前にドライブされる可能性があります。
- (6) 標準値は $T_A = 25^\circ\text{ C}$ 、 $V_{CCINT} = 2.5\text{ V}$ 、 $V_{CCIO} = 2.5\text{ V}$ または 3.3 V の条件のときのものです。
- (7) これらの値は、61ページの表24で示されている「APEX 20Kデバイスの推奨動作条件」を基準に規定されています。
- (8) APEX 20Kデバイスの入力バッファは、 2.5 V および 3.3 V (LVTTTLおよびLVCMOS)の信号と互換性があります。また、 V_{CCIO} と V_{CCINT} が68ページの図33に示されている関係になっていれば、入力バッファが 3.3 V のPCI仕様に準拠するようになります。
- (9) I_{OH} のパラメータはHighレベルTTL、PCI、またはCMOS出力電流として参照されます。
- (10) I_{OL} のパラメータはLowレベルTTL、PCI、またはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (11) この値は通常のデバイス動作に指定されたものです。パワー・アップの過程では値が変わる場合があります。
- (12) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗が低下します。
- (13) キャパシタンスはサンプル・テストのみです。

表27から30は、 5.0 V を許容するAPEX 20Kデバイスの絶対最大定格、推奨動作条件、DC特性、およびキャパシタンスを示したものです。これらのデバイスは、オーダー・コードのスピード・グレードの後に“V”というサフィックスが付いています (例えば、EP20K400BC652-1V)。

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	供給電圧	GNDに対して(2)	-0.5	3.6	V
V_{CCIO}			-0.5	4.6	V
V_I	DC入力電圧		-2.0	5.75	V
I_{OUT}	ピンあたりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	$^\circ\text{C}$
T_{AMB}	周囲温度	バイアス時	-65	135	$^\circ\text{C}$
T_J	接合温度	PQFP、RQFP、TQFP、BGAパッケージのバイアス時		135	$^\circ\text{C}$
		セラミックPGAパッケージのバイアス時		150	$^\circ\text{C}$

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックおよび入力バッファ用電源電圧	(3) (4)	2.375 (2.375)	2.625 (2.625)	V
V_{CCIO}	3.3 V 動作の出力バッファ用電源電圧	(3) (4)	3.00 (3.00)	3.60 (3.60)	V
	2.5 V 動作の出力バッファ用電源電圧	(3) (4)	2.375 (2.375)	2.625 (2.625)	V
V_I	入力電圧	(2) (5)	-0.5	5.75	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	接合温度	一般用	0	85	°C
		工業用	40	100	°C
t_R	入カクロック立ち上がり時間			40	ns
t_F	入カクロック立ち下がり時間			40	ns

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	入力 High レベル電圧		$1.7, 0.5 \times V_{CCIO}$ (8)		5.75	V
V_{IL}	入力 Low レベル電圧		-0.5		$0.8, 0.3 \times V_{CCIO}$ (8)	V
V_{OH}	3.3 V TTL 出力 High レベル電圧	$I_{OH} = -8 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ (9)	2.4			V
	3.3 V CMOS 出力 High レベル電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ (9)	$V_{CCIO} - 0.2$			V
	3.3 V PCI 出力 High レベル電圧	$I_{OH} = -0.5 \text{ mA DC}$, $V_{CCIO} = 3.00 \sim 3.60 \text{ V}$ (9)	$0.9 \times V_{CCIO}$			V
	2.5 V 出力 High レベル電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ (9)	2.1			V
		$I_{OH} = -1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ (9)	2.0			V
		$I_{OH} = -2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ (9)	1.7			V

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{OL}	3.3 V TTL 出力 Low レベル電圧	I _{OL} = 12 mA DC, V _{CCIO} = 3.00 V (10)			0.45	V
	3.3 V CMOS 出力 Low レベル電圧	I _{OL} = 0.1 mA DC, V _{CCIO} = 3.00 V (10)			0.2	V
	3.3 V PCI 出力 Low レベル電圧	I _{OL} = 1.5 mA DC, V _{CCIO} = 3.00 ~ 3.60 V (10)			0.1 × V _{CCIO}	V
	2.5 V 出力 Low レベル電圧	I _{OL} = 0.1 mA DC, V _{CCIO} = 2.30 V (10)			0.2	V
		I _{OL} = 1 mA DC, V _{CCIO} = 2.30 V (10)			0.4	V
		I _{OL} = 2 mA DC, V _{CCIO} = 2.30 V (10)			0.7	V
I _I	入力ピンのリーク電流	V _I = 5.75 ~ -0.5 V	-10		10	μA
I _{OZ}	トライ・ステート I/O ピンのリーク電流	V _O = 5.75 ~ -0.5 V	-10		10	μA
I _{CC0}	V _{CC} 供給電流(スタンバイ時) (すべての ESB がパワー・ダウン・モードのとき)	V _I = ground、無負荷、入力ピンのトグルなしの条件。 -1 スピード・グレードのデバイス (11)		10		mA
		V _I = ground、無負荷、入力ピンのトグルなしの条件。 -2 および -3 スピード・グレードのデバイス (11)		5		mA
R _{CONF}	コンフィギュレーションの実行前および実行時の I/O ピンのプルアップ抵抗値	V _{CCIO} = 3.0 V (12)	20		50	kΩ
		V _{CCIO} = 2.375 V (12)	30		80	kΩ

シンボル	パラメータ	条件	最小	最大	単位
C _{IN}	入力キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		8	pF
C _{INCLK}	クロック専用ピンの入力キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		12	pF
C _{OUT}	出力キャパシタンス	V _{OUT} = 0 V, f = 1.0 MHz		8	pF

注:

- (1) 「Operating Requirements for Altera Devices」のデータシートを参照してください。
- (2) 最低DC入力電圧は-0.5 Vです。入力電流が100 mA未満で、20 ns未満の幅の条件であれば、過渡状態の期間に-2.0 Vまでアンダシュート、または5.75 Vまでオーバシュートしてもかまいません。
- (3) ()内の数値は工業用温度範囲のデバイスのものです。
- (4) V_{CC} の最大立ち上がり時間は100 msで、 V_{CC} の上昇率は一定になっている必要があります。
- (5) 入力専用、クロック、I/O、JTAGピンを含むすべてのピンは V_{CCINT} と V_{CCIO} に電源が供給される前にドライブされる可能性があります。
- (6) 標準値は $T_A=25^\circ\text{C}$ 、 $V_{CCINT}=2.5\text{ V}$ 、 $V_{CCIO}=2.5\text{ V}$ または 3.3 V の条件のときのものです。
- (7) これらの値は64ページの表28で示されている「APEX 20K 5.0Vを許容するデバイスの推奨動作条件」の中で規定されています。
- (8) APEX 20Kデバイスの入力バッファは、2.5 Vおよび3.3 V (LVTTTLおよびLVCMOS)の信号と互換性があります。また、 V_{CCIO} と V_{CCINT} が68ページの図33に示されている関係になっていれば、入力バッファが3.3 VのPCI仕様に準拠するようになります。
- (9) I_{OH} のパラメータは、HighレベルTTL、PCI、またはCMOS出力電流として参照されます。
- (10) I_{OL} パラメータは、LowレベルTTL、PCI、またはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (11) この値は通常のデバイス動作に指定されたものです。パワー・アップの過程では値が変わる場合があります。
- (12) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗が低下します。
- (13) キャパシタンスはサンプル・テストのみです。

表31から34は、1.8 V動作のAPEX 20KEデバイスの絶対最大定格、推奨動作条件、DC特性、およびキャパシタンスを示したものです。

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	供給電圧	GNDに対して (2)	-0.5	2.5	V
V_{CCIO}			-0.5	4.6	V
V_I			-0.5	4.6	V
I_{OUT}	ピンあたりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	$^\circ\text{C}$
T_{AMB}	周囲温度	バイアス時	-65	135	$^\circ\text{C}$
T_J	接合温度	PQFP、RQFP、TQFP、BGAパッケージのバイアス時		135	$^\circ\text{C}$
		セラミックPGAパッケージのバイアス時		150	$^\circ\text{C}$

表 32. APEX 20KE デバイスの推奨動作条件					
シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックと入力バッファ用電源電圧	(3) (4)	1.71 (1.71)	1.89 (1.89)	V
V_{CCIO}	3.3 V 動作の出力バッファ用電源電圧	(3) (4)	3.00 (3.00)	3.60 (3.60)	V
	2.5 V 動作の出力バッファ用電源電圧	(3) (4)	2.375 (2.375)	2.625 (2.625)	V
V_I	入力電圧	(2) (5)	- 0.5	4.1	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	接合温度	一般用	0	85	°C
		工業用	- 40	100	°C
t_R	入カクロック立ち上がり時間			40	ns
t_F	入カクロック立ち下がり時間			40	ns

表 33. APEX 20KE デバイスの DC 特性 注 (6)、(7)						
シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	LVTTTL、CMOS、3.3 V PCI の入力 High レベル電圧		1.7, $0.5 \times V_{CCIO}$ (8)		4.1	V
V_{IL}	LVTTTL、CMOS、3.3 V PCI の入力 Low レベル電圧		- 0.5		$0.8, 0.3 \times V_{CCIO}$ (8)	V
V_{OH}	3.3 V LVTTTL 出力 High レベル電圧	$I_{OH} = -12$ mA DC, $V_{CCIO} = 3.00$ V (9)	2.4			V
	3.3 V LVCMOS 出力 High レベル電圧	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 3.00$ V (9)	$V_{CCIO} - 0.2$			V
	3.3 V PCI 出力 High レベル電圧	$I_{OH} = -0.5$ mA DC, $V_{CCIO} = 3.00 \sim 3.60$ V (9)	$0.9 \times V_{CCIO}$			V
	2.5 V 出力 High レベル電圧	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 2.30$ V (9)	2.1			V
		$I_{OH} = -1$ mA DC, $V_{CCIO} = 2.30$ V (9)	2.0			V
		$I_{OH} = -2$ mA DC, $V_{CCIO} = 2.30$ V (9)	1.7			V
V_{OL}	3.3 V LVTTTL 出力 Low レベル電圧	$I_{OL} = 12$ mA DC, $V_{CCIO} = 3.00$ V (10)			0.4	V
	3.3 V LVCMOS 出力 Low レベル電圧	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 3.00$ V (10)			0.2	V
	3.3 V PCI 出力 Low レベル電圧	$I_{OL} = 1.5$ mA DC, $V_{CCIO} = 3.00 \sim 3.60$ V (10)			$0.1 \times V_{CCIO}$	V
	2.5 V 出力 Low レベル電圧	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 2.30$ V (10)			0.2	V
		$I_{OL} = 1$ mA DC, $V_{CCIO} = 2.30$ V (10)			0.4	V
		$I_{OL} = 2$ mA DC, $V_{CCIO} = 2.30$ V (10)			0.7	V
I_I	入力ピンのリーク電流	$V_I = 4.1 \sim -0.5$ V (11)	- 10		10	μ A
I_{OZ}	トライ・ステート I/O ピンのリーク電流	$V_O = 4.1 \sim -0.5$ V (11)	- 10		10	μ A
I_{CC0}	V_{CC} 供給電流 (スタンバイ時) (すべての ESB がパワー・ダウン・モードのとき)	$V_I =$ ground、無負荷、入力ピンのトグルなしの条件。 - 1 スピード・グレードのデバイス		10		mA
		$V_I =$ ground、無負荷、入力ピンのトグルなしの条件。 - 2 および - 3 スピード・グレードのデバイス		5		mA
R_{CONF}	コンフィギュレーションの実行前および実行時の I/O ピンのプルアップ抵抗値	$V_{CCIO} = 3.0$ V (12)	20		50	k Ω
		$V_{CCIO} = 2.375$ V (12)	30		80	k Ω
		$V_{CCIO} = 1.71$ V (12)	60		150	k Ω



APEX 20KE 標準 I/O 規格の DC 特性については、アプリケーション・ノート、AN 117「Using Selectable I/O Standards in Altera Devices」を参照してください。

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力キャパシタンス	$V_{IN} = 0\text{ V}, f = 1.0\text{ MHz}$		8	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0\text{ V}, f = 1.0\text{ MHz}$		12	pF
C_{OUT}	出力キャパシタンス	$V_{OUT} = 0\text{ V}, f = 1.0\text{ MHz}$		8	pF

注:

- (1) 「Operating Requirements for Altera Devices」のデータシートを参照してください。
- (2) 最低 DC 入力電圧は -0.5 V です。入力電流が 100 mA 未満で、 20 ns 未満の幅の条件であれば、過渡状態の期間に -0.5 V までアンダシュート、または 4.6 V までオーバシュートしてもかまいません。
- (3) () 内の数値は工業用温度範囲のデバイスのもので、
- (4) V_{CC} の最大立ち上がり時間は 100 ms で、 V_{CC} の上昇率は一定になっている必要があります。
- (5) 入力専用、クロック、I/O、JTAG ピンを含むすべてのピンは V_{CCINT} と V_{CCIO} に電源が供給される前にドライブされる可能性があります。
- (6) 標準値は $T_A = 25^\circ\text{ C}$ 、 $V_{CCINT} = 1.8\text{ V}$ 、 $V_{CCIO} = 1.8\text{ V}$ 、 2.5 V または 3.3 V の条件のときのものです。
- (7) これらの値は 67 ページの表 32「APEX 20KE デバイスの推奨動作条件」を基準にして規定されています。
- (8) APEX 20KE デバイスの入力バッファは、 1.8 V 、 2.5 V および 3.3 V (LVTTTL および LVCMOS) の信号と互換性があり、 3.3 V の PCI 仕様にも準拠します。また、GTL+、CTT、AGP、SSTL-2、SSTL-3、および HSTL の規格を満足します。
- (9) I_{OH} のパラメータは High レベル TTL、PCI、または CMOS 出力電流として参照されます。
- (10) I_{OL} パラメータは Low レベル TTL、PCI、または CMOS 出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (11) この値は通常のデバイス動作用に指定されたものです。パワー・アップの過程では値が変わる場合があります。
- (12) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗が低下します。
- (13) キャパシタンスはサンプル・テストのみです。

図 33 は、APEX 20K デバイスを 3.3 V の PCI 仕様に準拠させるときの V_{CCIO} と V_{CCINT} の関係を示したものです。

図 33. 3.3 V の PCI 仕様に準拠させるときの V_{CCIO} と V_{CCINT} の関係

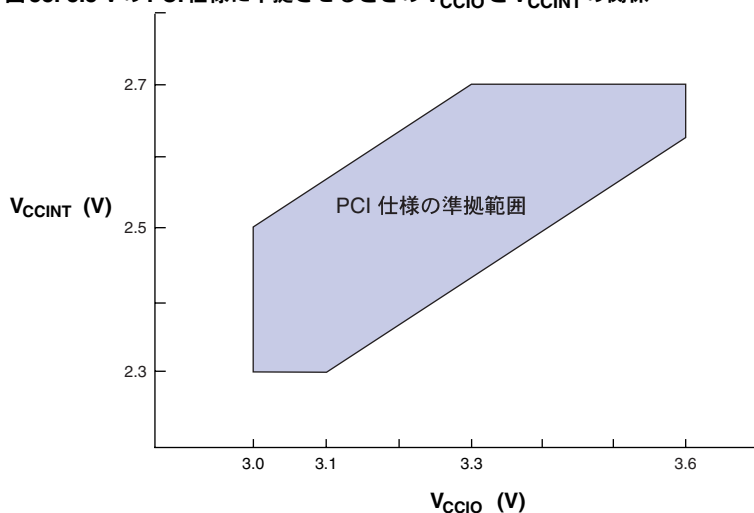


図 34 は、 V_{CCIO} が 3.3 V および 2.5 V になっているときの APEX 20K デバイスの標準的な出力ドライブ特性を示したものです。出力ドライブは、*PCI Local Bus Specification, Revision 2.2* の 3.3 V 動作仕様と互換性があります (V_{CCIO} ピンが 3.3 V に接続されている場合)。5 V を許容する -1 スピード・グレードの APEX 20K デバイスは、すべての動作条件において 5 V の PCI 仕様に準拠します。

図 34. APEX 20K デバイスの出力ドライブ特性

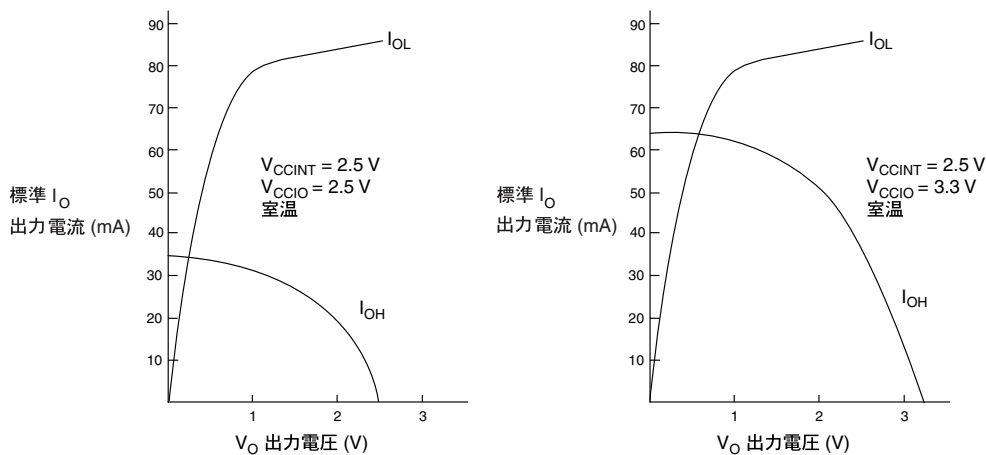
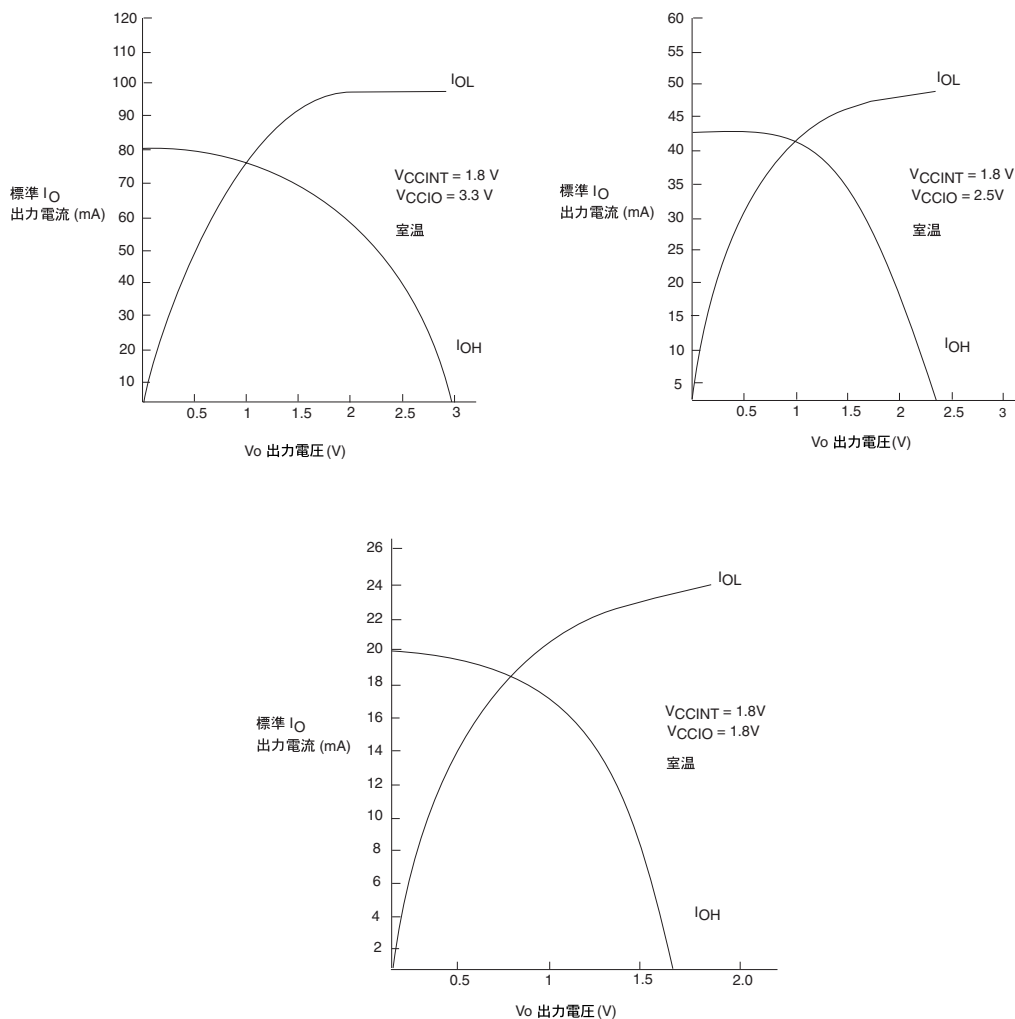


図35はAPEX 20KEデバイスの出カドライブ特性を示したものです。

図35. APEX 20KE デバイスの出カドライブ特性

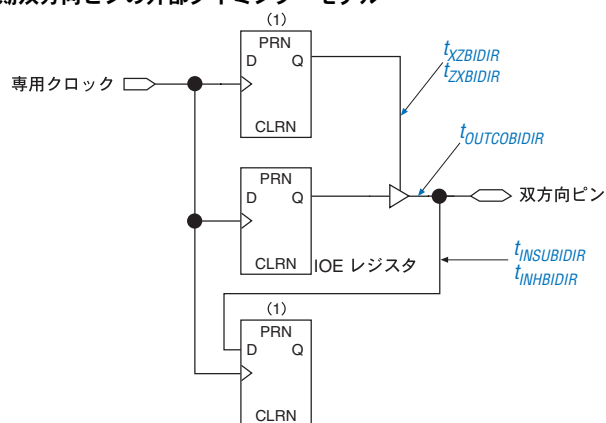


タイミング・モデル

APEX 20Kデバイスでは、連続した高性能な配線リソースとなっているFastTrackインタコネクとMegaLABインタコネクによって、性能の予測、正確なシミュレーションとタイミング解析が確保されています。この予測可能な性能は、セグメント化された配線構造を使用しているために性能が予測不可能となるFPGAと大きく異なる点です。

図36は、双方向I/Oピンのタイミング・モデルを示したものです。

図36. 同期双方向ピンの外部タイミング・モデル



注:

- (1) 出カインエーブルと入力レジスタは双方向ピンに隣接している LAB 内の LE レジスタです。

表35と36は、APEX 20K デバイスの外部タイミング・パラメータをまとめたものです。

シンボル	クロック・パラメータ	条件
t_{INSU}	IOE レジスタのグローバル・クロック・セットアップ・タイム	
t_{INH}	IOE レジスタのグローバル・クロック・ホールド・タイム	
t_{OUTCO}	グローバル・クロックを使用したときの、IOE レジスタの「Clock-to-Output」遅延	
t_{PCISU}	PCI デザインで使用されるレジスタのグローバル・クロック・セットアップ・タイム	
t_{PCICO}	グローバル・クロックを使用したときの、PCI デザインのレジスタの「Clock-to-Output」遅延	
t_{PCIH}	PCI デザインで使用されるレジスタのグローバル・クロック・ホールド・タイム	

シンボル	パラメータ	条件
$t_{INSUBIDIR}$	同一のロウまたはカラムのLEレジスタにグローバル・クロックを使用したときの双方向ピンのセットアップ・タイム	
$t_{INHIBIDIR}$	同一のロウまたはカラムのLEレジスタにグローバル・クロックを使用したときの双方向ピンのホールド・タイム	
$t_{OUTCOBIDIR}$	IOEレジスタにグローバル・クロックを使用したときの双方向ピンの「Clock-to-Output」遅延	C1 = 35 pF
$t_{XZBIDIR}$	同期IOE出力バッファのディセーブル遅延	C1 = 35 pF
$t_{ZXBIDIR}$	同期IOE出力バッファのイネーブル遅延、Slow Slew Rate = off	C1 = 35 pF

注:

(1) これらのタイミング・パラメータはサンプル・テストのみです。

図 37は APEX 20K および APEX 20KE デバイスの f_{MAX} タイミング・モデルを示したものです。

図 37. f_{MAX} タイミング・モデル
LE

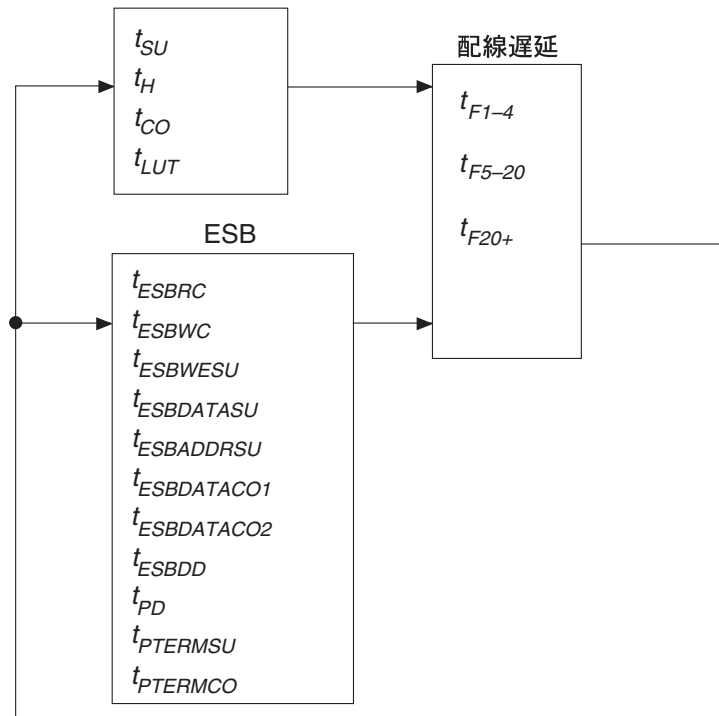


表 37は、図 37に示した f_{MAX} タイミング・パラメータをまとめたものです。

表 37. APEX 20K および APEX 20KE の f_{MAX} タイミング・パラメータ	
シンボル	パラメータ
t_{SU}	LEレジスタのクロック前のセットアップ・タイム
t_H	LEレジスタのクロック前のホールド・タイム
t_{CO}	LEレジスタの「Clock-to-Output」遅延
t_{LUT}	データ入力のLUT遅延
t_{ESBRC}	ESB非同期リード・サイクル・タイム
t_{ESBWC}	ESB非同期ライト・サイクル・タイム
$t_{ESBWESU}$	入力レジスタ使用時のクロック前のESB WE信号セットアップ・タイム
$t_{ESBDATASU}$	入力レジスタ使用時のクロック前のESBデータ・セットアップ・タイム
$t_{ESBADDRSU}$	入力レジスタ使用時のクロック前のESBアドレス・セットアップ・タイム
$t_{ESBDATACO1}$	出力レジスタ使用時のESB「Clock-to-Output」遅延
$t_{ESBDATACO2}$	出力レジスタなしのESB「Clock-to-Output」遅延
t_{ESBDD}	RAMモードのESBデータ入力からデータ出力までの遅延
t_{PD}	ESBマクロセル入力からレジスタなし出力までの遅延
$t_{PTERMSU}$	ESBマクロセル・レジスタのクロック前のセットアップ・タイム
$t_{PTERMCO}$	ESBマクロセル・レジスタの「Clock-to-Output」遅延
t_{F1-4}	ローカル・インタコネクタ使用時のファンアウト遅延
t_{F5-20}	MegaLabインタコネクタ使用時のファンアウト遅延
t_{F20+}	FastTrackインタコネクタ使用時のファンアウト遅延
t_{CH}	クロック・ピンからのクロック High 最小期間
t_{CL}	クロック・ピンからのクロック Low 最小期間
t_{CLRP}	LEクリア・パルス幅
t_{PREP}	LEプリセット・パルス幅
t_{ESBCH}	クロック、High 期間
t_{ESBCL}	クロック、Low 期間
t_{ESBWP}	ライト・パルス幅
t_{ESBRP}	リード・パルス幅

表38から43は、EP20K100、EP20K200、EP20K400、EP20K300E、EP20K400E、EP20K600E、EP20K1000Eの各デバイスの f_{MAX} タイミング・パラメータを示したものです。

表38. EP20K100の f_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.5		0.6		0.8	
t_H	0.7		0.8		1.0	
t_{CO}		0.3		0.4		0.5
t_{LUT}		0.8		1.0		1.3
t_{ESBRC}		1.7		2.1		2.4
t_{ESBWC}		5.7		6.9		8.1
$t_{ESBWESU}$	3.3		3.9		4.6	
$t_{ESBDATASU}$	2.2		2.7		3.1	
$t_{ESBADDRSU}$	2.4		2.9		3.3	
$t_{ESBDATACO1}$		1.3		1.6		1.8
$t_{ESBDATACO2}$		2.6		3.1		3.6
t_{ESBDD}		2.5		3.3		3.6
t_{PD}		2.5		3.0		3.6
$t_{PTERMSU}$	2.3		2.6		3.2	
$t_{PTERMCO}$		1.5		1.8		2.1
t_{F1-4}		0.5		0.6		0.7
t_{F5-20}		1.6		1.7		1.8
t_{F20+}		2.2		2.2		2.3
t_{CH}	2.0		2.5		3.0	
t_{CL}	2.0		2.5		3.0	
t_{CLRP}	0.3		0.4		0.4	
t_{PREP}	0.5		0.5		0.5	
t_{ESBCH}	2.0		2.5		3.0	
t_{ESBCL}	2.0		2.5		3.0	
t_{ESBWP}	1.6		1.9		2.2	
t_{ESBRP}	1.0		1.3		1.4	

表 39. EP20K200 の t_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.5		0.6		0.8	
t_H	0.7		0.8		1.0	
t_{CO}		0.3		0.4		0.5
t_{LUT}		0.8		1.0		1.3
t_{ESBRC}		1.7		2.1		2.4
t_{ESBWC}		5.7		6.9		8.1
$t_{ESBWESU}$	3.3		3.9		4.6	
$t_{ESBDATASU}$	2.2		2.7		3.1	
$t_{ESBADDRSU}$	2.4		2.9		3.3	
$t_{ESBDATACO1}$		1.3		1.6		1.8
$t_{ESBDATACO2}$		2.6		3.1		3.6
t_{ESBDD}		2.5		3.3		3.6
t_{PD}		2.5		3.0		3.6
$t_{PTERMSU}$	2.3		2.7		3.2	
$t_{PTERMCO}$		1.5		1.8		2.1
t_{F1-4}		0.5		0.6		0.7
t_{F5-20}		1.6		1.7		1.8
t_{F20+}		2.2		2.2		2.3
t_{CH}	2.0		2.5		3.0	
t_{CL}	2.0		2.5		3.0	
t_{CLRP}	0.3		0.4		0.4	
t_{PREP}	0.4		0.5		0.5	
t_{ESBCH}	2.0		2.5		3.0	
t_{ESBCL}	2.0		2.5		3.0	
t_{ESBWP}	1.6		1.9		2.2	
t_{ESBRP}	1.0		1.3		1.4	

表 40. EP20K400 の t_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.1		0.3		0.6	
t_H	0.5		0.8		0.9	
t_{CO}		0.1		0.4		0.6
t_{LUT}		1.0		1.2		1.4
t_{ESBRC}		1.7		2.1		2.4
t_{ESBWC}		5.7		6.9		8.1
$t_{ESBWESU}$	3.3		3.9		4.6	
$t_{ESBDATASU}$	2.2		2.7		3.1	
$t_{ESBADDRSU}$	2.4		2.9		3.3	
$t_{ESBDATACO1}$		1.3		1.6		1.8
$t_{ESBDATACO2}$		2.5		3.1		3.6
t_{ESBDD}		2.5		3.3		3.6
t_{PD}		2.5		3.1		3.6
$t_{PTERMSU}$	1.7		2.1		2.4	
$t_{PTERMCO}$		1.0		1.2		1.4
t_{F1-4}		0.4		0.5		0.6
t_{F5-20}		2.6		2.8		2.9
t_{F20+}		3.7		3.8		3.9
t_{CH}	2.0		2.5		3.0	
t_{CL}	2.0		2.5		3.0	
t_{CLRP}	0.5		0.6		0.8	
t_{PREP}	0.5		0.5		0.5	
t_{ESBCH}	2.0		2.5		3.0	
t_{ESBCL}	2.0		2.5		3.0	
t_{ESBWP}	1.5		1.9		2.2	
t_{ESBRP}	1.0		1.2		1.4	

表 41. EP20K300E の f_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.1		0.3		0.6	
t_H	0.3		0.7		0.9	
t_{CO}		0.1		0.4		0.6
t_{LUT}		0.9		1.0		1.2
t_{ESBRC}		1.5		1.8		2.2
t_{ESBWC}		5.2		5.9		7.4
$t_{ESBWESU}$	2.9		3.3		4.2	
$t_{ESBDATASU}$	1.9		2.2		2.9	
$t_{ESBADDRSU}$	2.2		2.4		3.0	
$t_{ESBDATACO1}$		1.3		1.4		1.7
$t_{ESBDATACO2}$		2.3		2.6		3.3
t_{ESBDD}		2.3		3.2		3.5
t_{PD}		2.3		2.6		3.3
$t_{PTERMSU}$	1.6		1.8		2.2	
$t_{PTERMCO}$		0.9		1.1		1.3
t_{F1-4}		0.3		0.4		0.5
t_{F5-20}		2.6		2.6		2.6
t_{F20+}		3.5		3.6		3.6
t_{CH}	2.0		2.2		2.8	
t_{CL}	2.0		2.2		2.8	
t_{CLRP}	0.5		0.6		0.7	
t_{PREP}	0.5		0.5		0.5	
t_{ESBCH}	2.0		2.2		2.8	
t_{ESBCL}	2.0		2.2		2.8	
t_{ESBWP}	1.4		1.6		2.0	
t_{ESBRP}	0.9		1.0		1.3	

表 42. EP20K400E の t_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.1		0.3		0.6	
t_H	0.3		0.7		0.9	
t_{CO}		0.1		0.4		0.6
t_{LUT}		0.8		0.9		1.1
t_{ESBRC}		1.5		1.8		2.2
t_{ESBWC}		5.2		5.9		7.4
$t_{ESBWESU}$	2.9		3.3		4.2	
$t_{ESBDATASU}$	1.9		2.2		2.9	
$t_{ESBADDRSU}$	2.2		2.4		3.0	
$t_{ESBDATACO1}$		1.3		1.4		1.7
$t_{ESBDATACO2}$		2.3		2.6		3.3
t_{ESBDD}		2.3		3.2		3.5
t_{PD}		2.3		2.6		3.3
$t_{PTERMSU}$	1.6		1.8		2.2	
$t_{PTERMCO}$		0.9		1.1		1.3
t_{F1-4}		0.3		0.4		0.5
t_{F5-20}		2.6		2.6		2.6
t_{F20+}		3.5		3.6		3.6
t_{CH}	2.0		2.2		2.8	
t_{CL}	2.0		2.2		2.8	
t_{CLRP}	0.5		0.6		0.7	
t_{PREP}	0.5		0.5		0.5	
t_{ESBCH}	2.0		2.2		2.8	
t_{ESBCL}	2.0		2.2		2.8	
t_{ESBWP}	1.4		1.6		2.0	
t_{ESBRP}	0.9		1.0		1.3	

表 43. EP20K600E の f_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.1		0.3		0.6	
t_H	0.5		0.7		0.9	
t_{CO}		0.1		0.4		0.6
t_{LUT}		0.8		1.1		1.3
t_{ESBRC}		1.5		1.8		2.2
t_{ESBWC}		5.2		5.9		7.4
$t_{ESBWESU}$	2.9		3.3		4.2	
$t_{ESBDATASU}$	1.9		2.2		2.9	
$t_{ESBADDRSU}$	2.2		2.4		3.0	
$t_{ESBDATACO1}$		1.3		1.4		1.7
$t_{ESBDATACO2}$		2.3		2.6		3.3
t_{ESBDD}		2.4		3.2		3.5
t_{PD}		2.3		2.6		3.3
$t_{PTERMSU}$	1.6		1.8		2.2	
$t_{PTERMCO}$		0.9		1.1		1.3
t_{F1-4}		0.3		0.4		0.5
t_{F5-20}		2.6		2.6		2.7
t_{F20+}		3.5		3.6		3.7
t_{CH}	2.0		2.2		2.8	
t_{CL}	2.0		2.2		2.8	
t_{CLRP}	0.5		0.6		0.7	
t_{PREP}	0.5		0.5		0.5	
t_{ESBCH}	2.0		2.2		2.8	
t_{ESBCL}	2.0		2.2		2.8	
t_{ESBWP}	1.4		1.6		2.0	
t_{ESBRP}	0.9		1.0		1.3	

表 44. EP20K1000E の f_{MAX} タイミング・パラメータ						
シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード	
	最小	最大	最小	最大	最小	最大
t_{SU}	0.1		0.3		0.6	
t_H	0.5		0.7		0.9	
t_{CO}		0.1		0.4		0.6
t_{LUT}		0.9		1.1		1.3
t_{ESBRC}		1.5		1.8		2.2
t_{ESBWC}		5.2		5.9		7.4
$t_{ESBWESU}$	2.9		3.3		4.2	
$t_{ESBDATASU}$	1.9		2.2		2.9	
$t_{ESBADDRSU}$	2.2		2.4		3.0	
$t_{ESBDATACO1}$		1.3		1.4		1.7
$t_{ESBDATACO2}$		2.3		2.6		3.3
t_{ESBDD}		2.4		3.2		3.5
t_{PD}		2.3		2.6		3.3
$t_{PTERMSU}$	1.6		1.8		2.2	
$t_{PTERMCO}$		0.9		1.1		1.3
t_{F1-4}		0.3		0.4		0.5
t_{F5-20}		4.6		4.6		4.8
t_{F20+}		4.1		4.2		4.4
t_{CH}	2.0		2.2		2.8	
t_{CL}	2.0		2.2		2.8	
t_{CLRP}	0.5		0.6		0.7	
t_{PREP}	0.5		0.5		0.5	
t_{ESBCH}	2.0		2.2		2.8	
t_{ESBCL}	2.0		2.2		2.8	
t_{ESBWP}	1.4		1.6		2.0	
t_{ESBRP}	0.9		1.0		1.3	

表 45 から 62 は、APEX 20K デバイスと APEX 20KE デバイスで使用する I/O 外部タイミング・パラメータおよび外部双方向タイミング・パラメータの値をまとめたものです。

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}}(1)$	2.3		2.8		3.2		ns
$t_{\text{INH}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}}(1)$	2.0	4.5	2.0	4.9	2.0	6.6	ns
$t_{\text{INSU}}(2)$	1.1		1.2		-		ns
$t_{\text{INH}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCO}}(2)$	0.5	2.7	0.5	3.1	-	4.8	ns

シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}}(1)$	2.3		2.8		3.2		ns
$t_{\text{INHBIDIR}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}}(1)$	2.0	4.5	2.0	4.9	2.0	6.6	ns
$t_{\text{XZBIDIR}}(1)$		5.0		5.9		6.9	ns
$t_{\text{ZXBIDIR}}(1)$		5.0		5.9		6.9	ns
$t_{\text{INSUBIDIR}}(2)$	1.0		1.2		-		ns
$t_{\text{INHBIDIR}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCOBIDIR}}(2)$	0.5	2.7	0.5	3.1	-	-	ns
$t_{\text{XZBIDIR}}(2)$		4.3		5.0		-	ns
$t_{\text{ZXBIDIR}}(2)$		4.3		5.0		-	ns

注:

- (1) このパラメータは ClockLock または ClockBoost 回路を使用せずに測定されています。
 (2) このパラメータは ClockLock または ClockBoost 回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{INSU} (1)	2.2		2.3		2.4		ns
t_{INH} (1)	0.0		0.0		0.0		ns
t_{OUTCO} (1)	2.0	4.9	2.0	5.3	2.0	5.8	ns
t_{INSU} (2)	1.6		1.7		-		ns
t_{INH} (2)	0.0		0.0		-		ns
t_{OUTCO} (2)	0.5	3.0	0.5	3.3	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{INSUBIDIR}$ (1)	2.2		2.3		2.4		ns
$t_{INHBIDIR}$ (1)	0.0		0.0		0.0		ns
$t_{OUTCOBIDIR}$ (1)	2.0	4.9	2.0	5.3	2.0	5.8	ns
$t_{XZBIDIR}$ (1)		5.7		6.8		8.3	ns
$t_{ZXBIDIR}$ (1)		5.7		6.8		8.3	ns
$t_{INSUBIDIR}$ (2)	1.8		2.5		-		ns
$t_{INHBIDIR}$ (2)	0.0		0.0		-		ns
$t_{OUTCOBIDIR}$ (2)	0.5	3.0	0.5	3.3	-	-	ns
$t_{XZBIDIR}$ (2)		3.7		4.3		-	ns
$t_{ZXBIDIR}$ (2)		3.7		4.3		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{INSU} (1)	1.9		2.3		2.6		ns
t_{INH} (1)	0.0		0.0		0.0		ns
t_{OUTCO} (1)	2.0	4.6	2.0	5.6	2.0	6.8	ns
t_{INSU} (2)	1.1		1.2		-		ns
t_{INH} (2)	0.0		0.0		-		ns
t_{OUTCO} (2)	0.5	2.7	0.5	3.1	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR} (1)	1.9		2.3		2.6		ns
t _{INHIDIR} (1)	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (1)	2.0	4.6	2.0	5.6	2.0	6.8	ns
t _{XZBIDIR} (1)		5.0		5.9		6.9	ns
t _{ZXBIDIR} (1)		5.0		5.9		6.9	ns
t _{INSUBIDIR} (2)	1.1		1.2		-		ns
t _{INHIDIR} (2)	0.0		0.0		-		ns
t _{OUTCOBIDIR} (2)	0.5	2.7	0.5	3.1	-	-	ns
t _{XZBIDIR} (2)		4.3		5.0		-	ns
t _{ZXBIDIR} (2)		4.3		5.0		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSU} (1)	2.3		2.4		2.5		ns
t _{INH} (1)	0.0		0.0		0.0		ns
t _{OUTCO} (1)	2.0	5.1	2.0	5.6	2.0	6.1	ns
t _{INSU} (2)	1.9		2.0		-		ns
t _{INH} (2)	0.0		0.0		-		ns
t _{OUTCO} (2)	0.5	3.0	0.5	3.3	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}}(1)$	2.3		2.4		2.5		ns
$t_{\text{INHBIDIR}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}}(1)$	2.0	5.1	2.0	5.6	2.0	6.1	ns
$t_{\text{XZBIDIR}}(1)$		6.0		7.3		9.2	ns
$t_{\text{ZXBIDIR}}(1)$		6.0		7.3		9.2	ns
$t_{\text{INSUBIDIR}}(2)$	1.8		2.0		-		ns
$t_{\text{INHBIDIR}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCOBIDIR}}(2)$	0.5	3.0	0.5	3.3	-	-	ns
$t_{\text{XZBIDIR}}(2)$		4.1		4.5		-	ns
$t_{\text{ZXBIDIR}}(2)$		4.1		4.5		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}}(1)$	2.3		2.4		2.5		ns
$t_{\text{INH}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}}(1)$	2.0	5.2	2.0	5.7	2.0	6.2	ns
$t_{\text{INSU}}(2)$	1.8		1.9		-		ns
$t_{\text{INH}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCO}}(2)$	0.5	2.8	0.5	3.0	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR} (1)	2.3		2.4		2.5		ns
t _{INHIDIR} (1)	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (1)	2.0	5.2	2.0	5.7	2.0	6.2	ns
t _{XZBIDIR} (1)		6.0		7.2		9.2	ns
t _{ZXBIDIR} (1)		6.0		7.2		9.2	ns
t _{INSUBIDIR} (2)	1.8		1.9		-		ns
t _{INHIDIR} (2)	0.0		0.0		-		ns
t _{OUTCOBIDIR} (2)	0.5	2.8	0.5	3.0	-	-	ns
t _{XZBIDIR} (2)		3.3		4.1		-	ns
t _{ZXBIDIR} (2)		3.3		4.1		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSU} (1)	1.4		1.8		2.0		ns
t _{INH} (1)	0.0		0.0		0.0		ns
t _{OUTCO} (1)	2.0	4.9	2.0	6.1	2.0	7.0	ns
t _{INSU} (2)	0.4		1.0		-		ns
t _{INH} (2)	0.0		0.0		-		ns
t _{OUTCO} (2)	0.5	3.1	0.5	4.1	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}}(1)$	1.4		1.8		2.0		ns
$t_{\text{INHBIDIR}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}}(1)$	2.0	4.9	2.0	6.1	2.0	7.0	ns
$t_{\text{XZBIDIR}}(1)$		7.3		8.9		10.3	ns
$t_{\text{ZXBIDIR}}(1)$		7.3		8.9		10.3	ns
$t_{\text{INSUBIDIR}}(2)$	0.5		1.0		-		ns
$t_{\text{INHBIDIR}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCOBIDIR}}(2)$	0.5	3.1	0.5	4.1	-	-	ns
$t_{\text{XZBIDIR}}(2)$		6.2		7.6		-	ns
$t_{\text{ZXBIDIR}}(2)$		6.2		7.6		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}}(1)$	2.5		2.6		2.8		ns
$t_{\text{INH}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}}(1)$	2.0	5.3	2.0	5.8	2.0	6.3	ns
$t_{\text{INSU}}(2)$	3.2		3.4		-		ns
$t_{\text{INH}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCO}}(2)$	0.5	2.2	0.5	2.4	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR} (1)	2.5		2.6		2.8		ns
t _{INHIDIR} (1)	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (1)	2.0	5.3	2.0	5.8	2.0	6.3	ns
t _{XZBIDIR} (1)		5.4		6.0		7.0	ns
t _{ZXBIDIR} (1)		5.4		6.0		7.0	ns
t _{INSUBIDIR} (2)	3.2		3.4		-		ns
t _{INHIDIR} (2)	0.0		0.0		-		ns
t _{OUTCOBIDIR} (2)	0.5	2.2	0.5	2.4	-	-	ns
t _{XZBIDIR} (2)		3.5		4.0		-	ns
t _{ZXBIDIR} (2)		3.5		4.0		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSU} (1)	2.6		2.7		2.9		ns
t _{INH} (1)	0.0		0.0		0.0		ns
t _{OUTCO} (1)	2.0	5.5	2.0	6.0	2.0	6.6	ns
t _{INSU} (2)	1.9		2.0		-		ns
t _{INH} (2)	0.0		0.0		-		ns
t _{OUTCO} (2)	0.5	2.6	0.5	2.9	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSUBIDIR}}(1)$	2.6		2.7		2.9		ns
$t_{\text{INHBIDIR}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCOBIDIR}}(1)$	2.0	5.5	2.0	6.0	2.0	6.6	ns
$t_{\text{XZBIDIR}}(1)$		6.3		7.6		9.7	ns
$t_{\text{ZXBIDIR}}(1)$		6.3		7.6		9.7	ns
$t_{\text{INSUBIDIR}}(2)$	1.9		2.0		-		ns
$t_{\text{INHBIDIR}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCOBIDIR}}(2)$	0.5	2.6	0.5	2.9	-	-	ns
$t_{\text{XZBIDIR}}(2)$		3.3		4.1		-	ns
$t_{\text{ZXBIDIR}}(2)$		3.3		4.1		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
 (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{\text{INSU}}(1)$	2.7		2.8		3.0		ns
$t_{\text{INH}}(1)$	0.0		0.0		0.0		ns
$t_{\text{OUTCO}}(1)$	2.0	5.8	2.0	6.3	2.0	6.9	ns
$t_{\text{INSU}}(2)$	1.6		1.7		-		ns
$t_{\text{INH}}(2)$	0.0		0.0		-		ns
$t_{\text{OUTCO}}(2)$	0.5	2.3	0.5	2.5	-	-	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t _{INSUBIDIR} (1)	2.7		2.8		3.0		ns
t _{INHIDIR} (1)	0.0		0.0		0.0		ns
t _{OUTCOBIDIR} (1)	2.0	5.8	2.0	6.3	2.0	6.9	ns
t _{XZBIDIR} (1)		6.6		7.9		9.7	ns
t _{ZXBIDIR} (1)		6.6		7.9		9.7	ns
t _{INSUBIDIR} (2)	3.8		5.2		-		ns
t _{INHIDIR} (2)	0.0		0.0		-		ns
t _{OUTCOBIDIR} (2)	0.5	2.3	0.5	2.5	-	-	ns
t _{XZBIDIR} (2)		3.3		4.1		-	ns
t _{ZXBIDIR} (2)		3.3		4.1		-	ns

注:

- (1) このパラメータはClockLockまたはClockBoost回路を使用せずに測定されています。
- (2) このパラメータはClockLockまたはClockBoost回路を使用して測定されています。この測定にClockShiftは使用されていません。要求される結果を実現するためにClockShiftを使用してセットアップ・タイムと「Clock-to-Output」タイムを調整することができます。

表 63 と 64 は、APEX 20KE デバイスの選択可能な標準 I/O 規格の入力遅延と出力遅延をまとめたものです。LVCMOS 以外の標準 I/O 規格の入力遅延または出力遅延を選択する場合は、選択したスピード・グレードを LVCMOS の値に対して加算または減算します。

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
LVCMOS		0.0		0.0		0.0	ns
LVTTTL		0.0		0.0		0.0	ns
2.5 V		0.1		0.2		0.2	ns
1.8 V		0.5		0.6		0.8	ns
PCI		0.4		0.5		0.7	ns
GTL+		-0.3		-0.4		-0.5	ns
SSTL-3 Class I		-0.4		-0.5		-0.6	ns
SSTL-3 Class II		-0.4		-0.5		-0.6	ns
SSTL-2 Class I		-0.3		-0.3		-0.4	ns
SSTL-2 Class II		-0.3		-0.3		-0.4	ns
LVDS		-0.2		-0.3		-0.4	ns
CTT		-0.3		-0.3		-0.4	ns
AGP		0.0		0.1		0.1	ns

シンボル	-1スピード・グレード		-2スピード・グレード		-3スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小
LVC MOS		0.0		0.0		0.0	ns
LV TTL		0.0		0.0		0.0	ns
2.5 V		0.5		0.6		0.7	ns
1.8 V		1.7		2.2		2.7	ns
PCI		-0.2		-0.3		-0.4	ns
GTL+		-0.4		-0.5		-0.6	ns
SSTL-3 Class I		-0.1		-0.2		-0.2	ns
SSTL-3 Class II		-0.6		-0.8		-1.0	ns
SSTL-2 Class I		0.0		0.0		0.0	ns
SSTL-2 Class II		-0.4		-0.5		-0.6	ns
LVDS		-0.8		-1.0		-1.2	ns
CTT		-0.2		-0.3		-0.4	ns
AGP		-0.4		-0.5		-0.7	ns

消費電力

デバイスの消費電力を見積もるには、アルテラの Web サイト (<http://www.altera.com>) でインタラクティブな APEX Power Calculator をご利用ください。

コンフィギュレーションと動作モード

APEX 20K のアーキテクチャは数種類のコンフィギュレーション・モードをサポートしています。このセクションではデバイスの動作モードとサポートされているデバイスのコンフィギュレーション・モードについて説明します。

動作モード

APEX 20K のアーキテクチャは SRAM のコンフィギュレーション・エレメントを使用しているため、回路に電源を投入して動作を開始するとき外部からコンフィギュレーション・データをデバイスの SRAM セルにロードする必要があります。デバイスの SRAM セルにデータをロードするプロセスは「コンフィギュレーション」と呼ばれます。デバイスはコンフィギュレーションの完了後にイニシャライズの動作に入って、レジスタをリセットし、I/O ピンをイネーブルにしてロジック・デバイスとしての動作を開始します。I/O ピンは、電源の投入時、およびコンフィギュレーションの実行前と実行中にトライ・ステートとなります。このコンフィギュレーションとイニシャライズのプロセスは「コマンド・モード」と呼ばれ、通常のデバイス動作は「ユーザ・モード」と呼ばれます。

すべての I/O ピンは、デバイス・コンフィギュレーションの実行前と実行時に内蔵されているウィーク・プルアップ抵抗によって、 V_{CCIO} にプルアップされます。

APEX 20K デバイスは SRAM のコンフィギュレーション・エレメントを使用しているため、デバイスに新しいコンフィギュレーション・データをロードすることによって、イン・サーキットでのリコンフィギュレーションを行うことができます。指定されたピンを使用してデバイスを強制的にコマンド・モードにし、別のコンフィギュレーション・データをロードした後でデバイスを再度イニシャライズしてユーザ・モードに復帰させることによって、リアル・タイムのリコンフィギュレーションを行うことができます。これにより、新しいコンフィギュレーション・ファイルを配布することでフィールドでのアップグレードを行うこともできます。

コンフィギュレーション・モード

APEX 20K デバイスのコンフィギュレーション・データは表 65 に示されている 5 種類のコンフィギュレーション・モードのいずれかでデバイスへロードすることができ、ターゲットとなるアプリケーションに応じて最も適切なモードを選択することができます。APEX 20K デバイスのコンフィギュレーションのコントロールには、EPC2 または EPC16 コンフィギュレーション・デバイス、インテリジェント・コントローラ、または JTAG ポートを使用することができます。コンフィギュレーション・デバイスを使用した場合は、システムが電源投入時にコンフィギュレーションの動作を自動的に行うことができます。

また、各デバイスのコンフィギュレーション・イネーブル (nCE) とコンフィギュレーション・イネーブル出力 (nCEO) のピンを接続することにより、サポートされている 5 種類のモードのいずれかで複数の APEX 20K デバイスをコンフィギュレーションすることができます。

コンフィギュレーション・モード	データ・ソース
コンフィギュレーション・デバイス	EPC1、EPC2、EPC16 コンフィギュレーション・デバイス
バッシュ・シリアル (PS)	MasterBlaster または ByteBlasterMV ダウンロード・ケーブル、またはシリアル・データ・ソース
バッシュ・パラレル非同期 (PPA)	パラレル・データ・ソース
バッシュ・パラレル同期 (PPS)	パラレル・データ・ソース
JTAG	MasterBlaster または ByteBlasterMV ダウンロード・ケーブル、または Jam File か JBC File を使用したマイクロプロセッサ



コンフィギュレーションの詳細については、アプリケーション・ノート、AN 116 「Configuring APEX 20K, FLEX 10K, & FLEX 6000 Devices」を参照してください。

デバイス・ピン配置

ピン配置については、アルテラの Web サイト (<http://www.altera.com>) または デジタル・ライブラリをご覧ください。

変更履歴

「APEX 20K プログラマブル・ロジック・デバイス・ファミリー」のデータシート、バージョン 3.4 に記載された情報は、前のバージョンで発行された情報にとって代わるものです。

バージョン 3.4 での変更

- 表 20、21、24、45、46、48、49、50、52、54、55、56、58、60、および 62 の更新
- 図 8、25、26、および 29 の更新
- 表 19 および 20 に注 (1) を追加
- 表 25、29、および 33 に注 (11) を追加

AMMP, Altera, APEX, APEX 20K, APEX 20KE, ByteBlaster, ClockBoost, ClockLock, ClockShift, EP20K30E, EP20K60E, EP20K100, EP20K100E, EP20K160E, EP20K200, EP20K200E, EP20K300, EP20K400, EP20K400E, EP20K600E, EP20K1000E, EP20K1500E, FastTrack, FineLine BGA, MasterBlaster, MegaCore, MegaLAB, MultiCore, MultiVolt, NativeLink, Quartus, Quartus II, SignalTap, Turbo Bit は、Altera Corporation の米国および該当各国における商標またはサービス・マークです。この資料に記載されているその他の製品名などは該当各社の商標です。

Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

Copyright © 2001 Altera Corporation. All rights reserved.

ALTERA

日本アルテラ株式会社

〒163-1332
東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのwebサイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のデータシートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。