

高速、16ビット、333ksps サンプリングA/Dコンバータ シャットダウン機能付き

特長

- 完全な333ksps、16ビットADC
- 90dB S/(N + D) および -100dB THD(標準)
- 消費電力: 220mW(標準)
- パイプライン遅延なし
- 全温度範囲にてミッシング・コードなし
- ナップ(7mW)およびスリープ(10 μ W)シャットダウン・モード
- 内部リファレンス(15ppm/)または外部リファレンスで動作
- 真の差動入力によりコモンモード・ノイズを除去
- 5MHzのフルパワー帯域幅
- $\pm 2.5V$ のバイポーラ入力範囲
- 36ピンSSOPパッケージ

アプリケーション

- テレコム
- デジタル信号処理
- 多チャンネル・データ収集システム
- 高速データ変換
- スペクトラム分析
- イメージング・システム

概要

LTC[®]1604は333ksps、16ビットのサンプリングA/Dコンバータで、 $\pm 5V$ 電源からの消費電力はわずか220mWです。この高性能デバイスは、広いダイナミック・レンジをもつサンプル・ホールド、高精度リファレンス、および高速パラレル出力を備えています。2つのデジタル的に選択可能なパワー・シャットダウン・モードがあり、低消費電力システムで電力を節約します。

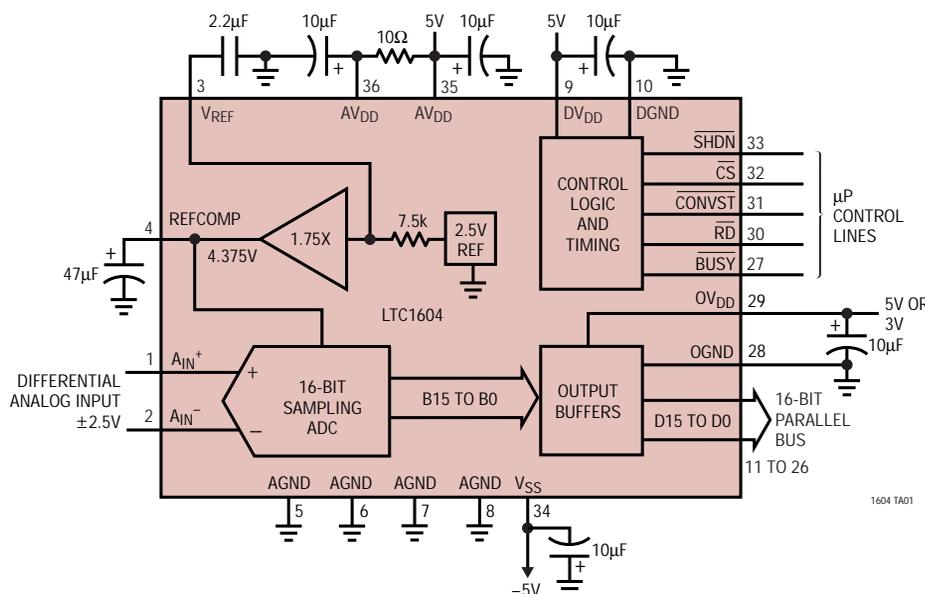
LTC1604のフルスケール入力範囲は $\pm 2.5V$ です。卓越したAC性能には、333kspsのサンプル・レートにおいて、90dB S/(N + D)と -100dB THDが含まれます。

独自の差動入力サンプル・ホールドにより、15MHz帯域幅までシングルエンドまたは差動入力信号を得ることができます。また、68dBの同相除去を実現しているため、ユーザはソースから差動で信号を測定することにより、グラウンド・ループと同相ノイズを除去できます。

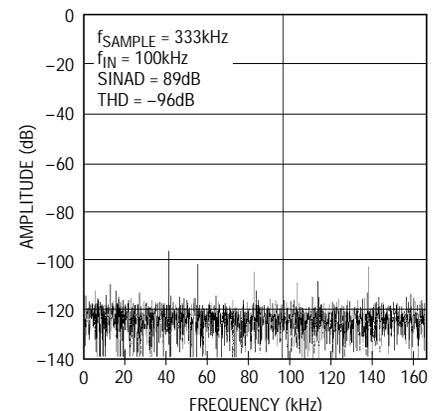
ADCは μP コンパチブルの16ビット・パラレル出力ポートを備えています。変換結果にはパイプライン遅延はありません。変換スタート入力とデータ・レディ信号(BUSY)が独立しているため、FIFO、DSP、マイクロプロセッサに容易に接続できます。

LT、LTC、LTはリニアテクノロジー社の登録商標です。

標準的応用例



LTC1604の4096ポイントFFT



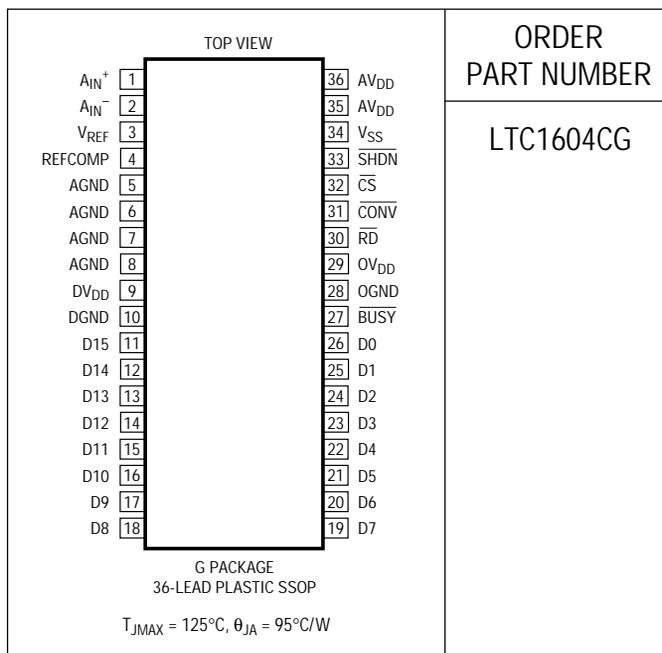
LTC1604

絶対最大定格

$V_{DD} = DV_{DD} = OV_{DD} = V_{DD}$ (Notes 1, 2)

電源電圧 (V_{DD})	6V
負電源電圧 (V_{SS})	-6V
全電源電圧 (V_{DD} から V_{SS})	12V
アナログ入力電圧	
(Note 3)	($V_{SS} - 0.3V$) ~ ($V_{DD} + 0.3V$)
V_{REF} 電圧 (Note 4)	-0.3V ~ ($V_{DD} + 0.3V$)
REFCOMP電圧 (Note 4)	-0.3V ~ ($V_{DD} + 0.3V$)
デジタル入力電圧 (Note 4)	-0.3V ~ 10V
デジタル出力電圧	-0.3V ~ ($V_{DD} + 0.3V$)
消費電力	500mW
動作温度範囲	0 ~ 70
保存温度範囲	-65 ~ 150
リード温度 (半田付け、10秒)	300

パッケージ/発注情報



Aグレード、インダストリアルおよびミリタリ・グレードは問い合わせください。

コンバータ特性 内部リファレンス使用 (Notes 5, 6)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)		15	16		Bits
Integral Linearity Error	(Note 7)		±1	±4	LSB
Transition Noise	(Note 12)		0.7		LSB
Offset Error	(Note 8)		±0.05	±0.125	%
Offset Tempco	(Note 8)		0.5		ppm/°C
Full-Scale Error	Internal Reference		±0.125	±0.25	%
	External Reference			±0.25	%
Full-Scale Tempco	$I_{OUT}(\text{Reference}) = 0$, Internal Reference		±15		ppm/°C

アナログ入力

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Analog Input Range (Note 2)	$4.75 \leq V_{DD} \leq 5.25V$, $-5.25 \leq V_{SS} \leq -4.75V$, $V_{SS} \leq (A_{IN}^-, A_{IN}^+) \leq \text{REFCOMP}$		±2.5		V
I_{IN}	Analog Input Leakage Current	$\overline{CS} = \text{High}$			±1	μA
C_{IN}	Analog Input Capacitance	Between Conversions		43		pF
		During Conversions		5		pF
t_{ACQ}	Sample-and-Hold Acquisition Time			380		ns
t_{AP}	Sample-and-Hold Acquisition Delay Time			-1.5		ns
t_{jitter}	Sample-and-Hold Acquisition Delay Time Jitter			5		pSRMS
CMRR	Analog Input Common Mode Rejection Ratio	$-2.5V < (A_{IN}^- = A_{IN}^+) < 2.5V$		60		dB

ダイナミック精度 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N + D)	Signal-to-(Noise + Distortion) Ratio	5kHz Input Signal		90		dB
		100kHz Input Signal		89		dB
THD	Total Harmonic Distortion Up to 5th Harmonic	5kHz Input Signal		-100		dB
		100kHz Input Signal		-94		dB
	Peak Harmonic or Spurious Noise	100kHz Input Signal		96		dB
IMD	Intermodulation Distortion	$f_{IN1} = 29.37\text{kHz}$, $f_{IN2} = 32.446\text{kHz}$		-88		dB
		Full Power Bandwidth		5		MHz
		Full Linear Bandwidth (S/(N + D) \geq 84dB)		350		kHz

内部リファレンス特性 (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{REF} Output Voltage	$I_{OUT} = 0$	2.475	2.500	2.515	V
V_{REF} Output Tempco	$I_{OUT} = 0$		± 15		ppm/ $^{\circ}\text{C}$
V_{REF} Line Regulation	$4.75 \leq V_{DD} \leq 5.25\text{V}$		0.01		LSB/V
	$-5.25\text{V} \leq V_{SS} \leq -4.75\text{V}$		0.01		LSB/V
V_{REF} Output Resistance	$0 \leq I_{OUT} \leq 1\text{mA}$		7.5		k Ω
REFCOMP Output Voltage	$I_{OUT} = 0$		4.375		V

デジタル入力とデジタル出力 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	$V_{DD} = 5.25\text{V}$	2.4			V
V_{IL}	Low Level Input Voltage	$V_{DD} = 4.75\text{V}$			0.8	V
I_{IN}	Digital Input Current	$V_{IN} = 0\text{V}$ to V_{DD}			± 10	μA
C_{IN}	Digital Input Capacitance			5		pF
V_{OH}	High Level Output Voltage	$V_{DD} = 4.75\text{V}$, $I_{OUT} = -10\mu\text{A}$		4.5		V
		$V_{DD} = 4.75\text{V}$, $I_{OUT} = -400\mu\text{A}$	4.0			V
V_{OL}	Low Level Output Voltage	$V_{DD} = 4.75\text{V}$, $I_{OUT} = 160\mu\text{A}$		0.05		V
		$V_{DD} = 4.75\text{V}$, $I_{OUT} = 1.6\text{mA}$		0.10	0.4	V
I_{OZ}	Hi-Z Output Leakage D15 to D0	$V_{OUT} = 0\text{V}$ to V_{DD} , $\overline{\text{CS}}$ High			± 10	μA
C_{OZ}	Hi-Z Output Capacitance D15 to D0	$\overline{\text{CS}}$ High (Note 9)			15	pF
I_{SOURCE}	Output Source Current	$V_{OUT} = 0\text{V}$		-10		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{DD}$		10		mA

LTC1604

電源要求 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD}	Positive Supply Voltage	(Notes 10, 11)	4.75		5.25	V
V_{SS}	Negative Supply Voltage	(Note 10)	-4.75		-5.25	V
I_{DD}	Positive Supply Current	$\overline{CS} = \overline{RD} = 0V$		18	27	mA
	Nap Mode	$\overline{CS} = 0V, \overline{SHDN} = 0V$		1.5	2.4	mA
	Sleep Mode	$\overline{CS} = 5V, \overline{SHDN} = 0V$		1	100	μA
I_{SS}	Negative Supply Current	$\overline{CS} = \overline{RD} = 0V$		26	37	mA
	Nap Mode	$\overline{CS} = 0V, \overline{SHDN} = 0V$		1	100	μA
	Sleep Mode	$\overline{CS} = 5V, \overline{SHDN} = 0V$		1	100	μA
P_D	Power Dissipation	$\overline{CS} = \overline{RD} = 0V$		220	320	mW
	Nap Mode	$\overline{CS} = 0V, \overline{SHDN} = 0V$		7.5	12	mW
	Sleep Mode	$\overline{CS} = 5V, \overline{SHDN} = 0V$		0.01	1	mW

タイミング特性 (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{SMPL(MAX)}$	Maximum Sampling Frequency		333			kHz
t_{CONV}	Conversion Time		1.5	2.45	2.8	μs
t_{ACQ}	Acquisition Time	(Note 9)			480	ns
$t_{ACQ+CONV}$	Throughput Time (Acquisition + Conversion)				3	μs
t_1	\overline{CS} to \overline{RD} Setup Time	(Notes 9, 10)	0			ns
t_2	$\overline{CS}\downarrow$ to $\overline{CONVST}\downarrow$ Setup Time	(Notes 9, 10)	10			ns
t_3	$\overline{SHDN}\downarrow$ to $\overline{CS}\uparrow$ Setup Time	(Notes 9, 10)	10			ns
t_4	$\overline{SHDN}\uparrow$ to $\overline{CONVST}\downarrow$ Wake-Up Time	$\overline{CS} = \text{Low}$ (Note 10)		400		ns
t_5	\overline{CONVST} Low Time	(Note 10)	40			ns
t_6	\overline{CONVST} to \overline{BUSY} Delay	$C_L = 25pF$		36	80	ns
t_7	Data Ready Before $\overline{BUSY}\uparrow$		32	60		ns
t_8	Delay Between Conversions	(Note 10)	200			ns
t_9	Wait Time $\overline{RD}\downarrow$ After $\overline{BUSY}\uparrow$	(Note 10)	-5			ns
t_{10}	Data Access Time After $\overline{RD}\downarrow$	$C_L = 25pF$		40	50	ns
		$C_L = 100pF$		45	60	ns
					75	ns
t_{11}	Bus Relinquish Time	LTC1604C		50	60	ns
		LTC1604I			70	ns
					75	ns
t_{12}	\overline{RD} Low Time	(Note 10)	t_{10}			ns
t_{13}	\overline{CONVST} High Time	(Note 10)	40			ns
t_{14}	Aperture Delay of Sample-and-Hold			2		ns

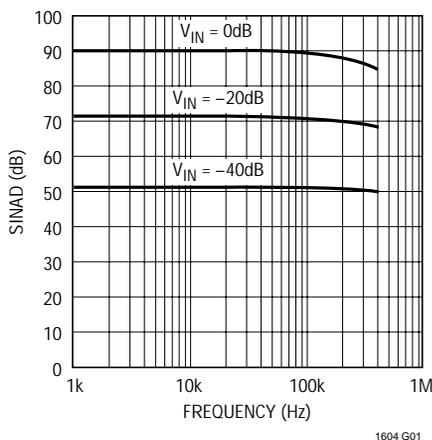
タイミング特性 (Note 5)

は全動作温度範囲の規格値を意味する。
 Note 1: 絶対最大定格はそれを超えるとデバイスに影響を及ぼす値。
 Note 2: 注記がない限り、すべての電圧値はDGND、OGND、およびAGNDをまとめて結線したグラウンドを基準とする。
 Note 3: これらのピン電圧を V_{SS} より低くするか、 V_{DD} より高くすると、内部ダイオードによってクランプされる。この製品は V_{SS} より低い、または V_{DD} より高い電圧を加えてもラッチアップを起こさずに100mA以上の入力電流を処理することができる。
 Note 4: これらのピン電圧を V_{SS} より低くすると、内部ダイオードでクランプされる。この製品は V_{SS} より低い電圧を加えても、ラッチアップを起こさずに100mA以上の入力電流を処理することができる。これらのピンは V_{DD} にクランプされない。
 Note 5: 注記がない限り、 $V_{DD} = 5V$ 、 $V_{SS} = -5V$ 、 $f_{SAMPL} = 333kHz$ 、 $t_r = t_f = 5ns$
 Note 6: 直線性、オフセット、およびフルスケール仕様は、 A_{IN}^- を接地した状態でのシングルエンドの A_{IN}^+ 入力に適用する。

Note 7: 積分非直線性は伝達曲線の実際のエンドポイントを通過する直線からのコードの偏差として定義される。偏差は量子化幅の中心から測定される。
 Note 8: バイポーラ・オフセットは、出力コードが0000 0000 0000 0000と1111 1111 1111 1111の間で変化するとき、 $-0.5LSB$ から測定したオフセット電圧。
 Note 9: 設計により保証されているがテストは行われない。
 Note 10: 推奨動作条件
 Note 11: CONVSTの立下りエッジで変換が開始される。変換中に臨界点でCONVSTが“H”に戻った場合は、小さな誤差が生じる可能性がある。最高の性能を得るには、CONVSTが変換開始後またはBUSYが立ち上がったから250ns以内に“H”に戻るようにする。
 Note 12: コード遷移での標準RMSノイズ。ヒストグラムについては図17を参照のこと。

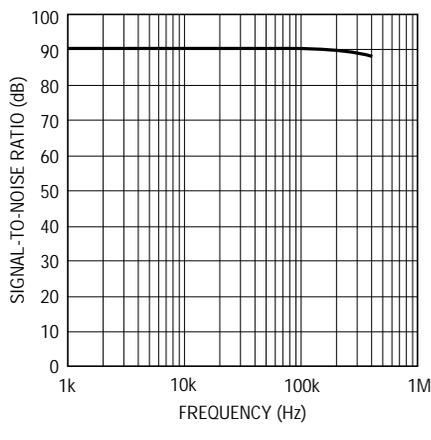
標準的性能特性

S(N+D)と入力周波数
および振幅



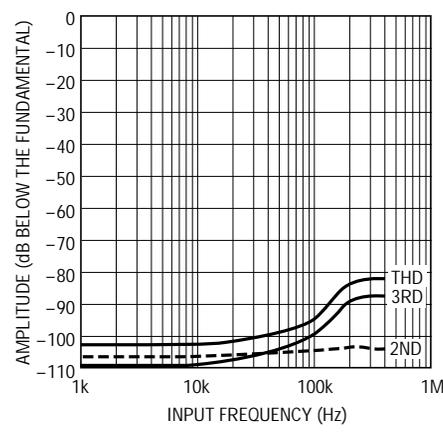
1604 G01

SN比と入力周波数



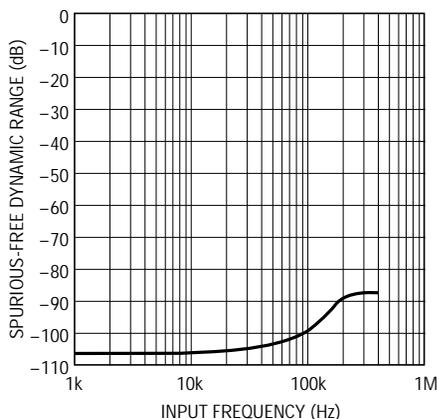
1604 G03

歪みと入力周波数



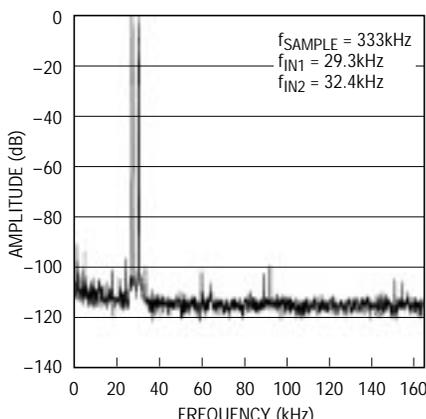
1604 G04

スプリアスのないダイナミック
レンジと入力周波数



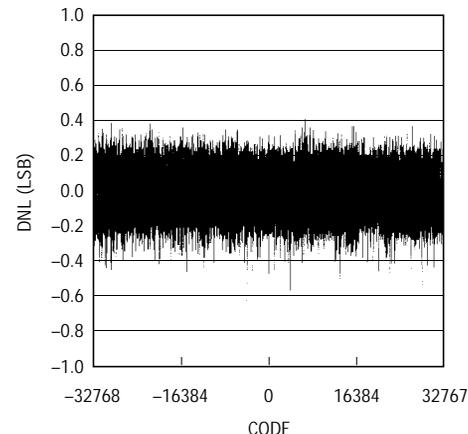
1604 G05

混変調歪み



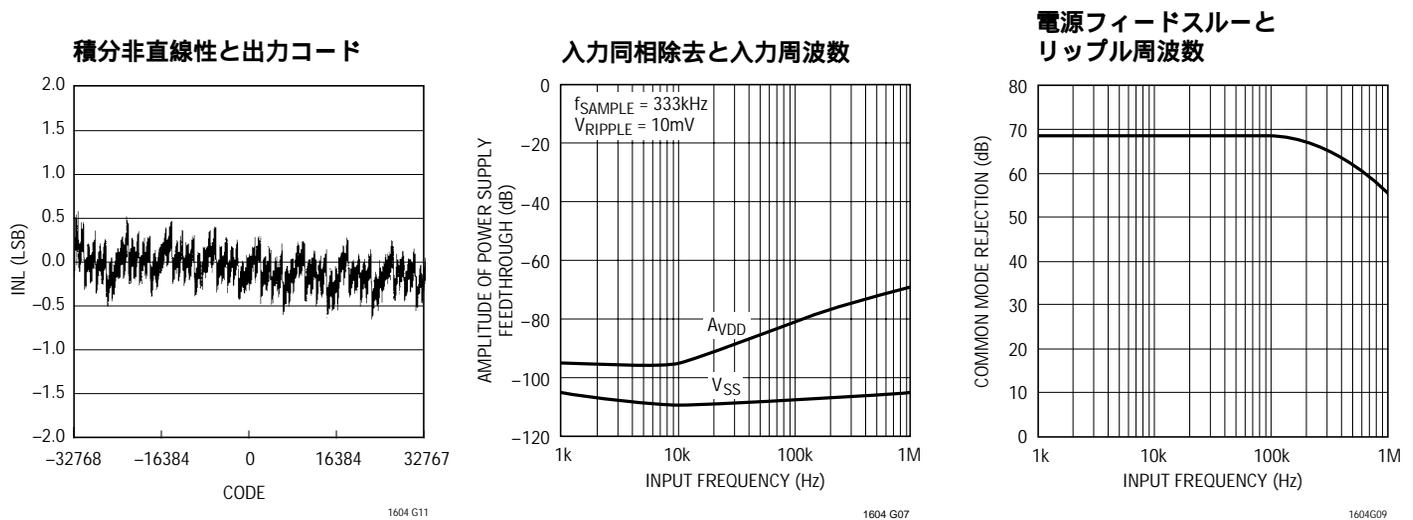
1604 G06

微分非直線性と出力コード



1604 G10

標準的性能特性



ピン機能

A_{IN}^+ (ピン1): 正のアナログ入力。ADCは $\pm 2.5\text{V}$ の差動範囲で A_{IN}^+ と A_{IN}^- 間の差動電圧を変換します。 A_{IN}^- が接地されているときの A_{IN}^+ の入力範囲は $\pm 2.5\text{V}$ です。

A_{IN}^- (ピン2): 負のアナログ入力。接地するか、DC電圧に接続するか、あるいは A_{IN}^+ とともに差動ドライブすることができます。

V_{REF} (ピン3): 2.5V リファレンス出力。 $2.2\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、AGNDにバイパスします。

REFCOMP (ピン4): 4.375V リファレンス補償ピン。 $47\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、AGNDにバイパスします。

AGND (ピン5~8): アナログ・グランド。アナログ・グランド・プレーンに接続します。

DV_{DD} (ピン9): 5V デジタル電源。 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、DGNDにバイパスします。

DGND (ピン10): 内部ロジック用デジタル・グランド。アナログ・グランド・プレーンに接続します。

D15からDQ (ピン11~26): スリーステート・データ出力。D15が最上位ビットです。

$\overline{\text{BUSY}}$ (ピン27): $\overline{\text{BUSY}}$ 出力はコンバータのステータスを示します。変換を実行中のときには「L」になります。 $\overline{\text{BUSY}}$ の立上りエッジでデータが有効になります。

OGND (ピン28): 出力ドライバ用デジタル・グランド。

OV_{DD} (ピン29): 出力ドライバ用デジタル電源。 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、OGNDにバイパスします。

$\overline{\text{RD}}$ (ピン30): リード入力。 $\overline{\text{CS}}$ が「L」のときに「L」信号があると出力ドライバをイネーブします。

$\overline{\text{CONVST}}$ (ピン31): 変換開始信号。このアクティブ「L」信号は、 $\overline{\text{CS}}$ が「L」のときに立下りエッジで変換を開始します。

$\overline{\text{CS}}$ (ピン32): チップ・セレクト入力。ADCが $\overline{\text{CONVST}}$ および $\overline{\text{RD}}$ 入力を認識するには「L」でなければなりません。

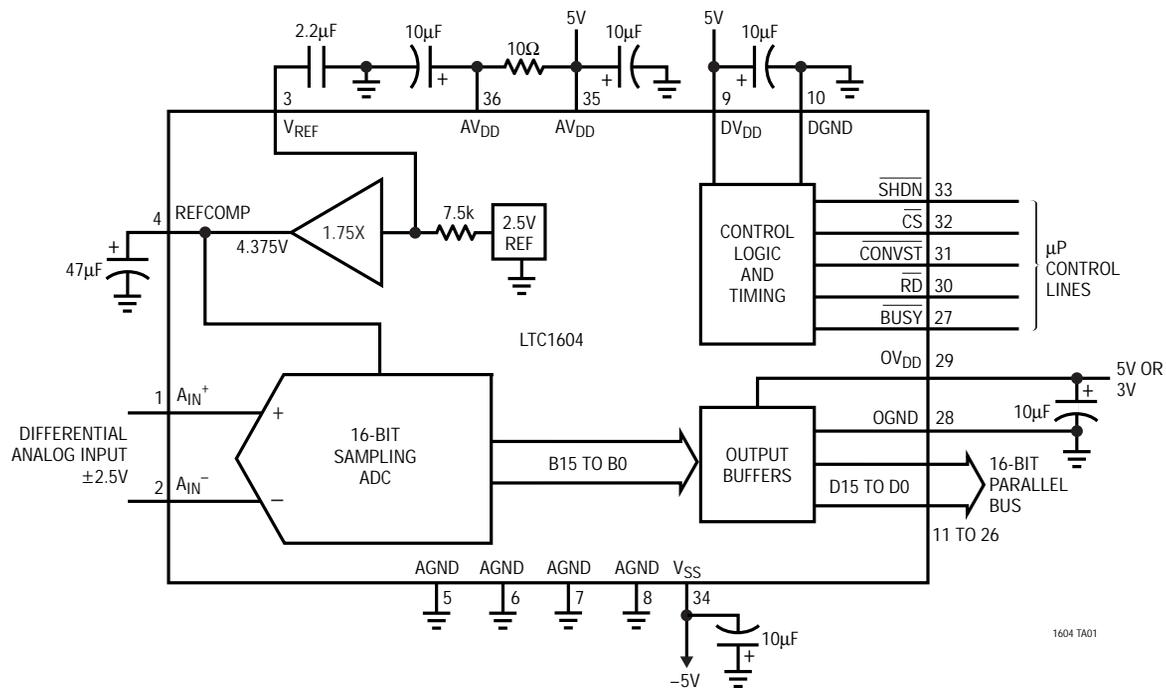
$\overline{\text{SHDN}}$ (ピン33): 電源シャットダウン。ナップ・モードに入るには、 $\overline{\text{CS}}$ が「L」のときに、このピンを「L」にドライブします。スリープ・モードに入るには、 $\overline{\text{CS}}$ を「H」にしてこのピンを「L」にドライブします。

V_{SS} (ピン34): -5V 負電源。 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、AGNDにバイパスします。

AV_{DD} (ピン35): 5V アナログ電源。 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、AGNDにバイパスします。

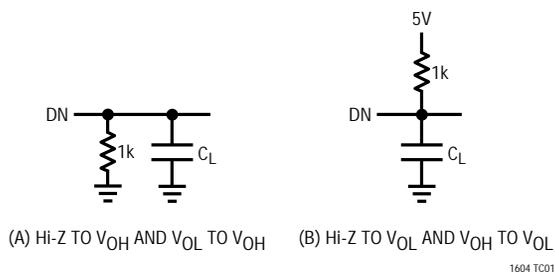
AV_{DD} (ピン36): 5V アナログ電源。 $10\mu\text{F}$ タンタル・コンデンサと $0.1\mu\text{F}$ セラミック・コンデンサを並列に接続して、AGNDにバイパスし、このピンを 10Ω の抵抗でピン35に接続します。

機能ブロック図

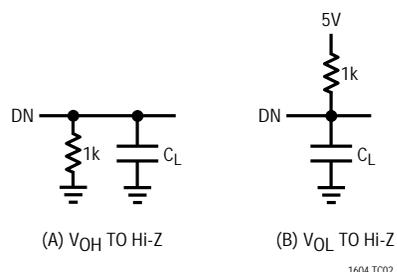


テスト回路

アクセス・タイミングのための負荷回路



出力フロート遅延のための負荷回路



アプリケーション情報

変換の詳細説明

LTC1604は逐次比較アルゴリズムと内部サンプル・ホールド回路を使用して、アナログ信号を16ビットの平行出力に変換します。このADCは、サンプル・ホールド、高精度リファレンス、および内部クロックを備えています。コントロール・ロジックにより、マイクロプロセッサやDSPに簡単にインタフェースすることができます(データ・フォーマットについては、デジタル・インタフェースのセクションを参照してください)。

変換スタートは、 \overline{CS} および \overline{CONVST} 入力でコントロールされます。変換が開始すると、逐次比較レジスタ(SAR)がリセットされます。一度変換サイクルが始まると、再スタートすることはできません。

変換中は、内部16ビット微分容量性DAC出力が、SARによって最上位ビット(MSB)から最下位ビット(LSB)にシーケンスされます。図1を参照すると、 A_{IN+} および A_{IN-} 入力はアクイジション・フェーズ中に収集され、コンパレータ・オフセットはゼロ調整スイッチによってゼロになります。このアクイジション・フェーズでは、480nsの遅延時間により、サンプル・ホールド・コンデンサがアナログ信号を収集するのに十分な時間を与えます。変換フェーズ中は、コンパレータのゼロ調整スイッチがオープンして、コンパレータを比較モードにします。スイッチは C_{SMPL} コンデンサをグラウンドに

スイッチして、微分アナログ入力電荷をコンパレータの加算点に送ります。この入力電荷は、微分容量性DACから供給されるバイナリ・ウェイト電荷と逐次比較されます。ビットの決定は高速コンパレータで行われます。変換が終わると、微分DAC出力は A_{IN+} および A_{IN-} 入力電荷とバランスします。 A_{IN+} と A_{IN-} の差を表すSAR成分(16ビット・データ・ワード)が16ビット出力ラッチにロードされます。

デジタル・インタフェース

このA/Dコンバータは、メモリ・マップド・デバイスとしてマイクロプロセッサにインタフェースするように設計されています。 \overline{CS} および \overline{RD} コントロール入力は、すべての周辺メモリ・インタフェースに共通です。別々の \overline{CONVST} を使用して、変換を開始します。

内部クロック

このA/Dコンバータには内部クロックがあり、A/D変換を実行します。内部クロックは標準変換時間2.45 μ s、および全動作温度範囲における最大変換時間2.8 μ sを達成するように製造時に調整されています。外部調整は不要です。保証最大アクイジション・タイムは480nsです。さらに、3 μ sのスループット時間(収集 + 変換)と333kspsの最小サンプリング・レートが保証されています。

3V入出力コンパチブル

LTC1604は $\pm 5V$ で動作するので、5Vデジタル・システムに容易にインタフェースすることができます。また、このデバイスは3Vデジタル・システムにもインタフェース可能です。LTC1604のデジタル入力ピン(\overline{SHDN} 、 \overline{CS} 、 \overline{CONVST} 、 \overline{RD})は、3Vまたは5V入力を認識します。LTC1604はデジタル出力ピン(D0~D15、 \overline{BUSY})の出力振幅を制御し、デバイスを3Vまたは5Vデジタル・システムにインタフェースする専用の出力電源ピン(\overline{OVDD})を備えています。出力コードは2の相補バイナリです。

電源シャットダウン

LTC1604にはナップとスリープの2つのパワー・シャットダウン・モードがあり、非アクティブ期間中の電力を節減します。ナップ・モードでは消費電力が95%低減され、デジタル・ロジックとリファレンスだけが動作状態になります。ナップからアクティブになるまでのウェイクアップ時間は200nsです。スリープ・モードでは、すべてのバイアス電流がシャットダウ

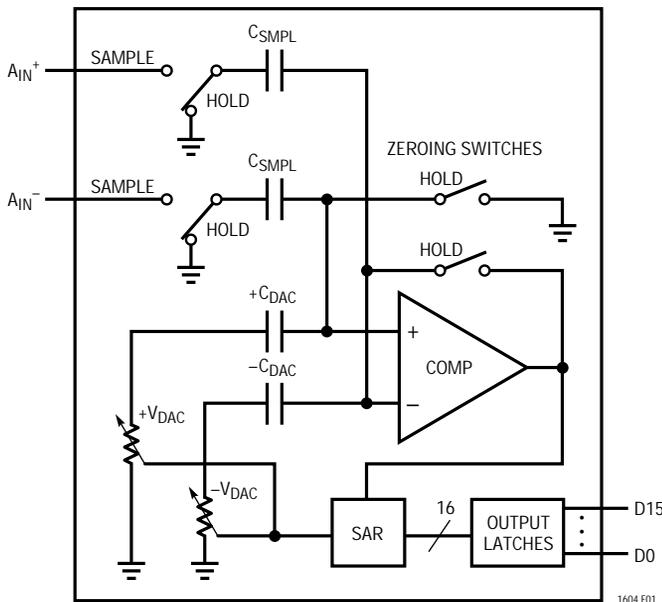


図1. 簡略ブロック図

アプリケーション情報

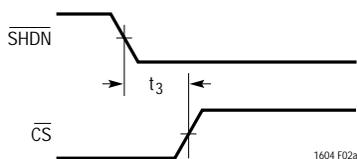


図2a. ナップ・モードからスリープ・モードへのタイミング

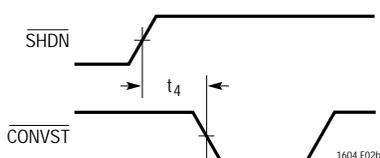


図2b. SHDNからCONVSTまでのウェイクアップ・タイミング

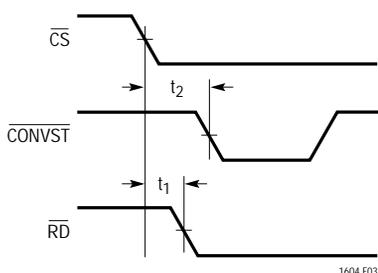


図3. CSからCONVSTのセットアップ・タイミング

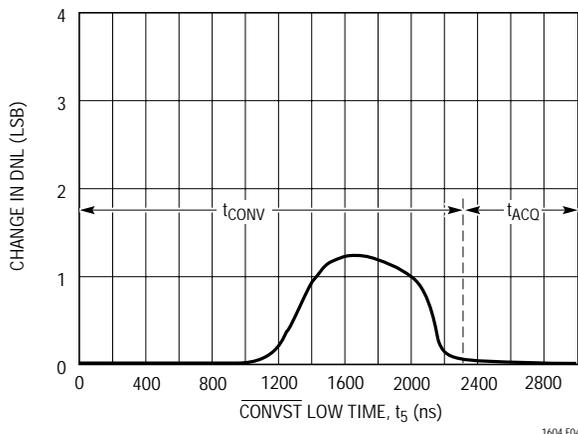


図4. DNLの変化とCONVST“L”時間。CONVSTパルスは変換の初期または変換終了後に“H”に戻るようにする。

ンされ、リーク電流だけが流れます(約 $1\mu\text{A}$)。スリープ・モードからのウェイクアップ時間は、リファレンス回路が立ち上がり安定しなければならないため、より低速になります。スリープ・モードのウェイクアップ時間は、REFCOMR(ピン4)に接続されたコンデンサの値によって決まります。ウェイクアップ時間は推奨される $47\mu\text{F}$ コンデンサでは 160ms です。

シャットダウンはピン33(SHDN)で制御されます。ADCはSHDNが“L”のときにシャットダウン状態になっています。シャットダウン・モードはピン32(CS)で選択されます。SHDNが“L”のとき、CSが“L”の場合はナップ・モード、CSが“H”のときはスリープ・モードを選択します。

タイミングとコントロール

変換スタートおよびデータ読み込み動作は、CONVST、CS、およびRDの3つのデジタル入力でコントロールされます。CONVSTピンに立下りエッジを印加すると、ADCが選択された後(すなわち、CSが“L”)変換を開始します。一度変換を開始すると、変換が完了するまで再スタートすることはできません。コンバータのステータスはBUSY出力で示されず。変換実行中、BUSYは“L”になっています。

図5と6に示すとおり、幅が狭いロジック“L”または“H”のCONVSTパルスを使って変換を開始することを推奨します。幅の狭い“L”または“H”のCONVSTパルスは、CONVSTパルスの立上りエッジが変換中の微妙なビット決定に影響を与えるのを防止します。図4はCONVSTパルスの“L”時間に対する微分直線性誤差の変化を示します。図に示すとおり、CONVSTが変換の初期(たとえば、CONVSTの“L”時間が 500ns 以下)に“H”に戻る場合、精度は影響を受けません。同様に、CONVSTが変換終了後に“H”に戻った場合(たとえば、CONVSTの“L”時間が t_{CONV} より長い)精度は影響を受けません。最良の結果を得るには、 t_5 を 500ns 以下または t_{CONV} より大きくしてください。

図5～図9に、いくつかの異なる動作モードを示します。モード1aと1b(図5と図6)では、CSとRDは両方とも“L”に接続されます。CONVSTの立下りエッジで変換を開始します。データ出力は常にイネーブルされ、データはBUSYの立上りエッジでラッチすることができます。モード1aは、幅の狭い論理“L”のCONVSTパルスによる動作を示します。モード1bは、幅の狭い論理“H”のCONVSTパルスによる動作を示します。

モード2(図7)では、CSは“L”に接続されます。CONVST信号

アプリケーション情報

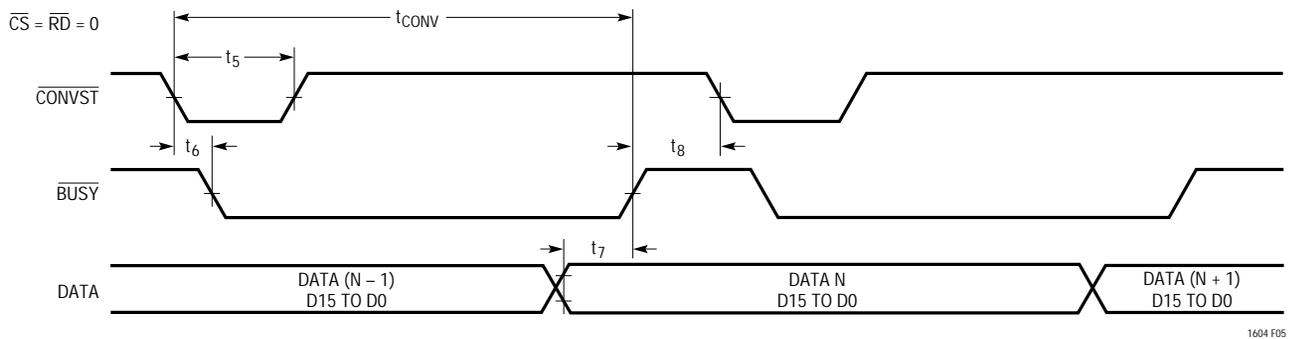


図5. モード1a. $\overline{\text{CONVST}}$ で変換を開始。データ出力は常にイネーブル
($\overline{\text{CONVST}} = \text{[Pulse]}$)

1604 F05

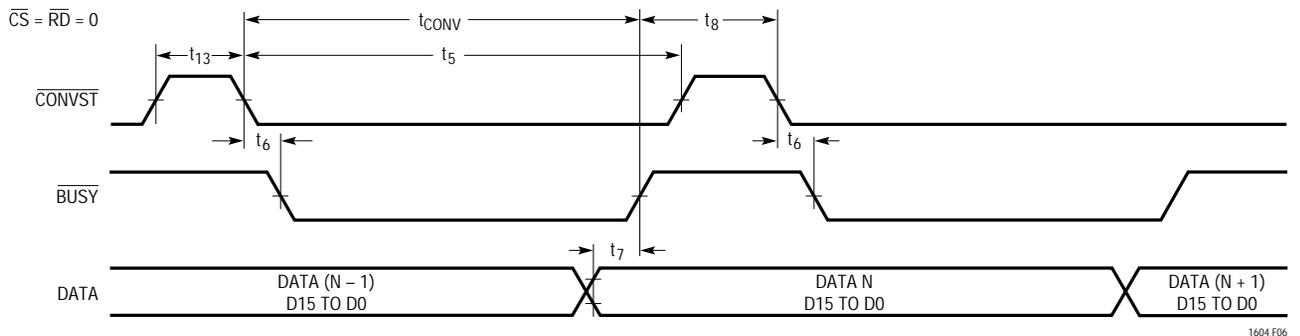


図6. モード1b. $\overline{\text{CONVST}}$ で変換を開始。データ出力は常にイネーブル
($\overline{\text{CONVST}} = \text{[Pulse]}$)

1604 F06

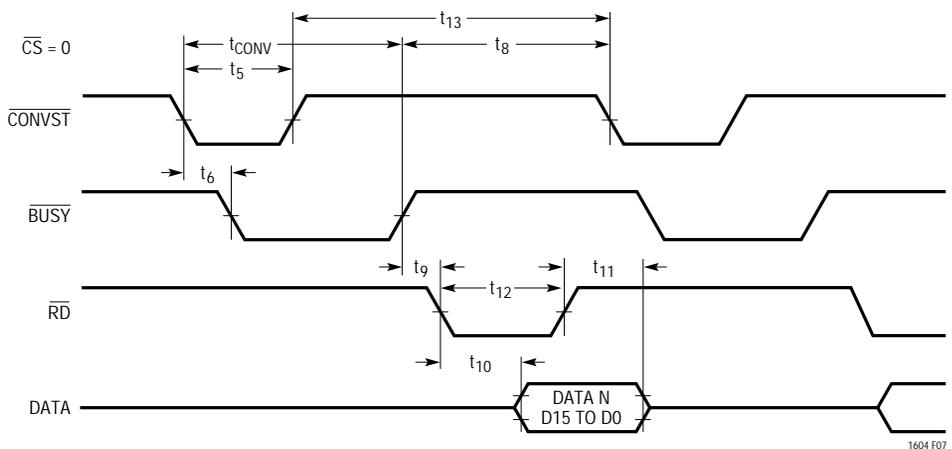


図7. モード2. $\overline{\text{CONVST}}$ で変換を開始。 $\overline{\text{RD}}$ によりデータを読み出し。

1604 F07

アプリケーション情報

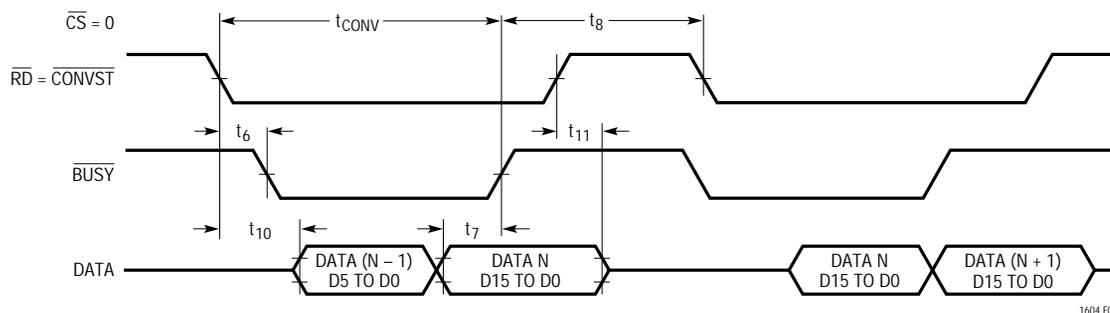


図8. モード2. 低速メモリ・モード・タイミング

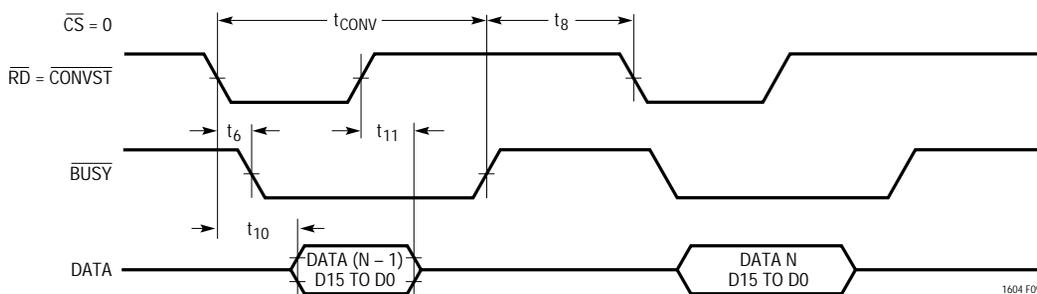


図9. ROMモード・タイミング

の立下りエッジで変換を開始します。データ出力は、MPUがRD信号で読み出すまでスリーステートになっています。モード2は共有データ・バスでの動作に使用できます。

低速メモリ・モードおよびROMモード(図8と図9)では、CSは“L”に接続され、CONVSTとRDは連結されます。MPUは変換を開始して、CONVST信号とRD信号の組合せにより出力を読み出します。変換はMPUまたはDSR(外部サンプル・クロックは不要)によって開始されます。

低速メモリ・モードでは、プロセッサはRD(=CONVST)にロジック“L”を印加します。BUSYが“L”になり、プロセッサを強制的に待ち状態にします。前の変換結果がデータ出力に現れます。変換が完了すると、新しい変換結果がデータ出力に現れます。BUSYが“H”になって、プロセッサを解放すると、プロセッサはRD(=CONVST)を“H”に戻して、新しい変換データを読み出します。

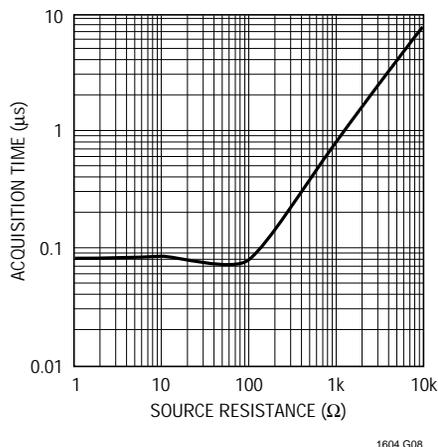
ROMモードでは、プロセッサはRD(=CONVST)を“L”にして変換を開始し、前の変換結果を読み出します。変換が完了すると、プロセッサは新しい結果を読み出して、別の変換を開始することができます。

差動アナログ入力

アナログ入力のドライブ

LTC1604の差動アナログ入力は簡単にドライブ可能です。入力は差動、あるいはシングルエンド入力として(すなわち、 A_{IN}^- 入力を接地)ドライブすることができます。 A_{IN}^+ 入力と A_{IN}^- 入力は同時にサンプリングされます。両方の入力に同相となる不要な信号は、サンプル・ホールド回路の同相除去比によって低減されます。入力電流は変換終了時にサンプル・ホールド・コンデンサを充電する間に1つだけ小さな電流スパイクを生じます。変換中、アナログ入力にはわずかなリーク電流しか流れません。ドライブ回路のソース・インピーダンスが低い場合は、LTC1604の入力を直接ドライブすることができます。ソース・インピーダンスが増加すると、アキュジション・タイムも増加します(図10参照)。ソース・インピーダンスが高いときに、アキュジション・タイムを最小にするには、バッファ・アンプを使用します。必要な条件は、アナログ入力をドライブするアンプが、小さな電流スパイクが発生した後、次の変換が開始する前に安定しなければならないことだけです(最大スループット・レートを得るに

アプリケーション情報

図10. t_{ACQ} とソース抵抗

は、セトリング時間が200nsであること)。

入力アンプの選択

いくつかの要求条件を考慮に入れれば、入力アンプは簡単に選択できます。最初に、アンプから見た電圧スパイクの大きさを制限してサンプリング・コンデンサを充電しないようにするために、閉ループ帯域幅周波数で低い出力インピーダンス(100以下)を持つアンプを選択します。たとえば、+1の利得と50MHzの閉ループ帯域幅をもつアンプを使用した場合、50MHzでの出力インピーダンスは、100以下でなければなりません。もう一つの要求条件は、最大スループット・レートを得るために十分な小信号セトリング時間を保証するには、閉ループ帯域幅が15MHz以上でなければなりません。低速オペアンプを使用する場合、変換と変換の間の時間を長くすれば、セトリングのための時間を長くすることができます。LTC1604をドライブする最良のオペアンプの選択は、アプリケーションによって異なります。

一般に、アプリケーションは次の2つのカテゴリーに分類されます。つまり、ダイナミック仕様が最も重要なACアプリケーションとDC精度およびセトリング・タイムが最も重要な時間領域アプリケーションです。以下のリストはLTC1604をドライブするのに適したオペアンプをまとめたものです。より詳しい情報は、リニアテクノロジーのデータブック、LinearView™ CD-ROM、および当社のWebサイト www.linear-tech.com で入手できます。

LT®1007：低ノイズ、高精度オペアンプ。電源電流2.7mA、電源電圧 $\pm 5V \sim \pm 15V$ 、利得帯域幅積8MHz、DCアプリケーション

LT1097：ローコスト、ローパワー高精度オペアンプ。電源電流300 μA 、電源電圧 $\pm 5V \sim \pm 15V$ 、利得帯域幅積0.7MHz、DCアプリケーション

LT1227：140MHzビデオ電流帰還アンプ。電源電流10mA、電源電圧 $\pm 5V \sim \pm 15V$ 、低ノイズ、低歪み

LT1360：37MHz電圧帰還アンプ。電源電流3.8mA、電源電圧 $\pm 5V \sim \pm 15V$ 、良好なAC/DCスペック

LT1363：50MHz電圧帰還アンプ。消費電流6.3mA、良好なAC/DCスペック

LT1364/LT1365：デュアルおよびクワッド50MHz電圧帰還アンプ。1アンプ当たり消費電流6.3mA、良好なAC/DCスペック

入力フィルタリング

入力アンプおよび他の回路のノイズと歪みがLTC1604のノイズと歪みに加えられるため、これらについても考慮しなければなりません。サンプル・ホールド回路の小信号帯域幅は15MHzです。アナログ入力に現れるノイズまたは歪みはこの全帯域幅に加えられます。ノイズの多い入力回路は、ノイズを低減するためにアナログ入力に送られる前にフィルタしなければなりません。多くのアプリケーションでは、単純な1ポールRCフィルタで十分です。たとえば、図11は A_{IN}^+ からグラウンドに3000pFコンデンサと100 Ω のソース抵抗を接続すると、入力帯域幅が530kHzに制限されることを示します。3000pFコンデンサは、入力サンプル・ホールドの電荷を蓄える働きをし、ADC入力をサンプリング・グリッチに敏感な回路から分離します。これらの部品が歪みを増加させる可能性があるため、高品質のコンデンサと抵抗を使用してください。NPOとシルバ・マイカ型誘電体コンデンサは、優れた直線性を備えています。また、カーボン表面実装抵抗は、自己加熱や半田付け中に生じる損傷によって歪みを発生するおそれがあります。金属フィルム表面実装抵抗は、これら両方の問題の影響を受けにくいものです。

LinearViewはリニアテクノロジー社の登録商標です。

アプリケーション情報

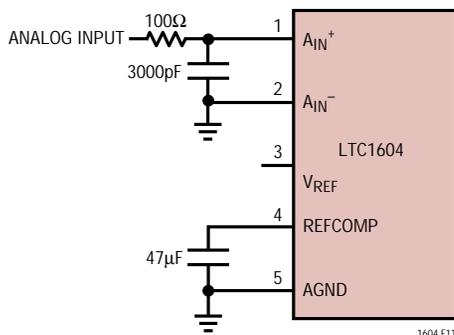


図11. RC入力フィルタ

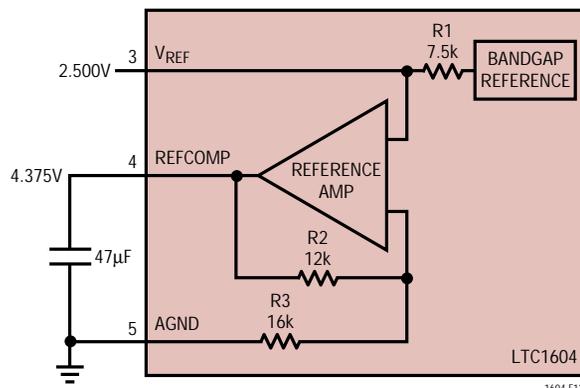


図12a. LTC1604リファレンス回路

入力範囲

LTC1604の $\pm 2.5\text{V}$ の入力範囲は、低ノイズおよび低歪みに最適化されています。ほとんどのオペアンプもこの範囲で良好に動作するため、アナログ入力への直接カップリングが可能で、特別な変換回路は必要ありません。

アプリケーションによっては、他の入力範囲が必要です。LTC1604差動入力およびリファレンス回路は、わずかな追加回路あるいはまったく追加回路なしで、他の入力範囲に対応できます。以下のセクションでは、リファレンスと入力回路、そしてそれらがどのように入力範囲に影響を与えるかを説明します。

内部リファレンス

LTC1604はオンチップの温度補償および曲線補正された、バンドギャップ・リファレンスを内蔵しており、このリファレンスは出荷時に 2.500V に調整されています。このリファレンスは内部でリファレンス・アンプに接続されており、 V_{REF} (ピン3)から外部に引き出されています(図12a参照)。 7.5k の抵抗が出力と直列に接続されているため、外部リファレンスまたは他の回路で簡単にオーバドライブできます。リファレンス・アンプは、 V_{REF} ピンの電圧を1.75倍にして、必要な内部リファレンス電圧を生成します。これによって、 V_{REF} ピンと高速容量性DAC間にバッファリングを提供します。リファレンス・アンプ補償ピン(REFCOMP、ピン4)は、コンデンサでグラウンドにバイパスしなければなりません。リファレンス・アンプは、 $22\mu\text{F}$ 以上のコンデンサで安定します。最高のノイズ性能を得るために、 $47\mu\text{F}$ のタンタル・コンデンサと並列に $0.1\mu\text{F}$ のセラミック・コンデンサを接続することを推奨しています。

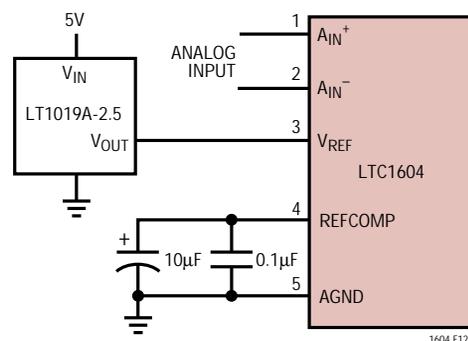


図12b. LT1019-2.5を外部リファレンスとして使用

図13に示すとおり、 V_{REF} ピンはDACまたは他の手段でドライブできます。これはピーク入力信号振幅が変化する可能性のあるアプリケーションに役立ちます。ADCの入力スパンを調整して、ピーク入力信号にマッチさせ、SN比を最大にすることができます。内部LTC1604リファレンス・アンプをフィルタすると、この回路の帯域幅とセトリング・タイムが制限されます。リファレンス調整後に、 20ms のセトリング・タイムを見ておかなければなりません。

差動入力

LTC1604にはレール・トゥ・レール入力を受け入れる独自の差動サンプル・ホールド回路があります。ADCは同相電圧に関係なく、 $A_{\text{IN}+} - A_{\text{IN}-}$ の差を変換します(図15a参照)。同相除去比は極端に高い周波数まで有効です(図14を参照)。唯一の条件は、両方の入力がREFCOMP電

RAIL-TO-RAILは日本モトローラ(株)の登録商標です。

アプリケーション情報

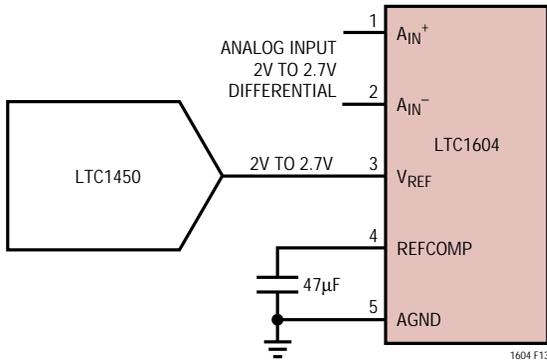


図13. DACによるV_{REF}のドライブ

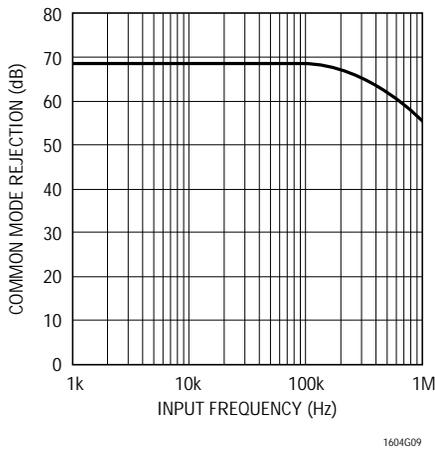


図14. CMRRと入力周波数

圧またはAV_{SS}電源電圧を上回ることができないことです。積分非直線性誤差(INL)と微分直線性誤差(DNL)は、同相電圧とは無関係ですが、バイポーラ・ゼロ誤差(BZE)は変化します。BZEの変化は標準で同相電圧の0.1%未満です。ダイナミック性能も同相電圧によって影響を受けます。THDは入力がいずれかの電源レールに近づくと、同相電圧が0Vのときの96dBから同相電圧が2.5Vまたは-2.5Vのときの86dBまで劣化します。

フルスケールおよびオフセット調整

図15aにLTC1604の理想的な入出力特性を示します。コード遷移は連続する整数のLSB値の間(すなわち、-FS + 0.5LSB、-FS + 1.5LSB、-FS + 2.5LSB、...FS - 1.5LSB、FS - 0.5LSB)に現れます。出力コードは、1LSB = FS - (-FS) / 65536 = 5V / 65536 = 76.3µVの2の相補バイナリです。

絶対精度が重要なアプリケーションの場合、オフセットとフルスケール誤差をゼロに調整できます。フルスケール誤差を調整する前に、オフセット誤差を調整しなければなりません。図15bにフルスケール誤差調整に必要な追加部品を示します。ゼロ・オフセットは、A_{IN-}入力に印加

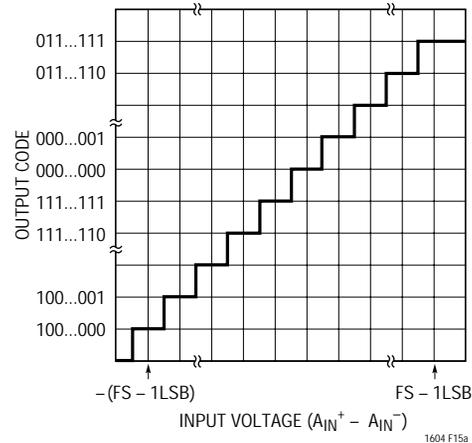


図15a. LTC1604の伝達特性

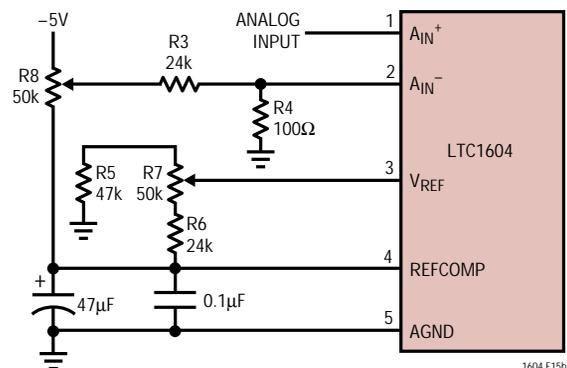


図15b. オフセットおよびフルスケール調整回路

アプリケーション情報

されるオフセットを調整して達成されます。オフセット誤差をゼロにするには、 $-38\mu\text{V}$ (すなわち、 -0.5LSB) を A_{IN}^+ に印加し、出力コードが 0000 0000 0000 0000 と 1111 1111 1111 1111 の間で変化するまで、 A_{IN}^- 入力のオフセットを調整します。フルスケール調整を行うには、 2.499886V の入力電圧 ($\text{FS}/2 - 1.5\text{LSB}$) を A_{IN}^+ に印加し、出力コードが 0111 1111 1111 1110 と 0111 1111 1111 1111 の間で変化するまで $R2$ を調整します。

ボード・レイアウトと接地

高分解能または高速 A/D コンバータには、ワイヤラップ・ボードは使用しないでください。LTC1604 から最適な性能を引き出すには、グラウンド・プレーン付きの PC ボードが必要です。レイアウトでは、デジタルおよびアナログ信号ラインができるだけ離れていなければなりません。特に ADC の下やアナログ信号トラックに沿ってデジタル・トラックを走らせないように注意してください。アナログ入力は AGND で遮蔽しなければなりません。

ロジックのシステム・グラウンドから離れたアナログ・グラウンド・プレーンを、ADC の下または周囲に設けなければなりません。ピン 5 ~ ピン 8 (AGND)、ピン 1 (ADC の DGND)、および他のすべてのアナログ・グラウンドは、このシングル・アナログ・グラウンド・ポイントに接続してください。また、REFCOMP バイパス・コンデンサと DV_{DD} バイパス・コンデンサもこのアナログ・グラウンド・プレーンに接続しなければなりません。他のデジタル・グラウンドをこのアナログ・グラウンド・プレーンに接続してはなりません。この ADC を低ノイズで動作させるのに、低インピーダンスのアナログおよびデジタル電源のコモン・リターンが不可欠です。また、これらのトラックのフォイル幅はできる限り広くなければなりません。ADC のデータ出力と制御信号が常時アク

ティブであるマイクロプロセッサ・バスに接続されるアプリケーションでは、変換結果に誤差が生じることがあります。これらの誤差は、マイクロプロセッサから逐次変換コンパレータへのフィードスルーによるものです。この問題は、変換中にマイクロプロセッサを WAIT ステートにするか、またはスリーステート・バッファを使って ADC のデータ・バスを分離すれば解決できます。ピンおよびバイパス・コンデンサに接続されるトレースはできる限り短く、また幅を広くとってください。

LTC1604 はノイズの結合を最小限に抑えるために差動入力を備えています。 A_{IN}^+ と A_{IN}^- リードの同相ノイズは入力 CMRR によって除去されます。 A_{IN}^- 入力を A_{IN}^+ 入力のグラウンド・センスとして使用することができます。LTC1604 は A_{IN}^+ と A_{IN}^- 間の電圧差を保持し変換します。 A_{IN}^+ (ピン 1) へのリードと A_{IN}^- (ピン 2) へのリードは、できる限り短くしてください。これが可能でないアプリケーションでは、 A_{IN}^+ および A_{IN}^- トレースを平行して走らせて、結合を等しくしなければなりません。

電源のバイパス

本データシートの図 16 と最初のページの標準的応用例に示すように、 V_{DD} および REFCOMP ピンには、高品質で直列抵抗が低い $10\mu\text{F}$ または $47\mu\text{F}$ のセラミック・バイパス・コンデンサを使用してください。村田製作所の GRM235Y5V106Z016 のような表面実装セラミック・コンデンサは、小さなボード・スペースに優れたバイパスを提供します。また、 $10\mu\text{F}$ のタンタル・コンデンサと $0.1\mu\text{F}$ のセラミック・コンデンサを並列に接続して代用することもできます。これらのコンデンサはできる限りピンの近くに配置します。ピンおよびバイパス・コンデンサに接続されるトレースはできる限り短く、また幅を広くとってください。

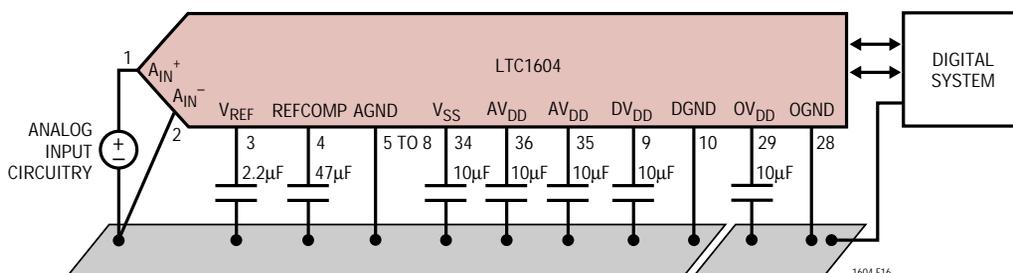


図16. 電源の接地方法

アプリケーション情報

DC性能

ADCのノイズは、次の2つの方法で評価することができます：つまり周波数領域でのSN比(SNR)と時間領域でのヒストグラムです。LTC1604は両方において優れています。図18aはLTC1604が周波数領域において90dB以上のSNRを持っていることを実証しています。時間領域ヒストグラムのノイズは、ADCの入力に印加された固定DC信号で測定可能な高分解能ADCに付随する遷移ノイズです。その結果の出力コードは、多数の変換を行って収集されます。コードの分布形状が遷移ノイズの大きさを示します。図17では、4096回デジタル化されたDC入力に対する出力コードの分布を示します。この分布はガウスであり、RMSコード遷移ノイズは約0.66LSBです。これはフルスケールに対して90.9dBのノイズ・レベルに相当します。16ビットADCに対する理論的な98dBの量子化誤差に加え、結果は90.1dBのSNRレベルに相当し、ダイナミック特性セクションの周波数領域測定と非常によく相関がとれています。

ダイナミック特性

LTC1604は非常に高速なサンプリング能力を備えています。ADCの定格スループットにおける周波数応答、歪み、およびノイズをテストするために、FFT(高速フーリエ変換)テスト・テクニックを使用しています。低歪み正弦波を付加し、FFTアルゴリズムを用いてデジタル出力を解析することにより、基本成分外の周波数に対するADCのスペクトル成分を調べることができます。図18aと18bは標準的なLTC1604 FFTプロットを示します。

SN比

SN + 歪み比 $S/(N + D)$ は、A/D出力における基本入力周波数のRMS振幅と他のすべての周波数成分のRMS振幅との比率です。出力はDCからサンプリング周波数の1/2の周波数帯域に限定されます。図18aに333kHzのサンプリング・レートと5kHz入力での標準スペクトル成分を示します。ダイナミック特性は入力周波数が167kHz以上のナイキスト限界まで良好です。

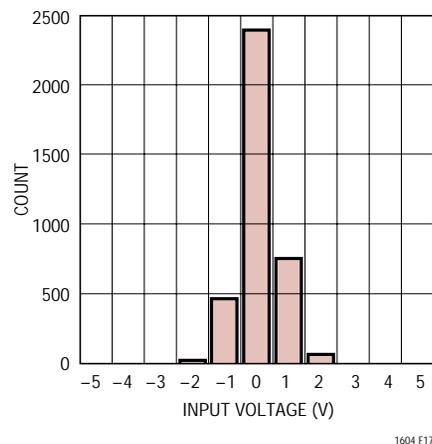


図17. 4096回変換のヒストグラム

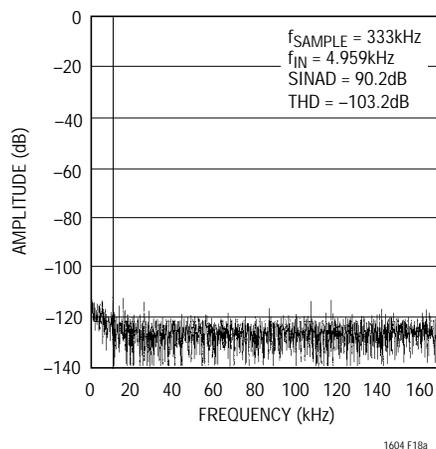


図18a. このLTC1604のフルスケール5kHz正弦波での変換のFFTは、333kspsでのサンプリング時に非常に低いノイズで優れた応答を示す。

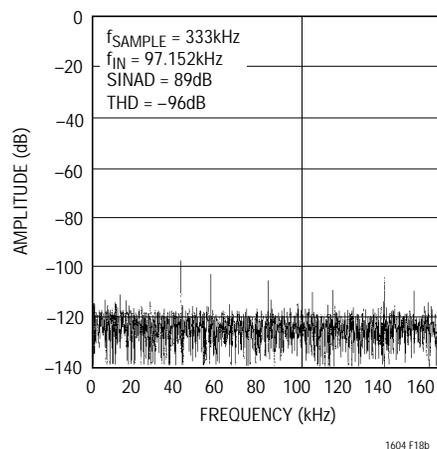


図18b. 100kHzの入力でも良好なLTC1604のダイナミック直線性

アプリケーション情報

有効ビット数

有効ビット数(ENOB)はADCの分解能の尺度であり、次式のとおり $S(N+D)$ に直接関係します。

$$N = [S(N+D) - 1.76] / 6.02$$

ここで、Nは分解能の有効ビット数であり、 $S(N+D)$ はdBで表されます。333kHzの最大サンプリング・レートで、LTC1604は167kHzのナイキスト入力周波数まで、非常に良好な14ビット以上を維持します(図19を参照)。

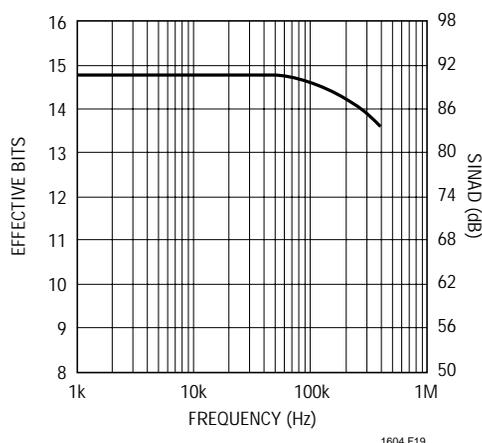


図19. 有効ビットおよび $S(N+D)$ と入力周波数

全高調波歪み

全高調波歪み(THD)は、入力信号のすべての高調波のRMSの合計と基本波との比率です。帯域外高調波は、DCとサンプリング周波数の1/2の周波数帯域に限定されます。THDは次式で表されます。

$$THD = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_1}$$

ここで、 V_1 は基本周波数のRMS振幅であり、 V_2 から V_n は第2高調波から第n次高調波の振幅です。THDと入力周波数の関係を図20に示します。LTC1604はナイキストおよびそれを超える周波数まで良好な歪み特性を有しています。

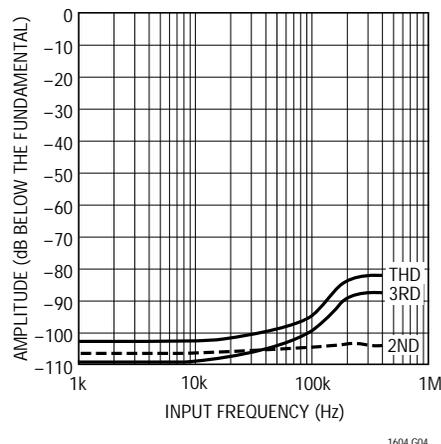


図20. 歪みと入力周波数

混変調歪み

ADC入力信号が2つ以上のスペクトル成分からなるときには、ADC伝達関数の非直線性によって、THDに加えて混変調(IMD)が発生する可能性があります。IMDは別の異なる周波数の正弦波入力が見られたときに、ある正弦波入力に起こる変化です。

ADC入力に f_a と f_b の2つの周波数の純粋な正弦波が供給されると、ADC伝達関数の非直線性によって、和および差の周波数 $m f_a \pm n f_b$ に歪み成分が形成されます。ただし、 m および $n = 0, 1, 2, 3, \dots$ です。たとえば、2次

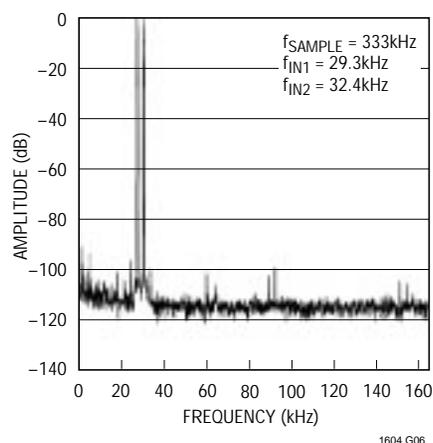


図21. 混変調歪みプロット

アプリケーション情報

IMDの項は($f_a + f_b$)です。2つの入力正弦波の振幅が等しい場合、2次IMD積の値(dB)は次式で表すことができます。

$$\text{IMD}(f_a + f_b) = 20 \text{Log} \frac{(f_a \pm f_b) \text{での振幅}}{f_a \text{での振幅}}$$

最大高調波またはスプリアス・ノイズ

最大高調波つまり最大スプリアス・ノイズは、入力信号とDCを除く最大スペクトル成分です。この値はフルスケール入力信号のRMS値に対するdBで表されます。

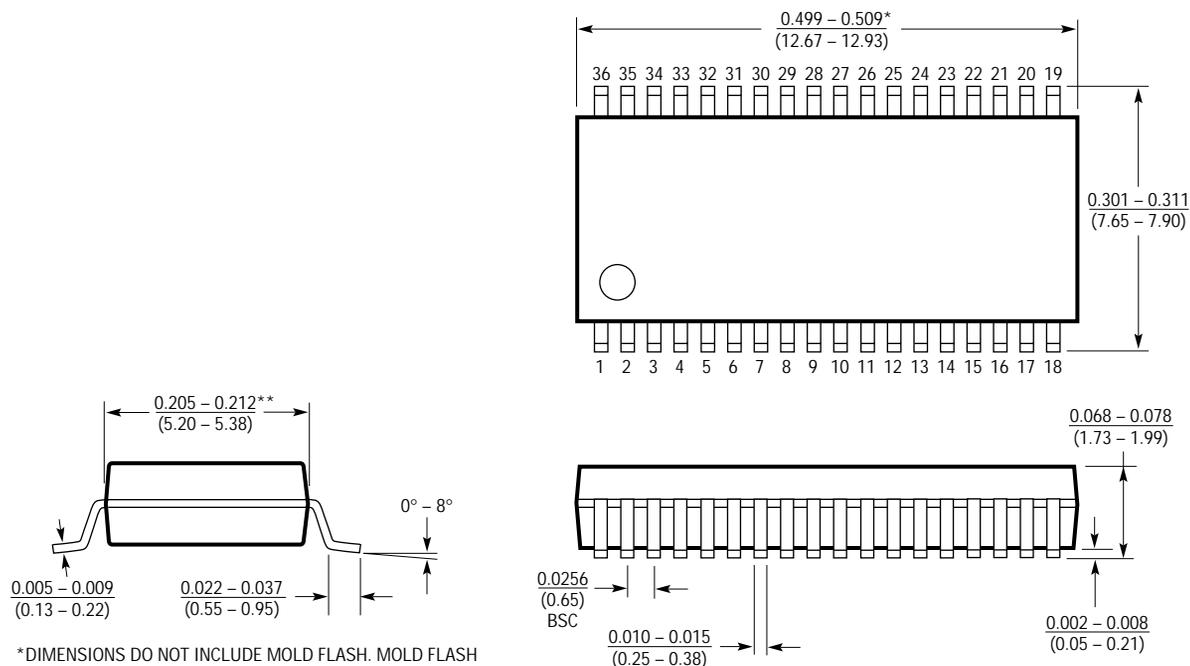
最大電力および最大直線帯域幅

最大電力帯域幅はフルスケール入力信号を供給したときに、再生される基本成分の振幅が3dBだけ低下する入力周波数です。

最大直線帯域幅は、 $S(N + D)$ が84dB(有効ビット13.66ビット)に低下する入力周波数です。LTC1604は入力帯域幅が最大になるように設計されており、ADCは入力信号をコンバータのナイキスト周波数より高い周波数でアンダーサンプルすることができます。ノイズ・フロアは高周波数でも非常に低く、ナイキスト周波数よりはるかに高い周波数では、 $S(N + D)$ は歪みが大きな部分を占めます。

パッケージ 寸法は特に指定がない限りinch(mm)

Gパッケージ
36リード・プラスチックSSOP(0.209)
(LTC DWG # 05-08-1640)

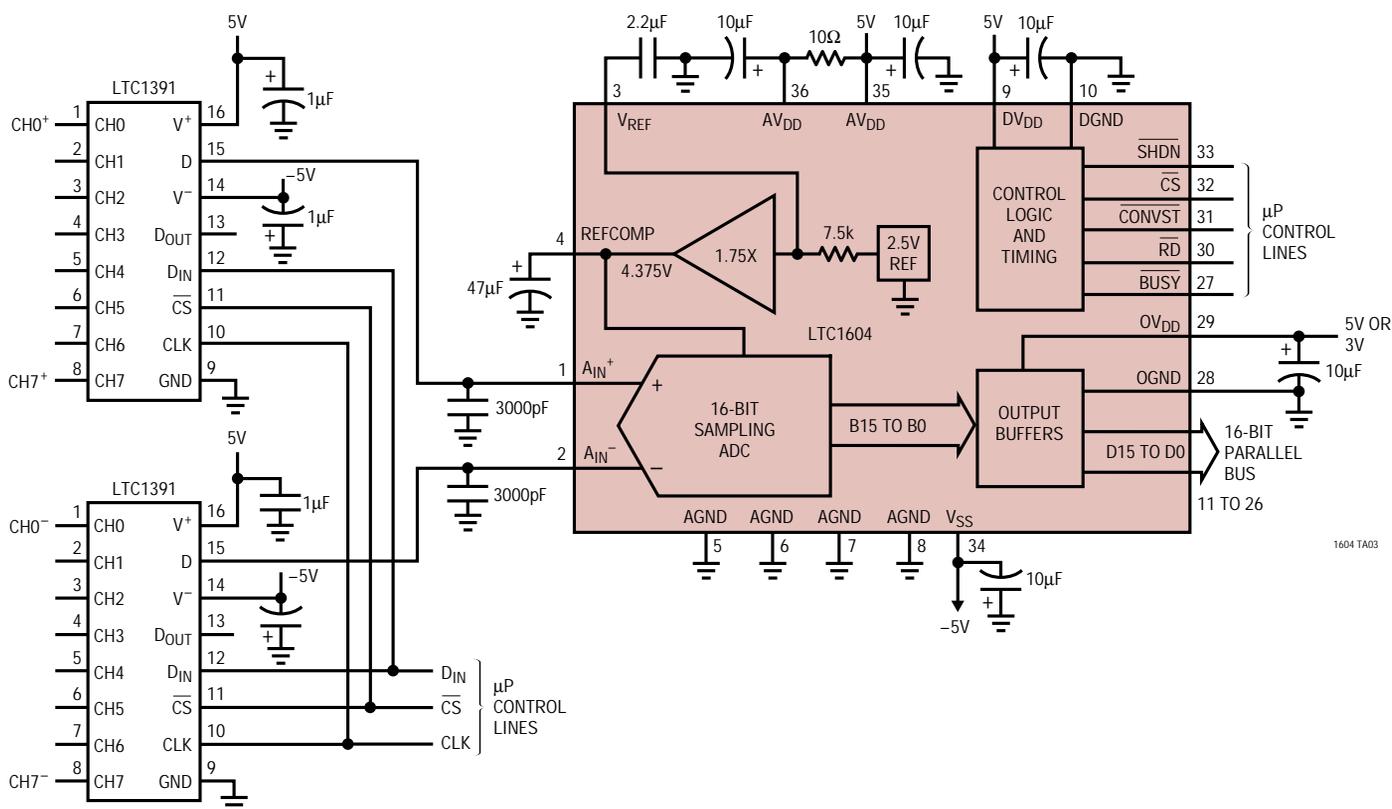


*DIMENSIONS DO NOT INCLUDE MOLD FLASH. MOLD FLASH SHALL NOT EXCEED 0.006" (0.152mm) PER SIDE
**DIMENSIONS DO NOT INCLUDE INTERLEAD FLASH. INTERLEAD FLASH SHALL NOT EXCEED 0.010" (0.254mm) PER SIDE

G36 SSOP 1196

標準的応用回路例

LTC1604と2つのLTC1391を8チャンネル差動16ビットADCシステムとして使用



関連製品

サンプリングADC

製品番号	説明	注釈
LTC1410	12ビット、1.25Mspsサンプリング、±5V ADC	消費電力150mWでナイキスト時のSINAD 71.5dB
LTC1415	12ビット、1.25Mspsサンプリング、単-5V ADC	消費電力55mW、SINAD 72dB
LTC1419	低消費電力14ビット、800ksps ADC	真の14ビット直線性、SINAD 81.5dB、消費電力150mW
LTC1605	16ビット、100ksps、単-5V ADC	±10V入力、55mW、バイトまたはパラレルI/O

DAC

製品番号	説明	注釈
LTC1595	SO-8の16ビットビット乗算型I _{OUT} DAC	最大INL/DNL ±1LSB、低グリッチ、DAC8043 16ビット・アップグレード
LTC1596	16ビット乗算型I _{OUT} DAC	最大INL/DNL ±1LSB、低グリッチ、AD7543/DAC8143 16ビット・アップグレード
LTC1650	16ビットのV _{OUT} DAC	低消費電力、低グリッチ、4象限、乗算型