

M5M5256DFP,VP-55LL,-70LL,-70LLI -55XL,-70XL

262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

概要

M5M5256DFP,VPシリーズは、シリコンゲートCMOSプロセス技術を用いた32768語×8ビット構成の5V単一電源で動作する非同期式のスタティックRAMです。

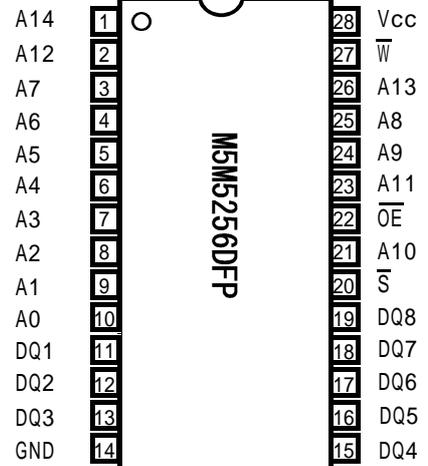
M5M5256DFP,VPシリーズは、パワーダウン機能のためのチップセレクト信号(\overline{S})と、I/Oバス上でのデータ競合を防ぐためのアウトプットイネーブル信号(\overline{OE})を有しています。

M5M5256DVPシリーズは、従来のスモールアウトラインパッケージに比べ、実装面積が1/2、厚さも1/2になりますので高密度実装に最適です。

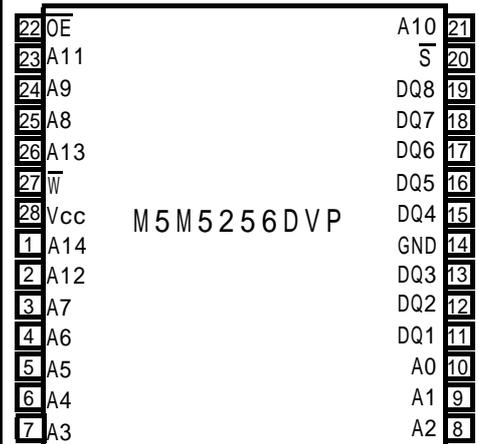
特長

形名	アクセス時間 (最大)	動作周囲温度	消費電流	
			動作時 (最大)	スタンバイ時 (最大)
M5M5256DFP,VP-55LL M5M5256DFP,VP-70LL	55ns 70ns	0~70	50mA ($V_{CC}=5.5V$)	20 μA ($V_{CC}=5.5V$)
M5M5256DFP,VP-70LLI	70ns	-40~85		40 μA ($V_{CC}=5.5V$)
M5M5256DFP,VP-55XL M5M5256DFP,VP-70XL	55ns 70ns	0~70		5 μA ($V_{CC}=5.5V$) 0.05 μA ($V_{CC}=3.0V$ 標準値)

ピン接続図 (上面図)



外形 28P2W-C (FP)



外形 28P2C-A (VP)

- ・5V単一電源
- ・外部クロック及びリフレッシュ操作不要
- ・電源電圧 2Vでのデータ保持可能
- ・入出力ともTTL直結可能
- ・出力はスリーステートでORタイ可能
- ・チップセレクト信号により、メモリ容量の拡張が可能
- ・ \overline{OE} 入力によりI/Oバスでのデータの競合の防止
- ・データ端子は入力、出力が共通
- ・低スタンバイ電流 0.05 μA (標準値)

PACKAGE

M5M5256DFP 28 pin 450 mil SOP
M5M5256DVP 28 pin 8 x 13.4 mm² TSOP

応用

バッテリー駆動、バッテリーバックアップ付小容量記憶装置

M5M5256DFP,VP-55LL,-70LL,-70LLI -55XL,-70XL

262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

機能概要

M5M5256DFP,VPシリーズは、32768語×8ビット構成で5V単一電源で動作し、入出力はTTLと直結可能です。さらに完全スタティック回路であるため、外部クロック及びリフレッシュ動作が不要であり非常に使い易くなっています。書き込み時には、アドレスA0～A14で番地を指定し \overline{S} 信号を"L"にしてDQ端子を入力モードにし \overline{W} 信号を"L"にすると、その時のDQ端子のデータが書き込まれます。

読み出し時は、 \overline{W} 信号を"H"、 \overline{S} 信号及び \overline{OE} 信号を"L"にしてDQ端子を出力モードにし、A0～A14で番地を指定すると、指定された番地のデータがDQ端子に出力されます。

\overline{S} を"H"にするとチップは読み出しも書き込みもできない非選択状態になります。このとき出力はフローティング状態(高インピーダンス状態)になりますので、他チップとのORタイが可能です。

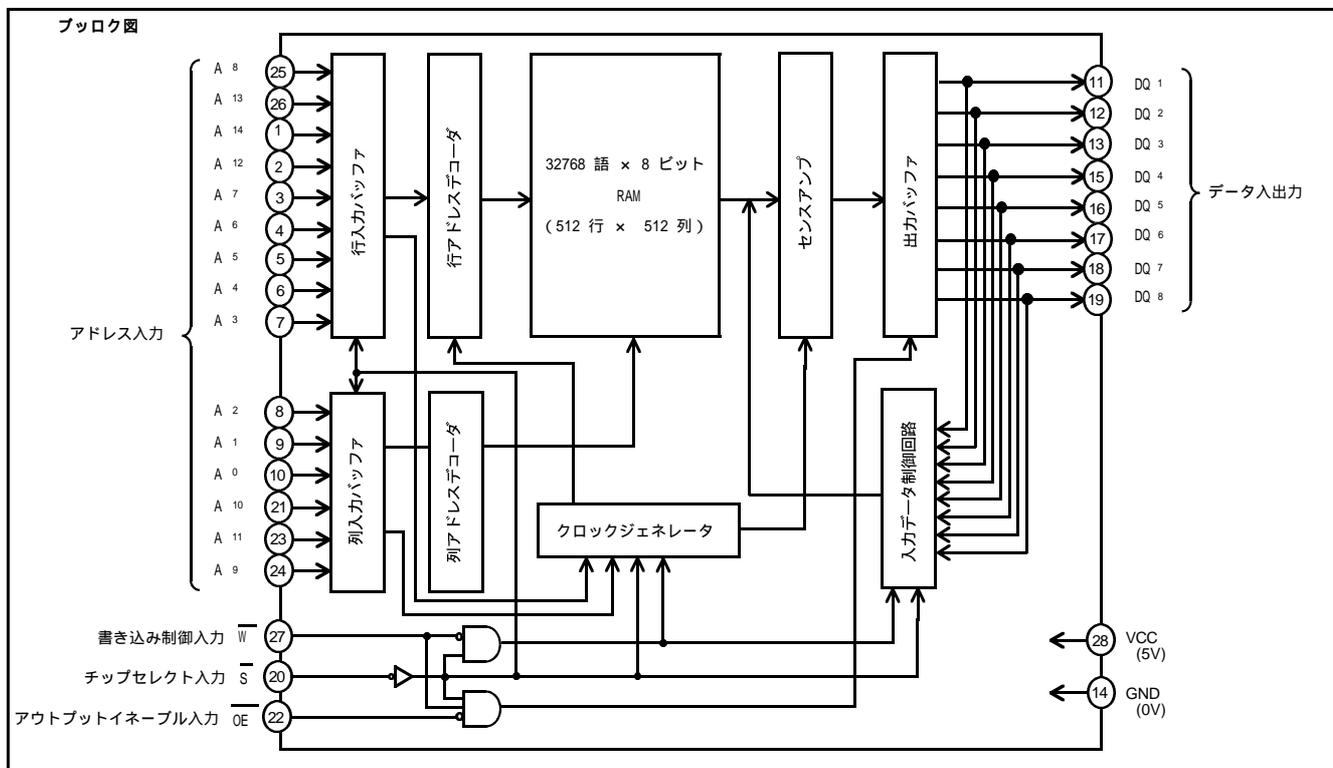
\overline{OE} 信号を"H"にすると出力はフローティング状態になります。I/Oバス方式で使用する場合、書き込み時 \overline{OE} を"H"にするとバス上での入力データと出力データの競合が避けられます。また \overline{S} 信号をVCCにした場合スタンバイ状態となります。

M5M5256DFP,VP-XLシリーズでは、電源電流は0.05 μ A(標準値)とごく少ない状態となり電源電圧を2Vに下げても記憶データは保持されますので、停電時のバッテリーバックアップ、あるいは非選択時のパワーダウンが可能です。

機能表

\overline{S}	\overline{W}	\overline{OE}	モード	DQ	I _{cc}
H	X	X	非選択	高インピーダンス	スタンバイ
L	L	X	書き込み	D _{IN}	動作
L	H	L	読み出し	D _{OUT}	動作
L	H	H	—	高インピーダンス	動作

注・機能表中の"H"および"L"はそれぞれVIH,VILであることを示します。
・機能表中の"X"は"H"もしくは"L"のどちらか一方であることを意味します。



M5M5256DFP,VP-55LL,-70LL,-70LLI

-55XL,-70XL

262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

絶対最大定格

記号	項目	条件	定格値	単位
V _{CC}	電源電圧	GND端子を基準 とした場合	-0.3 ~ 7	V
V _I	入力電圧		-0.3* -V _{CC} +0.3	V
V _O	出力電圧		0 ~ V _{CC}	V
P _d	最大消費電力	T _a =25	700	mW
T _{opr}	動作周囲温度	-LL, -XL	0 ~ 70	
		-LLI	-40 ~ 85	
T _{stg}	保存温度		-65 ~ 150	

* パルス幅30ns以下の場合、 - 3.0V

直流電気的特性 (指定のない場合は、V_{CC}=5V ± 10%)

記号	項目	測定条件	定格値			単位	
			最小	標準	最大		
V _{IH}	"H" 入力電圧		2.2		V _{CC} +0.3	V	
V _{IL}	"L" 入力電圧		-0.3*		0.8	V	
V _{OH}	"H" 出力電圧	I _{OH} =-1mA	2.4			V	
		I _{OH} =-0.1mA	V _{CC} -0.5				
V _{OL}	"L" 出力電圧	I _{OL} =2mA			0.4	V	
I _I	入力リーク電流	V _I =0 ~ V _{CC}			±1	μA	
I _O	出力リーク電流	$\overline{S}=V_{IH}$ or $\overline{OE}=V_{IH}$, V _{I/O} =0 ~ V _{CC}			±1	μA	
I _{CC1}	電源電流 (AC, MOS レベル)	\overline{S} 0.2V 他入力 0.2V or V _{CC} -0.2V 出力端子開放	55ns	30	45	mA	
			70ns	25	40		
			1MHz	2	4		
I _{CC2}	電源電流 (AC, TTL レベル)	$\overline{S}=V_{IL}$ 他入力=V _{IH} or V _{IL} 出力端子開放	55ns	30	50	mA	
			70ns	25	45		
			1MHz	4	8		
I _{CC3}	スタンバイ電流	\overline{S} V _{CC} -0.2V 他入力=0 ~ V _{CC}	~ 25	-LL, LLI		2	μA
				-XL	0.1	0.4	
			~ 40	-LL, LLI		6	
				-XL		1.2	
			~ 70	-LL, LLI		20	
~ 85	-XL		5				
I _{CC4}	スタンバイ電流	$\overline{S}=V_{IH}$ 、他入力=0 ~ V _{CC}			3	mA	
C _I	入力容量 (T _a =25)	V _I =GND、V _I =25mVrms、f=1MHz			6	pF	
C _O	出力容量 (T _a =25)	V _O =GND、V _O =25mVrms、f=1MHz			8	pF	

* パルス幅30ns以下の場合、 - 3.0V

注 1: ICに流れ込む向きを正 (無符号) とします。

注 2: 標準値は、V_{CC}=5V、T_a=25 での値です。注 3: C_I、C_Oは、全数測定されたものではなく、サンプル値です。

M5M5256DFP,VP-55LL,-70LL,-70LLI

-55XL,-70XL

262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

交流電氣的特性 (指定のない場合は、 $V_{CC}=5V \pm 10\%$)

リードサイクル

記号	項目	-55LL, -55XL		-70LL, -70XL, -70LLI		単位
		最小	最大	最小	最大	
tCR	リードサイクル時間	55		70		ns
ta(A)	アドレスアクセス時間		55		70	ns
ta(S)	チップセレクトアクセス時間		55		70	ns
ta(OE)	出カインーブルアクセス時間		30		35	ns
t _{dis} (S)	出力ディスエーブル時間 (\overline{S} から)		20		25	ns
t _{dis} (OE)	出力ディスエーブル時間 (\overline{OE} から)		20		25	ns
ten(S)	出カインーブル時間 (\overline{S} から)	5		5		ns
ten(OE)	出カインーブル時間 (\overline{OE} から)	5		5		ns
tv(A)	アドレス後データ有効時間	10		10		ns

ライトサイクル

記号	項目	-55LL, -55XL		-70LL, -70XL, -70LLI		単位
		最小	最大	最小	最大	
tCW	ライトサイクル時間	55		70		ns
tw(W)	ライトパルス幅	40		50		ns
tsu(A)	アドレスセットアップ時間	0		0		ns
tsu(A-WH)	ライトパルスの立ち上がりに対する アドレスセットアップ時間	50		65		ns
tsu(S)	チップセレクトセットアップ時間	50		65		ns
tsu(D)	データセットアップ時間	25		30		ns
th(D)	データホールド時間	0		0		ns
trec(W)	ライトリカバリー時間	0		0		ns
t _{dis} (W)	出力ディスエーブル時間 (\overline{W} から)		20		25	ns
t _{dis} (OE)	出力ディスエーブル時間 (\overline{OE} から)		20		25	ns
ten(W)	出カインーブル時間 (\overline{W} から)	5		5		ns
ten(OE)	出カインーブル時間 (\overline{OE} から)	5		5		ns

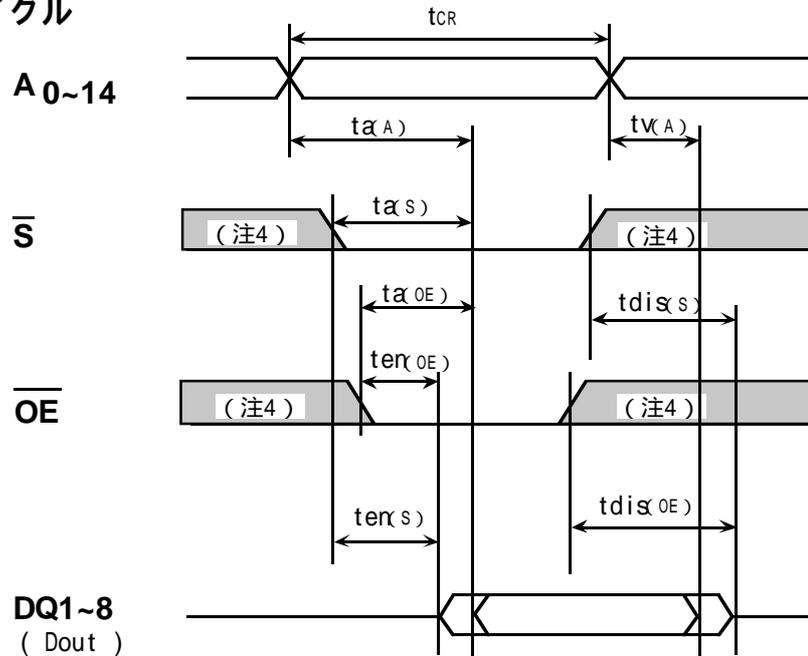
M5M5256DFP, VP-55LL, -70LL, -70LLI

-55XL, -70XL

262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

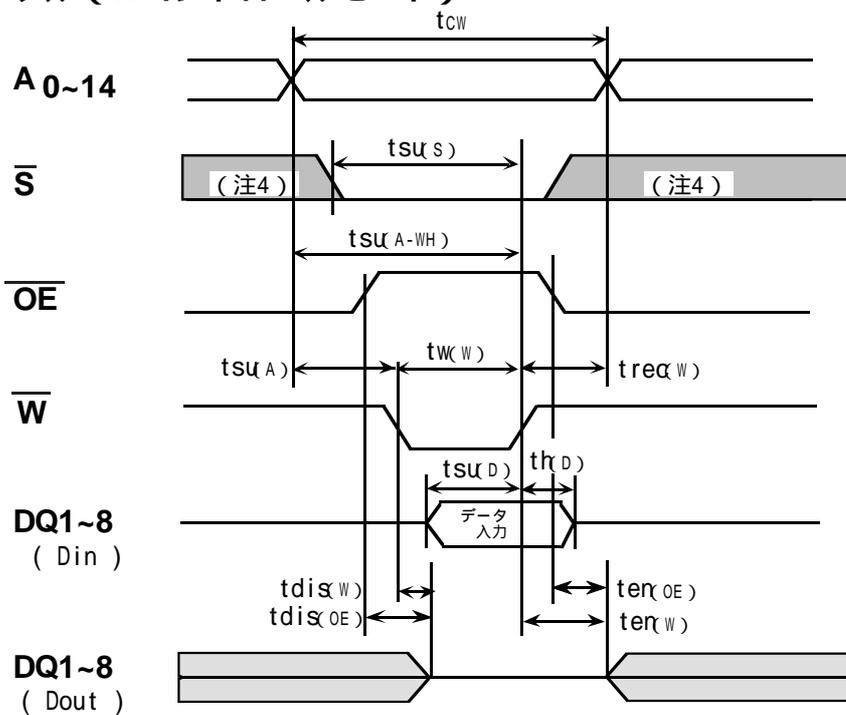
タイミング図

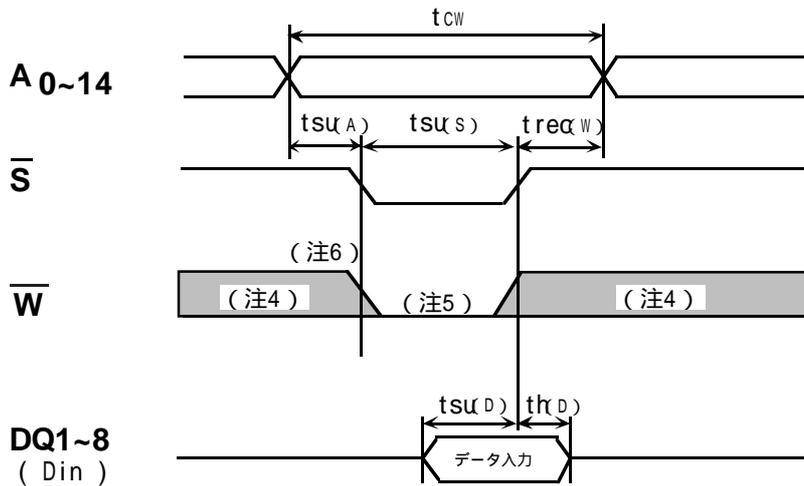
リードサイクル



\overline{W} = "H" level

ライトサイクル (\overline{W} コントロールモード)



ライトサイクル (\overline{S} コントロール)

(1) 測定条件

入力パルス電圧 : $V_{IH} = 2.4V$, $V_{IL} = 0.6V$
 入力パルス上昇、下降時間 : 5ns
 判定条件 : $V_{OH} = V_{OL} = 1.5V$
 t_{en} , t_{dis} のタイミングは、出力が一定状態の電圧から $\pm 500mV$ 変化した点で測定されます。
 負荷 (図1) : $C_L = 50pF$ (-55LL, -55XL)
 $C_L = 100pF$ (-70LL, -70XL, -70LLI)
 $C_L = 5pF$ (t_{en} , t_{dis} 測定の場合)

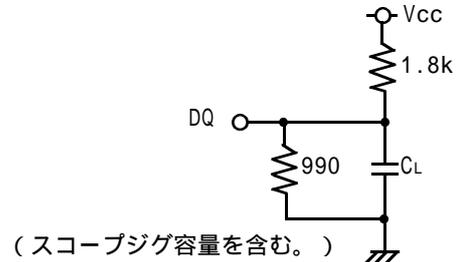


図1 出力負荷

注4 : 斜線部は、"H", "L" いずれの状態でもよい。

注5 : 書き込みは、 \overline{S} と \overline{W} が "L" のオーバーラップ期間中に行われます。

注6 : \overline{W} の立ち下がりや \overline{S} の立ち下がりと同時にそれ以前に行うと出力は高インピーダンス状態に保たれます。

注7 : DQ端子が出力状態にあるとき、外部から逆位相の信号を印加しないでください。

注8 : t_{en} , t_{dis} は、全数測定されたものではなく、サンプル値です。

M5M5256DFP,VP-55LL,-70LL,-70LLI

-55XL,-70XL

262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

パワーダウン特性

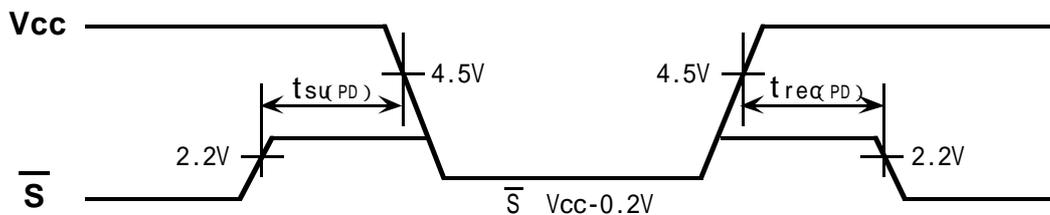
電気的特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
$V_{CC(PD)}$	パワーダウン電源電圧		2			V	
$V_{I(\bar{S})}$	チップセレクト入力電圧	2.2V $V_{CC(PD)}$	2.2			V	
		2V $V_{CC(PD)}$ 2.2V		$V_{CC(PD)}$			
$I_{CC(PD)}$	パワーダウン電源電流	$V_{CC}=3V$ $\bar{S} V_{CC}-0.2V$, 他入力=0~3V	~ 25	-LL, -LLI		1	μA
				-XL	0.05	0.2	
			~ 40	-LL, -LLI		3	
				-XL		0.6	
			~ 70	-LL, -LLI		10	
				-XL		2	
~ 85	-LLI		20				

タイミング必要条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{su(PD)}$	パワーダウンセットアップ時間		0			ns
$t_{rec(PD)}$	パワーダウンリカバリー時間		t_{CR}			ns

パワーダウン特性

 \bar{S} コントロール

ルネサス半導体 <LSI>
M5M5256DFP,VP-55LL,-70LL,-70LLI
-55XL,-70XL
262144-BIT (32768-WORD BY 8-BIT) CMOS STATIC RAM

株式会社ルネサス テクノロジ 東京都千代田区大手町 2-6-2 〒100-0004

安全設計に関するお願い 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料
ご利用に
際しての
留意事項

- 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。