RX62N/RX621グループ

ルネサスマイクロコンピュータ

R01DS0052JJ0100
Rev.1.00
2011.01.14

100MHz、32ビットRX MCU、FPU内蔵、165 DMIPS、最大512Kバイトフラッシュメモリ、USB2.0フルスピード　ホスト/ファンクション/OTG イーサネット、CAN、12ビットADC、TFT-LCD、RTC、最大14本の通信I/F

特長

■ 32 ビット RX CPU コア内蔵
- 最大動作周波数 100MHz
  165 DMIPS の性能（100MHz 動作時）
- 32 ビット単精度浮動小数点（IEEE754 に準拠）
- 32×32 → 64 ビット演算結果（1 命令）のアキュームレータ
- 乗除算器 32×32 ビット（乗算命令は 1CPU クロック）
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- メモリプロテクションユニット（MPU）対応
- JTAG デバッグ機能および高速トレース機能

■消費電力低減機能
- 2.7V ～ 3.6V 動作の単一電源
- 全周辺機能サポート時、500μA/MHz の消費電力
- RTC を使用したディープソフトウェアスタンバイモード
- 4 種類の低消費電力モード

■内蔵メインフラッシュメモリ（ウェイトなし）
- 100MHz 動作、10 n sec 読み出しサイクル
- CPU フルスピード読み出し時、ウェイトなし
- 256K/384K/512K バイトの容量
- 命令、オペランド用
- USB、SCI、JTAG からのユーザ書き込み

■内蔵データフラッシュメモリ
- 最大 32K バイト（30K 回消去可能）
- CPU に負荷をかけない書き込み / 消去

■内蔵 SRAM（ウェイトなし）
- 64K/96K バイト SRAM
- オペランド、命令用
- ディープソフトウェアスタンバイモード時のバックアップ保存機能

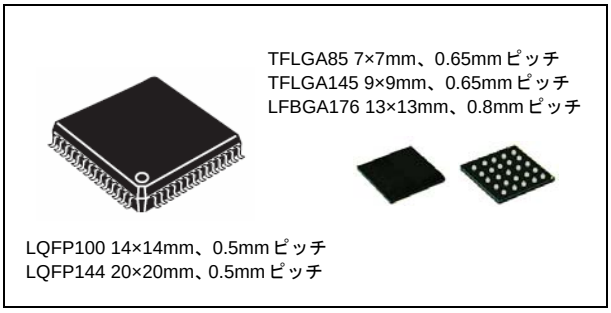
■ DMA
- DMA：4 チャネル内蔵
- 外部間転送用 EXDMA：2 チャネル内蔵
- DTC

■リセットおよび電源電圧制御
- 常時パワーオンリセット（POR）内蔵
- 低電圧検出機能（LVD）の設定可能

■クロック機能
- 外部水晶発振、内部 PLL 対応 8MHz ～ 14MHz
- システム、USB、イーサネット向け PLL
- IWDT 用、内部 125kHz LOCO クロック
- 外部水晶発振、32kHz RTC 用専用クロック

■リアルタイムクロック内蔵

■独立ウォッチドッグタイマ内蔵
- 125kHz LOCO クロック動作



■最大 14 本の通信インタフェース内蔵
- (2) PHY 付き USB2.0 フルスピード
- ホスト / ファンクション / OTG に対応
  10 エンドポイント：Control, Interrupt, Bulk, Isochronous
- (1) イーサネット MAC 10/100 Mbps、
  全 2 重 / 半 2 重モードに対応
  2K バイト受信 / 送信 FIFO 付き専用 DMA
  RMII/MII インタフェースに対応
- (1) CAN (ISO11898-1 準拠), 32 メールボックス内蔵
- (6) SCI
  調歩同期式モード / クロック同期式モード /
  スマートカードインタフェースモード
- (2) I^2C バスインタフェース　最大 1M bps 転送、SMBus に対応
- (2) RSPI

■外部アドレス空間
- 8 つの CS 領域（8×16 M バイト）
- 128 M バイトの SDRAM 領域
- エリアごとに 8/16/32 ビットバス空間を選択可能

■ WQVGA までの TFT-LCD に対応

■最大 20 本の拡張タイマ機能
- (12) 16 ビット MTU2：インプットキャプチャ、アウトプットコンペア、PWM 波形出力、位相計数モード
- (4) 8 ビット TMR
- (4) 16 ビット CMT

■ 1MHz 動作 A/D コンバータ内蔵
- 1サンプル/ホールド回路内蔵 12ビット×8チャネル、または、1 サンプル / ホールド回路内蔵 10 ビット × 4 チャネル 2 ユニット
- A/D 変換値加算機能（12 ビット A/D コンバータ）

■ 10 ビット D/A コンバータ内蔵：2 チャネル

■最大 128 本の GPIO 内蔵
- 5V トレラント、オープンドレイン、入力プルアップ

■動作周囲温度
- –40 ℃ ～ +85 ℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 に製品別機能対応表を示します。

表1.1　仕様概要 (1 / 4)

分類	モジュール／機能	説明
CPU	中央演算処理装置	● 最大動作周波数：100MHz ● 32ビットRX CPU ● 最小命令実行時間：1命令1クロック ● アドレス空間：4Gバイト・リニアアドレス ● レジスタ 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×9本 アキュムレータ：64ビット×1本 ● 基本命令：73種類 ● 浮動小数点演算命令：8種類 ● DSP機能命令：9種類 ● アドレッシングモード：10種類 ● データ配置 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 ● 32ビット乗算器：32ビット×32ビット→64ビット ● 除算器：32ビット÷32ビット→32ビット ● バレルシフタ：32ビット ● メモリプロテクションユニット（MPU)（オプション）（注1）
	FPU	● 単精度浮動小数点数（32ビット） ● IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	● ROM容量：最大512Kバイト ● 2種類のオンボードプログラミングモード ブートモード（SCI、USB を使用してユーザマットを書き換え可能） ユーザプログラムモード ● パラレルライタモード（オフボードプログラミング）
	RAM	RAM容量：最大96Kバイト
	データフラッシュ	データROM容量：32Kバイト
MCU動作モード		シングルチップモード、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード（ソフトウェア切り替え）
クロック	クロック発生回路	● 2回路：メインクロック発振回路、サブクロック発振回路 ● 内部発振：低速オンチップオシレータ ● PLL周波数シンセサイザと周波数分周回路で構成され、動作周波数を選択可能 ● 発振停止検出：あり ● システムクロック（ICLK)、周辺モジュールクロック（PCLK)、外部バスクロック（BCLK）を個別に設定可能 CPU、バスマスタなどのシステム系は、ICLK同期：8～100MHz 周辺モジュールは、PCLK同期：8～50MHz 外部バスに接続するデバイスは、BCLK同期：8～50MHz（注2）
リセット		端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット
電圧検出回路		VCCが電圧検出レベル（Vdet）以下になると内部リセットまたは内部割り込みを発生
低消費電力	消費電力低減機能	● モジュールストップ機能 ● 4種類の低消費電力状態 スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

注1.　MPUについては、弊社営業窓口までお問い合わせください。
注2.　100ピンLQFP版、85ピンTFLGA版では、BCLK同期：8～25MHz です。

表1.1　仕様概要 (2 / 4)

分類	モジュール／機能	説明
割り込み	割り込みコントローラ	• 周辺機能割り込み：要因数146 • 外部割り込み：要因数 16（IRQ0～IRQ15端子） • ノンマスカブル割り込み：要因数 3（NMI端子、発振停止検出割り込み、電圧監視割り込み） • 16レベルの割り込み優先順位を設定可能
	ユーザブレーク コントローラ （オプション）	• 2チャネルのブレークポイント フェッチサイクルにアドレスブレークが設定可能（ROM訂正が可能）
外部バス拡張		• 外部アドレス空間を9つのエリア（CS0～CS7、SDCS）に分割して管理 各エリアの領域：16Mバイト（CS0～CS7）、128Mバイト（SDCS） エリアごとにチップセレクト（CS0#～CS7#、SDCS#）出力可能 エリアごとに8ビットバス空間／16ビットバス空間／32ビットバス空間を選択可能 （32ビットバス空間は176ピン版のみ） エリアごとにエンディアンを設定可能（データのみ） • SDRAMインタフェース接続可能 • バス形式：セパレートバス • ウェイト制御可能 • ライトバッファ機能
DMA	DMAコントローラ	• 4チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	EXDMAコントローラ	• 2チャネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モード • EDACK信号によるシングルアドレス転送が可能 • TFT LCDパネルへのダイレクトデータ転送が可能 • 起動要因：ソフトウェアトリガ、外部DMAリクエスト（EDREQ）、周辺機能割り込み
	データトランスファ コントローラ	• 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
I/Oポート	プログラマブル入出力 ポート	176ピンLFBGA/145ピンTFLGA/144ピンLQFP/100ピンLQFP/85ピンTFLGAのI/Oポート • 入出力：126/103/103/72/58 • 入力：2/2/2/2/2 • プルアップ抵抗：56/44/44/40/28 • オープンドレイン出力：35/33/33/27/23 • 5Vトレラント：11/11/11/7/6
タイマ	マルチファンクション タイマパルスユニット	• （16ビット× 6チャネル）×2ユニット • 16ビットタイマ12チャネルをベースに最大32本のパルス入出力、および6本のパルス入力が可能 • チャネルごとに8種類のカウントクロック（PCLK/1、PCLK/4、PCLK/16、PCLK/64、MTCLKA、MTCLKB、MTCLKC、MTCLKD）を選択可能（チャネル5は4種類） • インプットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • パルス出力モード • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプット イネーブル	MTU波形出力端子のハイインピーダンス制御

表1.1　仕様概要 (3 / 4)

分類	モジュール／機能	説明
タイマ	プログラマブルパルスジェネレータ	• （4ビット×4グループ）×2ユニット • MTUからの出力をトリガとしてパルスを出力 • 最大32ビットのパルス出力
	8ビットタイマ	• （8ビット×2チャネル）×2ユニット • 7種類の内部クロック（PCLK、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192）と外部クロックを選択可能 • 任意のデューティ比のパルス出力やPWM出力が可能 • 2チャネルをカスケード接続し16ビットタイマとして使用可能 • A/Dコンバータの変換開始トリガを生成可能 • SCI5、SCI6のボーレートクロック生成可能
	コンペアマッチタイマ	• （16ビット×2チャネル）×2ユニット • 4種類のクロック（PCLK/8、PCLK/32、PCLK/128、PCLK/512）を選択可能
	ウォッチドッグタイマ	• 8ビット×1チャネル • 8種類のカウントクロック（PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072）を選択可能 • ウォッチドッグタイマモード／インターバルタイマモードを切り替えて使用可能
	独立ウォッチドッグタイマ	• 14ビット×1チャネル • カウントクロック：専用オンチップオシレータ
リアルタイムクロック		• クロックソース：サブクロックにて動作 • 時計／カレンダー機能 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み
通信機能	イーサネットコントローラ	• イーサネット／IEEE802.3フレームの送受信 • 10Mbpsおよび100Mbps転送への対応 • 全二重モードおよび半二重モード対応 • IEEE802.3u規格のMII（Media Independent Interface）およびRMII（Reduced Media Independent Interface）に対応 • Magic Packet™（注）の検出およびWake-On-LAN（WOL）信号の出力 • IEEE802.3x規格のフロー制御準拠 注.　Magic Packet™は、Advanced Micro Devices, Inc.の登録商標です。
	イーサネットコントローラ用DMAコントローラ	• ディスクリプタ管理方式によるCPU負荷の軽減 • 送信FIFO：2Kバイト、受信FIFO：2Kバイト
	USB2.0ホスト／ファンクションモジュール	• USB2.0に対応したUDC（USB Device Controller）およびトランシーバを内蔵 • 1ポート（176ピン版：2ポート） • USBバージョン2.0準拠 • 転送スピード：フルスピード（12Mbps） • セルフパワーモードおよびバスパワードを選択可能 • OTG（ON-The-Go）に対応可能 • 通信バッファとして2KバイトのRAMを内蔵
	シリアルコミュニケーションインタフェース	• 6チャネル • シリアル通信方式：調歩同期式／クロック同期式／スマートカードインタフェース • マルチプロセッサ通信機能 • 内蔵ボーレートジェネレータで任意のビットレートを選択可能 • LSBファースト／MSBファーストを選択可能（注3） • TMRからの平均転送レートクロック入力が可能（SCI5、SCI6）
	I^2Cバスインタフェース	• 2チャネル（100ピン版：1チャネル） • 通信フォーマット I^2Cバスフォーマット／SMBusフォーマット マスタ／スレーブ選択可能（マルチマスタ対応）
	CANモジュール	• 1チャネル • 32メールボックス

注3.　MSBファーストは、スマートカードインタフェースモード時のみ選択可能です。

表1.1　仕様概要 (4 / 4)

分類	モジュール／機能	説明
通信機能	シリアルペリフェラルインタフェース	● 2ユニット ● RSPI転送機能 MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（RSPI Clock）信号を使用して、SPI動作（4線式）／クロック同期式動作（3線式）でシリアル通信が可能 マスタ／スレーブモードでのシリアル通信が可能 ● データフォーマット MSBファースト／LSBファーストの切り替え可能 転送ビット長を8～16、20、24、32ビットに変更可能 送信／受信バッファは128ビット 一度の送受信で最大4フレームを転送（1フレームは最大32ビット） ● バッファ構成 ● 送信／受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ／10ビットA/Dコンバータ		● 12ビット×1ユニット（1ユニット×8チャネル）または10ビット×2ユニット（2ユニット×4チャネル） （12 ビットA/D コンバータ、10 ビットA/D コンバータは排他的に使用可能） ● 分解能：10ビットまたは12ビット ● 変換時間：1チャネル当たり1.0μs（PCLK=50MHz動作時） ● 2種類の動作モード シングルモード スキャンモード（1サイクルスキャンモード／連続スキャンモード） ● サンプル＆ホールド機能付き ● 3種類のA/D変換開始方法 ソフトウェアトリガ、タイマ（MTU、TMR）のトリガ、外部トリガ ● A/Dコンバータの自己診断機能
D/Aコンバータ		● 2チャネル（100ピン版：1チャネル） ● 分解能：10ビット ● 出力電圧：0V～VREFH
CRC演算器		● 8ビット単位の任意のデータ長に対してCRCコードを生成 ● 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ ● LSBファースト／MSBファースト通信用CRCコード生成の選択が可能
動作周波数		8～100MHz
電源電圧		VCC = PLLVCC = AVCC = 2.7～3.6V、VREFH = 2.7～AVCC
動作周囲温度		–40～+85℃
パッケージ		176ピンLFBGA（PLBG0176GA-A）、145ピンTFLGA（PTLG0145JB-A） 144ピンLQFP（PLQP0144KA-A）、100ピンLQFP（PLQP0100KB-A）（注4） 85ピンTFLGA（PTLG0085JA-A）（注4、注5）

注4.　100ピンLQFP版、85ピンTFLGA版には、SDRAMエリアコントローラ、EXDMAコントローラはサポートしていません。
注5.　85ピンTFLGA版には、ポートアウトプットイネーブルはサポートしていません。

表1.2　RX62Nグループ、RX621グループ機能比較表

機能		RX62Nグループ								RX621グループ				
		R5F562NxBXXX（注）				R5F562NxAXXX（注）				R5F5621xBXXX（注）				
パッケージ		176ピンLFBGA	145ピンTFLGA	144ピンLQFP	100ピンLQFP	176ピンLFBGA	145ピンTFLGA	144ピンLQFP	100ピンLQFP	176ピンLFBGA	145ピンTFLGA	144ピンLQFP	100ピンLQFP	85ピンTFLGA
外部バス	SDRAMエリアコントローラ	○			―	○			―	○			―	
DMA	DMAコントローラ	○				○				○				
	EXDMAコントローラ	○			―	○			―	○			―	
	データトランスファコントローラ	○				○				○				
タイマ	マルチファンクションタイマパルスユニット	○				○				○				
	ポートアウトプットイネーブル	○				○				○				―
	プログラマブルパルスジェネレータ	○				○				○				
	8ビットタイマ	○				○				○				
	コンペアマッチタイマ	○				○				○				
	リアルタイムクロック	○				○				○				
	ウォッチドッグタイマ	○				○				○				
	独立ウォッチドッグタイマ	○				○				○				
通信機能	イーサネットコントローラ／イーサネットコントローラ用DMAコントローラ	○				○				―				
	USB2.0ホスト／ファンクションモジュール	○				○				○				
	シリアルコミュニケーションインタフェース	○				○				○				
	I^2Cバスインタフェース	○				○				○				
	CANモジュール	○				―				○				
	シリアルペリフェラルインタフェース	○				○				○				
A/Dコンバータ		○				○				○				
D/Aコンバータ		○				○				○				
CRC演算器		○				○				○				

【記号説明】　○：あり、―：なし

注.　製品型名については、表1.3を参照してください。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表1.3　製品一覧表

グループ	型名	パッケージ	ROM容量	RAM容量	データフラッシュ	動作周波数（max）
RX62N	R5F562N8BDBG	PLBG0176GA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8BDLE	PTLG0145JB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8BDFB	PLQP0144KA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8BDFP	PLQP0100KB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N7BDBG	PLBG0176GA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7BDLE	PTLG0145JB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7BDFB	PLQP0144KA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7BDFP	PLQP0100KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N8ADBG	PLBG0176GA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8ADLE	PTLG0145JB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8ADFB	PLQP0144KA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N8ADFP	PLQP0100KB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F562N7ADBG	PLBG0176GA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7ADLE	PTLG0145JB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7ADFB	PLQP0144KA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F562N7ADFP	PLQP0100KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
RX621	R5F56218BDBG	PLBG0176GA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDLE	PTLG0145JB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDFB	PLQP0144KA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDFP	PLQP0100KB-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56218BDLD	PTLG0085JA-A	512Kバイト	96Kバイト	32Kバイト	100MHz
	R5F56217BDBG	PLBG0176GA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDLE	PTLG0145JB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDFB	PLQP0144KA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDFP	PLQP0100KB-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56217BDLD	PTLG0085JA-A	384Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDBG	PLBG0176GA-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDLE	PTLG0145JB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDFB	PLQP0144KA-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDFP	PLQP0100KB-A	256Kバイト	64Kバイト	32Kバイト	100MHz
	R5F56216BDLD	PTLG0085JA-A	256Kバイト	64Kバイト	32Kバイト	100MHz

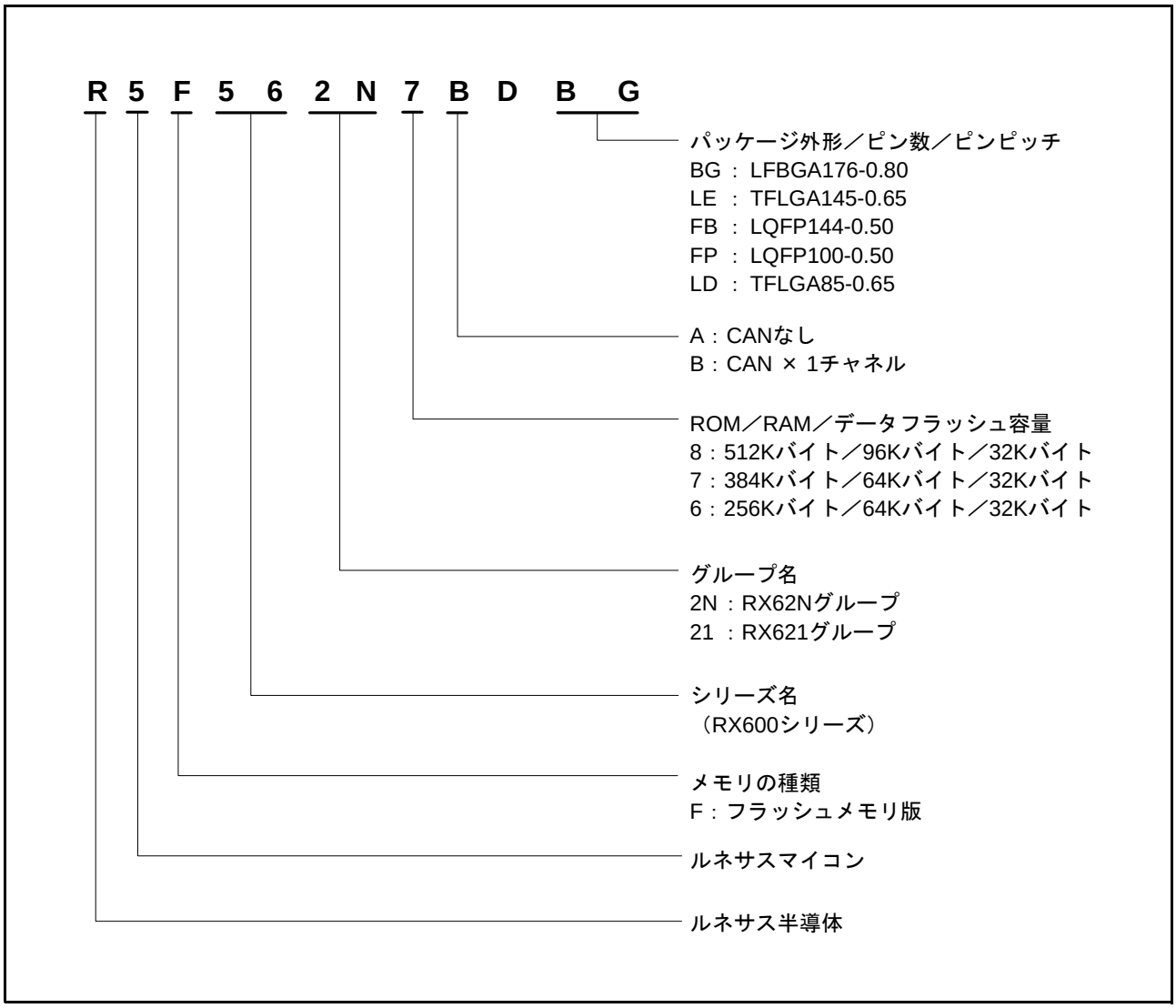
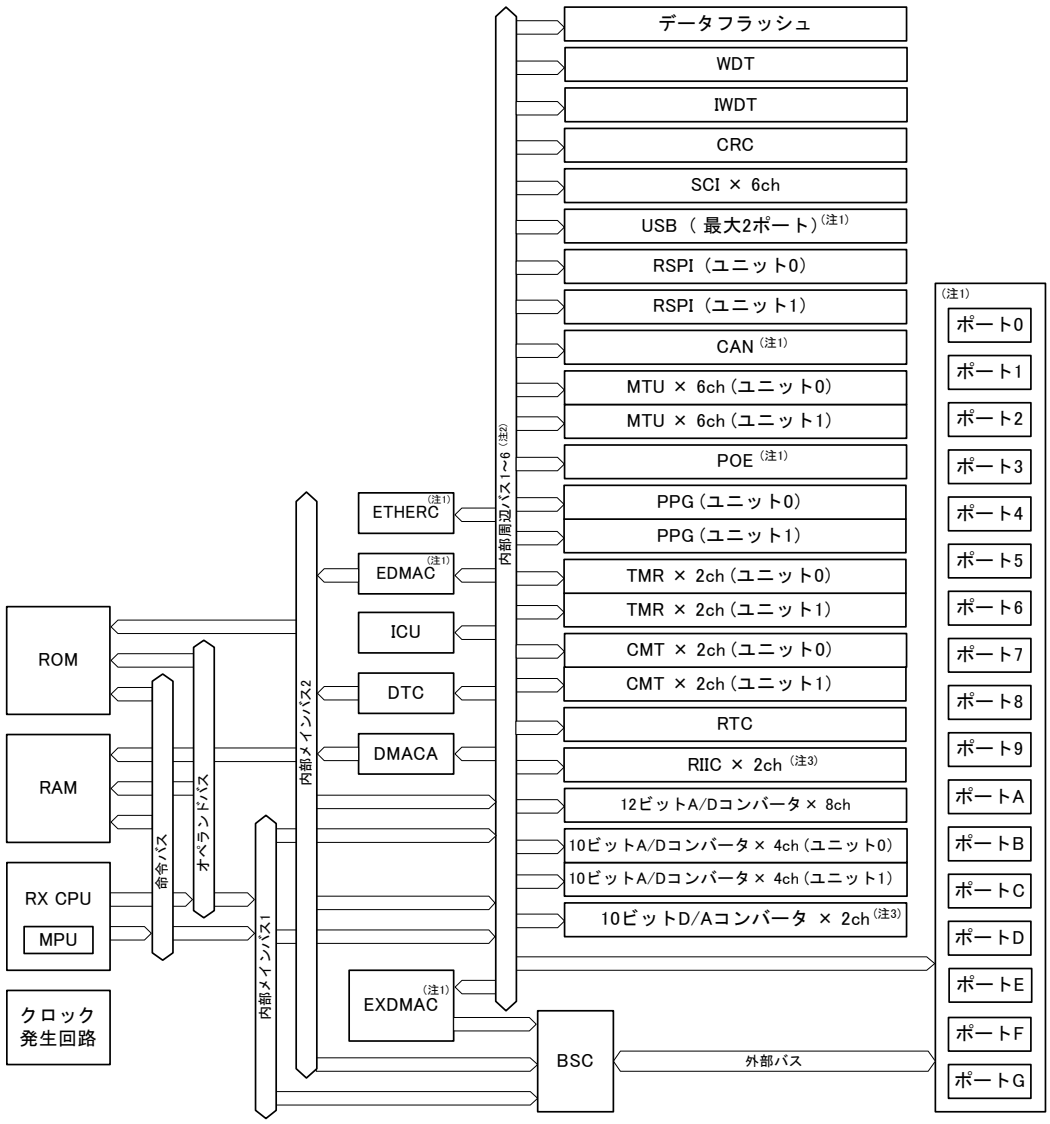


図 1.1　　型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。



注1.　EXDMAC、ETHERC、EDMAC、USB、CAN、POE、ポート0～Gは、製品グループおよびパッケージにより、搭載/非搭載が異なります。
注2.　内部周辺バスの構成は、「12.　バス」を参照してください。
注3　RIIC、10ビットD/A変換器は、パッケージにより、搭載チャネル数が異なります。

ETHERC	：イーサネットコントローラ	SCI	：シリアルコミュニケーションインタフェース
EDMAC	：イーサネットコントローラ用DMAコントローラ	USB	：USB2.0ホスト／ファンクションモジュール
ICU	：割り込みコントローラ	RSPI	：シリアルペリフェラルインタフェース
DTC	：データトランスファコントローラ	CAN	：CANモジュール
DMACA	：DMAコントローラ	MTU	：マルチファンクションタイマパルスユニット
EXDMAC	：EXDMAコントローラ	POE	：ポートアウトプットイネーブル
BSC	：バスコントローラ	PPG	：プログラマブルパルスジェネレータ
WDT	：ウォッチドッグタイマ	TMR	：8ビットタイマ
IWDT	：独立ウォッチドッグタイマ	CMT	：コンペアマッチタイマ
CRC	：CRC（Cyclic Redundancy Check）演算器	RTC	：リアルタイムクロック
MPU	：メモリプロテクションユニット	RIIC	：I²Cバスインタフェース

図 1.2　ブロック図

1.4　ピン配置図

図 1.3 ～図 1.9 にピン配置図を示します。また、表 1.4 ～表 1.8 に機能別端子一覧を示します。

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	PE1	P70	PE6	P65	P67	PG5	PA1	PA3	PA6	PB0	VCC	PB2	PB5	PB7	P75	15
14	P63	PE2	PE5	PE7	P66	PA0	PG6	PA4	PA7	P72	PB3	PB6	P73	PC1	P77	14
13	P61	P64	PE3	PE4	VCC	PG3	VCC	PA2	PA5	P71	PB4	VCC	P74	P76	P80	13
12	PD7	P62	PE0	VSS	PG2	PG4	VSS	PG7	VSS	PB1	VSS	PC0	PC2	PC4	PC7	12
11	PG0	P60	VCC	VSS								P81	PC3	P82	P83	11
10	PD4	PD6	PD5	PG1								PC6	PC5	P50	P53	10
9	PD3	P97	VCC	VSS								VSS	VCC	P84	P85	9
8	PD2	P96	P94	P95								P51	P52	VCC_USB	USB1_DP	8
7	PD0	PD1	P92	P93								P54	P10	P56	USB1_DM	7
6	P90	P91	VCC	VSS								P55	P57	VCC_USB	VSS_USB	6
5	P46	P47	P40	P43								P11	P15	P13	USB0_DP	5
4	P45	P44	P07	P41	VSS	VSS	MDE	RES#	P34	PF4	P30	VSS	P17	P14	USB0_DM	4
3	P42	VREFL	P05	VCC	BSCANP	VCL	MD0	VCC	PF3	PF0	VCC	P22	P20	P16	P12	3
2	AVCC	VREFH	P03	P01	CNVSS	WDTOVF#	MD1	P35	P32	P31	P27	P25	P23	PLLVCC	PLLVSS	2
1	AVSS	P02	P00	EMLE	XCIN	XCOUT	VSS	XTAL	EXTAL	P33	PF2	PF1	P26	P24	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

RX62Nグループ
RX621グループ
PLBG0176GA-A
（176ピンLFBGA）
（上面透視図）

図 1.3　176 ピン LFBGA ピン配置図

RX62Nグループ
RX621グループ
PTLG0145JB-A
（145ピンTFLGA）
（上面透視図）

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	P64	PE4	P70	PE6	P66	PA2	PA4	PA7	P72	PB3	PB6	VSS	P74	13
12	P62	PE1	PE3	PE7	PA0	VCC	PA6	PB1	PB5	PC0	VCC	PC1	P76	12
11	P60	PE2	PE5	VCC	P67	PA3	PA5	P71	PB4	P73	P75	PC2	PC4	11
10	PD6	PE0	P63	VSS	P65	PA1	VSS	PB0	PB2	PB7	P77	P80	PC5	10
9	PD3	VSS	P61	VCC						PC3	P81	PC6	VCC	9
8	PD0	PD5	PD7	PD4						P82	P83	P50	P51	8
7	P91	PD1	PD2	P93						PC7	P52	P55	P54	7
6	P47	P90	P92	VSS						VSS	P56	VSS_USB	USB0_DP	6
5	P44	P45	P46	VCC	NC					P53	VCC_USB	P14	USB0_DM	5
4	P42	P40	P41	P43	BSCANP	MDE	MD0	RES#	P32	P26	P12	P15	P13	4
3	VREFL	VREFH	VSS	P02	P00	WDTOVF#	MD1	VCC	P35	P31	P17	PLLVCC	PLLVSS	3
2	AVCC	P07	P05	VCC	VSS	XCOUT	VSS	P34	P27	P24	P22	P20	P16	2
1	AVSS	P03	P01	EMLE	VCL	XCIN	XTAL	EXTAL	P33	P30	P25	P23	P21	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

: NCピン

図 1.4　145 ピン TFLGA ピン配置図

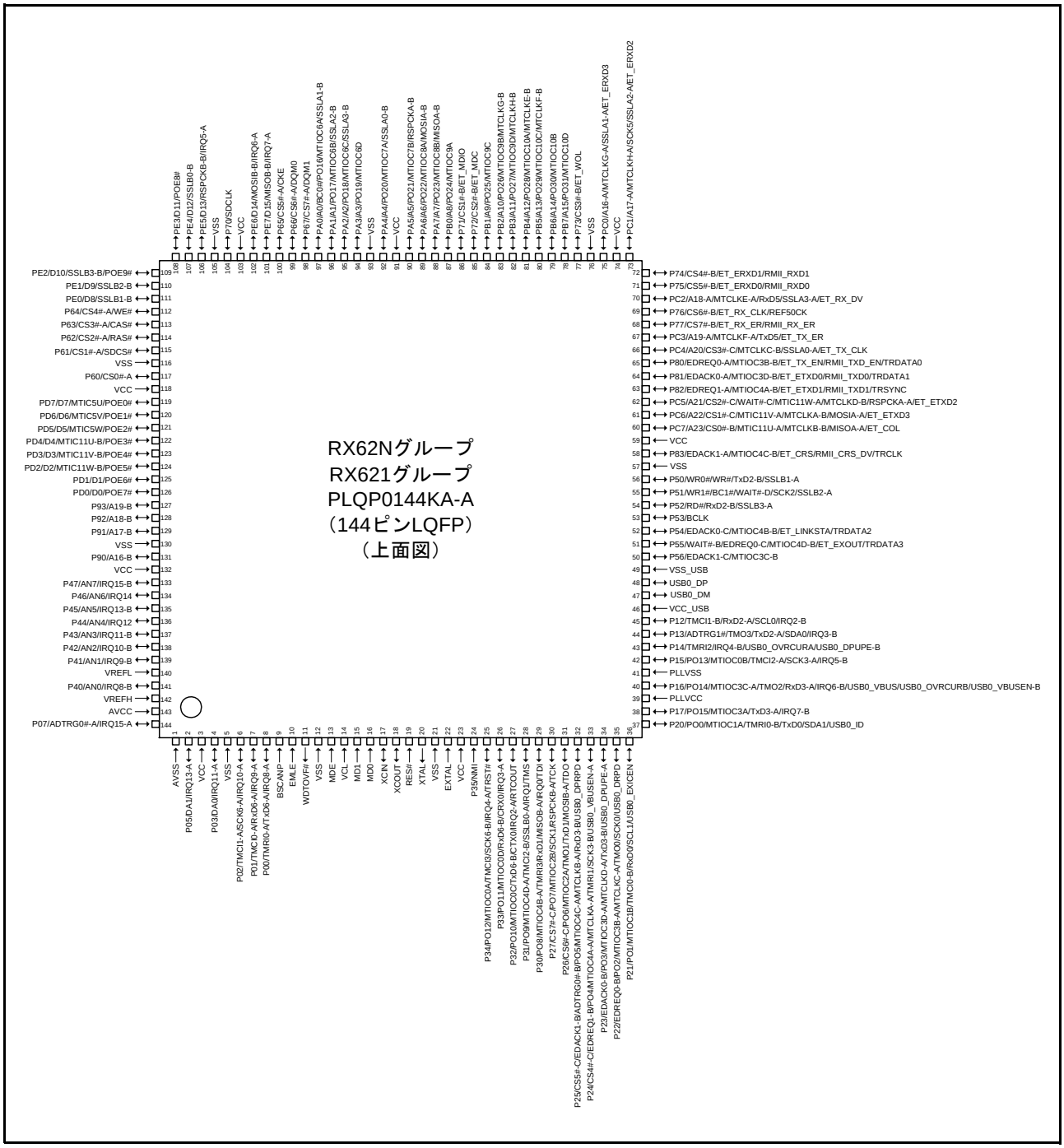


図 1.5　　144 ピン LQFP ピン配置図

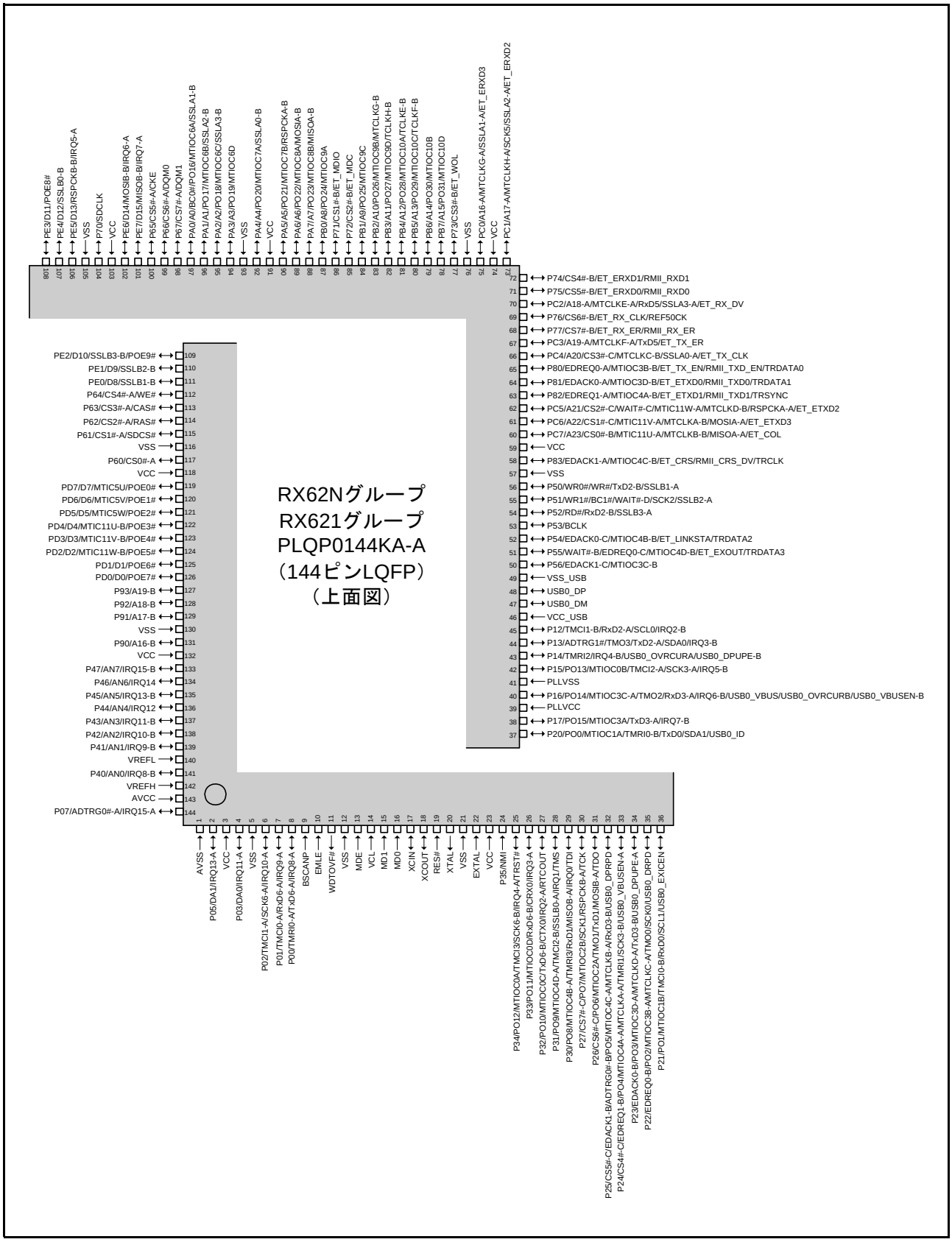


図 1.6　　144 ピン LQFP ピン配置図（補助図）

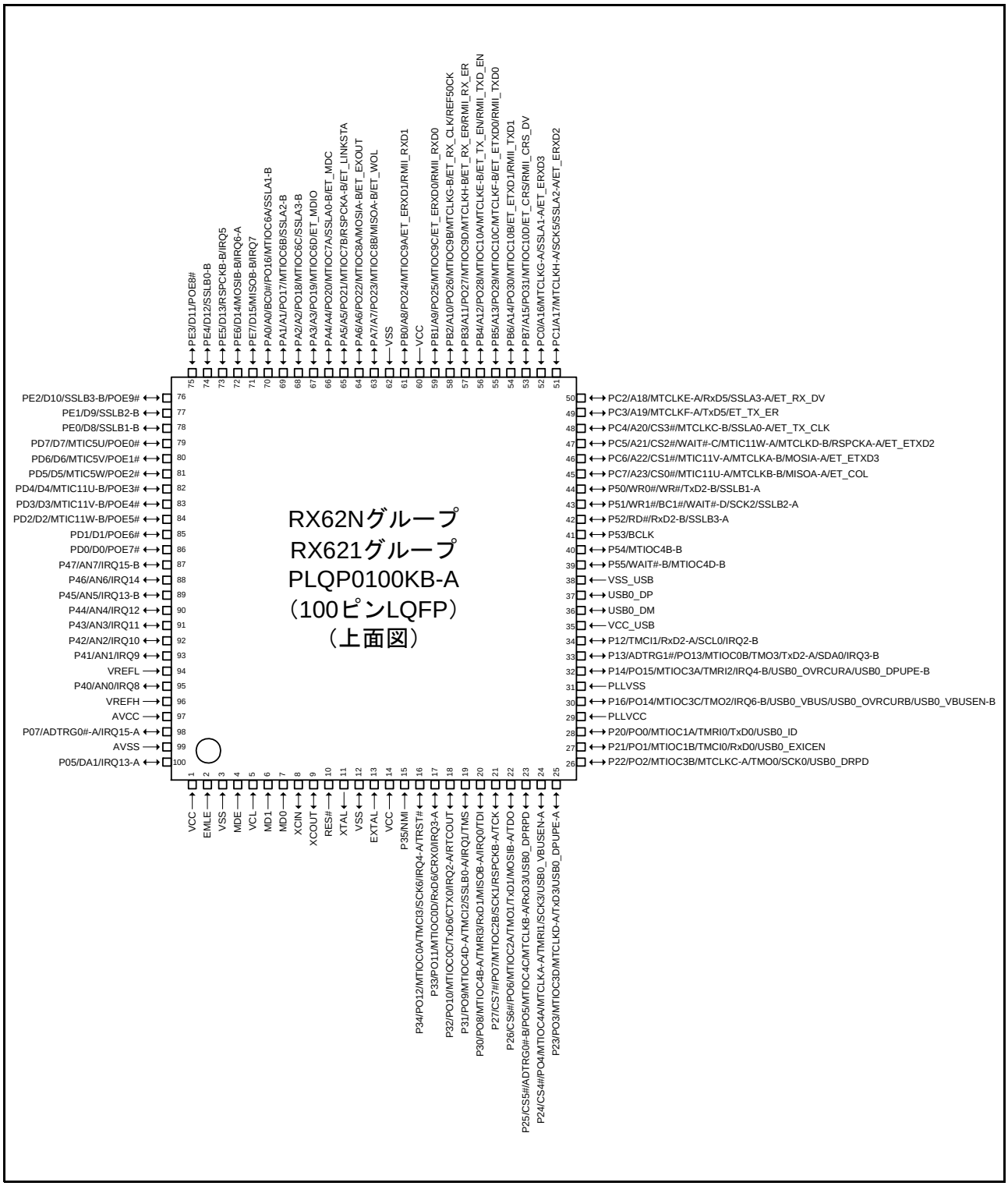


図 1.7　100 ピン LQFP ピン配置図

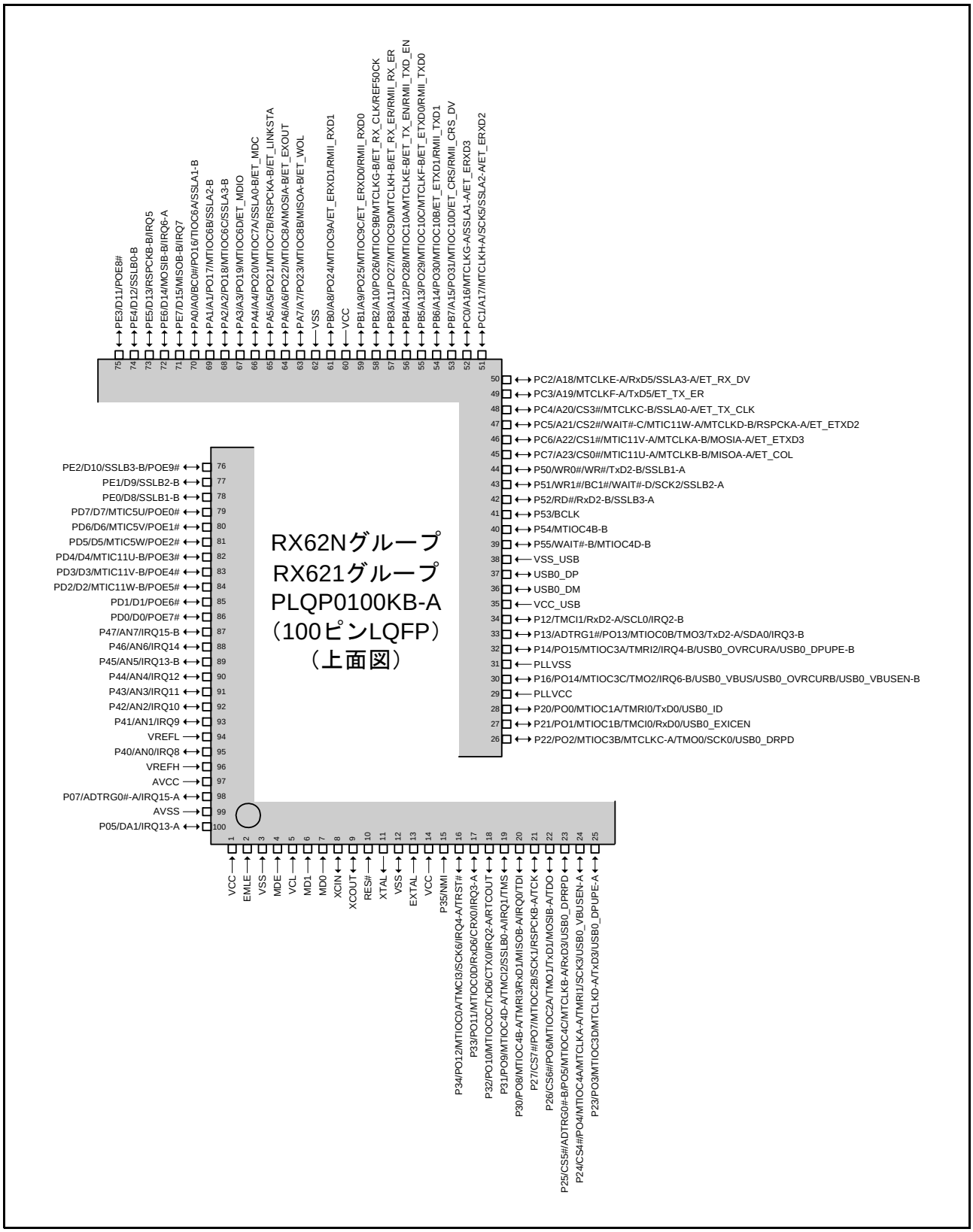


図 1.8　100 ピン LQFP ピン配置図（補助図）

RX62Nグループ
RX621グループ
PTLG0085JA-A
（85ピンTFLGA）
（上面透視図）

	A	B	C	D	E	F	G	H	J	K	
10	PD6	PA1	PA0	PA2	PA4	PA7	PB1	PB4	PC0	PC1	10
9	PD7	PA3	PA5	PA6	PB0	PB2	PB5	PB7	PC3	PC2	9
8	PD5	PD3	BSCANP	VCL	VSS	VCC	PB3	PB6	P51	P50	8
7	PD4	PD2	MD1					P53	P52	VSS_USB	7
6	PD1	PD0	P45					P13	USB0_DM	USB0_DP	6
5	P47	P46	P44					P14	VCC_USB	P12	5
4	P43	P42	P41	RES#				PLLVCC	P16	PLLVSS	4
3	VREFL	VREFH	P40	MD0	P34	P32	P27	P26	P24	P20	3
2	AVCC	AVSS	VSS	EMLE	XCOUT	EXTAL	P33	P30	P23	P22	2
1	P05	VCC	P03	MDE	XCIN	XTAL	P35	P31	P25	P21	1
	A	B	C	D	E	F	G	H	J	K	

図 1.9　85 ピン TFLGA ピン配置図

表1.4　機能別端子一覧（176ピンLFBGA）(1 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
A1	AVSS							
A2	AVCC							
A3		P42						IRQ10-B/AN2
A4		P45						IRQ13-B/AN5
A5		P46						IRQ14/AN6
A6		P90	D16/A16-B					
A7		PD0	D0			POE7#		
A8		PD2	D2			MTIC11W-B/ POE5#		
A9		PD3	D3			MTIC11V-B/ POE4#		
A10		PD4	D4			MTIC11U-B/ POE3#		
A11		PG0	D24					
A12		PD7	D7			MTIC5U-B/ POE0#		
A13		P61	CS1#-A/ SDCS#					
A14		P63	CS3#-A/ CAS#					
A15		PE1	D9				SSLB2-B	
B1		P02				TMCI1-A	SCK6-A	IRQ10-A
B2	VREFH							
B3	VREFL							
B4		P44						IRQ12/AN4
B5		P47						IRQ15-B/AN7
B6		P91	D17/A17-B					
B7		PD1	D1			POE6#		
B8		P96	D22/A22-B					
B9		P97	D23/A23-B					
B10		PD6	D6			MTIC5V-B/ POE1#		
B11		P60	CS0#-A					
B12		P62	CS2#-A/ RAS#					
B13		P64	CS4#-A/ WE#					
B14		PE2	D10			POE9#	SSLB3-B	
B15	SDCLK	P70						
C1		P00				TMRI0-A	TxD6-A	IRQ8-A
C2		P03						IRQ11-A/DA0
C3		P05						IRQ13-A/DA1
C4		P07						IRQ15-A/ ADTRG0#-A
C5		P40						IRQ8-B/AN0
C6	VCC							

表1.4 機能別端子一覧（176ピンLFBGA）(2 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
C7		P92	D18/A18-B					
C8		P94	D20/A20-B					
C9	VCC							
C10		PD5	D5			MTIC5W-B/ POE2#		
C11	VCC							
C12		PE0	D8				SSLB1-B	
C13		PE3	D11			POE8#		
C14		PE5	D13				RSPCKB-B	IRQ5-A
C15		PE6	D14				MOSIB-B	IRQ6-A
D1	EMLE							
D2		P01				TMCI0-A	RxD6-A	IRQ9-A
D3	VCC							
D4		P41						IRQ9-B/AN1
D5		P43						IRQ11-B/AN3
D6	VSS							
D7		P93	D19/A19-B					
D8		P95	D21/A21-B					
D9	VSS							
D10		PG1	D25					
D11	VSS							
D12	VSS							
D13		PE4	D12				SSLB0-B	
D14		PE7	D15				MISOB-B	IRQ7-A
D15		P65	CS5#-A/ CKE					
E1	XCIN							
E2	CNVSS							
E3	BSCANP							
E4	VSS							
E12		PG2	D26					TRDATA0
E13	VCC							
E14		P66	CS6#-A/ DQM0					
E15		P67	CS7#-A/ DQM1					
F1	XCOUT							
F2						WDTOVF#		
F3	VCL							
F4	VSS							
F12		PG4	D28					TRSYNC
F13		PG3	D27					TRDATA1
F14		PA0	A0/BC0#/ DQM2			MTIOC6A/ PO16	SSLA1-B	
F15		PG5	D29					TRCLK

表1.4 機能別端子一覧（176ピンLFBGA）(3 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
G1	VSS							
G2	MD1							
G3	MD0							
G4	MDE							
G12	VSS							
G13	VCC							
G14		PG6	D30					TRDATA2
G15		PA1	A1/DQM3			MTIOC6B/ PO17	SSLA2-B	
H1	XTAL							
H2		P35						NMI
H3	VCC							
H4	RES#							
H12		PG7	D31					TRDATA3
H13		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
H14		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
H15		PA3	A3			MTIOC6D/ PO19		
J1	EXTAL							
J2		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
J3		PF3						TMS
J4		P34				MTIOC0A/ TMCI3-B/ PO12	SCK6-B	IRQ4-A
J12	VSS							
J13		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
J14		PA7	A7			MTIOC8B/ PO23	MISOA-B	
J15		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
K1		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
K2		P31			USB1_DPRPD	MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1-A
K3		PF0					TxD1-B	TDO
K4		PF4						TRST#
K12		PB1	A9			MTIOC9C/ PO25		
K13		P71	CS1#-B	ET_MDIO				
K14		P72	CS2#-B	ET_MDC				
K15		PB0	A8			MTIOC9A/ PO24		

表1.4 機能別端子一覧（176ピンLFBGA）(4 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
L1		PF2					RxD1-B	TDI
L2		P27	CS7#-C		USB1_EXICEN	MTIOC2B/ PO7	RSPCKB-A/ SCK1-A	
L3	VCC							
L4		P30			USB1_DRPD	MTIOC4B-A/ TMRI3-B/ PO8	MISOB-A/ RxD1-A	IRQ0-A
L12	VSS							
L13		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
L14		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
L15	VCC							
M1		PF1					SCK1-B	TCK
M2		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B
M3		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/ PO2	SCK0	
M4	VSS							
M5		P11			USB1_VBUSEN-A	MTIC5V-A/ TMCI3-A	SCK2-A	IRQ1-B
M6		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		
M7		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		
M8		P51	WR1#/ BC1#/ WAIT#-D				SSLB2-A/ SCK2-B	
M9	VSS							
M10		PC6	A22-A/ CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
M11		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		
M12		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
M13	VCC							
M14		PB6	A14			MTIOC10B/ PO30		
M15		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
N1		P26	CS6#-C		USB1_ID	MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1-A	
N2		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
N3		P20			USB0_ID	MTIOC1A/ TMRI0-B/ PO0	SDA1/ TxD0	

表1.4 機能別端子一覧（176ピンLFBGA）(5 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
N4		P17			USB1_VBUS/ USB1_OVRCURB/ USB1_VBUSEN-B	MTIOC3A/ PO15	TxD3-A	IRQ7-B
N5		P15			USB1_OVRCURA/ USB1_DPUPE-B	MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
N6		P57	WAIT#-A/ WR3#/BC3#/ EDREQ1-C					
N7		P10			USB1_DPUPE-A	MTIC5W-A/ TMRI3-A		IRQ0-B
N8		P52	RD#				SSLB3-A/ RxD2-B	
N9	VCC							
N10		PC5	A21-A/ CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
N11		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
N12		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
N13		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				
N14		P73	CS3#-B	ET_WOL				
N15		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
P1		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/ PO4	SCK3-B	
P2	PLLVCC							
P3		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
P4		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
P5		P13				TMO3	SDA0/ TxD2-A	IRQ3-B / ADTRG1#
P6	VCC_USB							
P7		P56	WR2#/BC2#/ EDACK1-C			MTIOC3C-B		
P8	VCC_USB							
P9		P84						
P10		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
P11		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		
P12		PC4	A20-A/ CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
P13		P76	CS6#-B	ET_RX_CLK/ REF50CK				
P14		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	

表1.4 機能別端子一覧（176ピンLFBGA）(6 / 6)

ピン番号 176ピン LFBGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
P15		PB7	A15			MTIOC10D/ PO31		
R1		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/ PO1	SCL1/ RxD0	
R2	PLLVSS							
R3		P12				MTIC5U-A/ TMCI1-B	SCL0/ RxD2-A	IRQ2-B
R4					USB0_DM			
R5					USB0_DP			
R6	VSS_USB							
R7					USB1_DM			
R8					USB1_DP			
R9		P85						
R10	BCLK	P53						
R11		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		
R12		PC7	A23-A/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
R13		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		
R14		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
R15		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				

表1.5 機能別端子一覧（145ピンTFLGA）(1 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
A1	AVSS							
A2	AVCC							
A3	VREFL							
A4		P42						IRQ10-B/AN2
A5		P44						IRQ12/AN4
A6		P47						IRQ15-B/AN7
A7		P91	A17-B					
A8		PD0	D0			POE7#		
A9		PD3	D3			MTIC11V-B/ POE4#		
A10		PD6	D6			MTIC5V/ POE1#		
A11		P60	CS0#-A					
A12		P62	CS2#-A/ RAS#					
A13		P64	CS4#-A/ WE#					
B1		P03						IRQ11-A/DA0
B2		P07						IRQ15-A/ ADTRG0#-A
B3	VREFH							
B4		P40						IRQ8-B/AN0
B5		P45						IRQ13-B/AN5
B6		P90	A16-B					
B7		PD1	D1			POE6#		
B8		PD5	D5			MTIC5W/ POE2#		
B9	VSS							
B10		PE0	D8				SSLB1-B	
B11		PE2	D10			POE9#	SSLB3-B	
B12		PE1	D9				SSLB2-B	
B13		PE4	D12				SSLB0-B	
C1		P01				TMCI0-A	RxD6-A	IRQ9-A
C2		P05						IRQ13-A/DA1
C3	VSS							
C4		P41						IRQ9-B/AN1
C5		P46						IRQ14/AN6
C6		P92	A18-B					
C7		PD2	D2			MTIC11W-B/ POE5#		
C8		PD7	D7			MTIC5U/ POE0#		
C9		P61	CS1#-A/ SDCS#					
C10		P63	CS3#-A/ CAS#					

表1.5 機能別端子一覧（145ピンTFLGA）(2 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
C11		PE5	D13				RSPCKB-B	IRQ5-A
C12		PE3	D11			POE8#		
C13	SDCLK	P70						
D1	EMLE							
D2	VCC							
D3		P02				TMCI1-A	SCK6-A	IRQ10-A
D4		P43						IRQ11-B/AN3
D5	VCC							
D6	VSS							
D7		P93	A19-B					
D8		PD4	D4			MTIC11U-B/ POE3#		
D9	VCC							
D10	VSS							
D11	VCC							
D12		PE7	D15				MISOB-B	IRQ7-A
D13		PE6	D14				MOSIB-B	IRQ6-A
E1	VCL							
E2	VSS							
E3		P00				TMRI0-A	TxD6-A	IRQ8-A
E4	BSCANP							
E5	（N.C）							
E10		P65	CS5#-A/ CKE					
E11		P67	CS7#-A/ DQM1					
E12		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
E13		P66	CS6#-A/ DQM0					
F1	XCIN							
F2	XCOUT							
F3						WDTOVF#		
F4	MDE							
F10		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
F11		PA3	A3			MTIOC6D/ PO19		
F12	VCC							
F13		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
G1	XTAL							
G2	VSS							
G3	MD1							
G4	MD0							
G10	VSS							

表1.5 機能別端子一覧（145ピンTFLGA）(3 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
G11		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
G12		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
G13		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
H1	EXTAL							
H2		P34				MTIOC0A/ TMCI3/ PO12	SCK6-B	IRQ4-A/ TRST#
H3	VCC							
H4	RES#							
H10		PB0	A8			MTIOC9A/ PO24		
H11		P71	CS1#-B	ET_MDIO				
H12		PB1	A9			MTIOC9C/ PO25		
H13		PA7	A7			MTIOC8B/ PO23	MISOA-B	
J1		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
J2		P27	CS7#-C			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
J3		P35						NMI
J4		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
J10		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
J11		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
J12		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
J13		P72	CS2#-B	ET_MDC				
K1		P30				MTIOC4B-A/ TMRI3/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
K2		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/PO4	SCK3-B	
K3		P31				MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1/ TMS
K4		P26	CS6#-C			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
K5	BCLK	P53						
K6	VSS							

表1.5 機能別端子一覧（145ピンTFLGA）(4 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
K7		PC7	A23/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
K8		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		TRSYNC
K9		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
K10		PB7	A15			MTIOC10D/ PO31		
K11		P73	CS3#-B	ET_WOL				
K12		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
K13		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
L1		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B
L2		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/PO2	SCK0	
L3		P17				MTIOC3A/ PO15	TxD3-A	IRQ7-B
L4		P12				TMCI1-B	SCL0/ RxD2-A	IRQ2-B
L5	VCC_USB							
L6		P56	EDACK1-C			MTIOC3C-B		
L7		P52	RD#				SSLB3-A/ RxD2-B	
L8		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		TRCLK
L9		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		TRDATA1
L10		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
L11		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				
L12	VCC							
L13		PB6	A14			MTIOC10B/ PO30		
M1		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
M2		P20			USB0_ID	MTIOC1A/ TMRI0-B/ PO0	SDA1/ TxD0	
M3	PLLVCC							
M4		P15				MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
M5		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
M6	VSS_USB							

表1.5 機能別端子一覧（145ピンTFLGA）(5 / 5)

ピン番号 145ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
M7		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		TRDATA3
M8		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
M9		PC6	A22/CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
M10		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		TRDATA0
M11		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
M12		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
M13	VSS							
N1		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/ PO1	SCL1/RxD0	
N2		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
N3	PLLVSS							
N4		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
N5					USB0_DM			
N6					USB0_DP			
N7		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		TRDATA2
N8		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
N9	VCC							
N10		PC5	A21/CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
N11		PC4	A20/CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
N12		P76	CS6#-B	ET_RX_CLK/ REF50CK				
N13		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				

表1.6 機能別端子一覧（144ピンLQFP）(1 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
1	AVSS							
2		P05						IRQ13-A/DA1
3	VCC							
4		P03						IRQ11-A/DA0
5	VSS							
6		P02				TMCI1-A	SCK6-A	IRQ10-A
7		P01				TMCI0-A	RxD6-A	IRQ9-A
8		P00				TMRI0-A	TxD6-A	IRQ8-A
9	BSCANP							
10	EMLE							
11						WDTOVF#		
12	VSS							
13	MDE							
14	VCL							
15	MD1							
16	MD0							
17	XCIN							
18	XCOUT							
19	RES#							
20	XTAL							
21	VSS							
22	EXTAL							
23	VCC							
24		P35						NMI
25		P34				MTIOC0A/ TMCI3 /PO12	SCK6-B	IRQ4-A/ TRST#
26		P33				MTIOC0D/ PO11	CRX0/ RxD6-B	IRQ3-A
27		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6-B	IRQ2-A
28		P31				MTIOC4D-A/ TMCI2-B/ PO9	SSLB0-A	IRQ1/ TMS
29		P30				MTIOC4B-A/ TMRI3 /PO8	RxD1/ MISOB-A	IRQ0/ TDI
30		P27	CS7#-C			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
31		P26	CS6#-C			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
32		P25	CS5#-C/ EDACK1-B		USB0_DPRPD	MTIOC4C-A/ MTCLKB-A/ PO5	RxD3-B	ADTRG0#-B

表1.6　機能別端子一覧（144ピンLQFP）(2 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
33		P24	CS4#-C/ EDREQ1-B		USB0_VBUSEN-A	MTIOC4A-A/ MTCLKA-A/ TMRI1/PO4	SCK3-B	
34		P23	EDACK0-B		USB0_DPUPE-A	MTIOC3D-A/ MTCLKD-A/ PO3	TxD3-B	
35		P22	EDREQ0-B		USB0_DRPD	MTIOC3B-A/ MTCLKC-A/ TMO0/PO2	SCK0	
36		P21			USB0_EXICEN	MTIOC1B/ TMCI0-B/PO1	SCL1/RxD0	
37		P20			USB0_ID	MTIOC1A/ TMRI0-B/PO0	SDA1/ TxD0	
38		P17				MTIOC3A/ PO15	TxD3-A	IRQ7-B
39	PLLVCC							
40		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C-A/ TMO2/ PO14	RxD3-A	IRQ6-B
41	PLLVSS							
42		P15				MTIOC0B/ TMCI2-A/ PO13	SCK3-A	IRQ5-B
43		P14			USB0_OVRCURA/ USB0_DPUPE-B	TMRI2		IRQ4-B
44		P13				TMO3	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
45		P12				TMCI1-B	SCL0/ RxD2-A	IRQ2-B
46	VCC_USB							
47					USB0_DM			
48					USB0_DP			
49	VSS_USB							
50		P56	EDACK1-C			MTIOC3C-B		
51		P55	WAIT#-B/ EDREQ0-C	ET_EXOUT		MTIOC4D-B		TRDATA3
52		P54	EDACK0-C	ET_LINKSTA		MTIOC4B-B		TRDATA2
53	BCLK	P53						
54		P52	RD#				SSLB3-A/ RxD2-B	
55		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
56		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
57	VSS							
58		P83	EDACK1-A	ET_CRS/ RMII_CRS_DV		MTIOC4C-B		TRCLK
59	VCC							

表1.6 機能別端子一覧（144ピンLQFP）(3 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
60		PC7	A23/ CS0#-B	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
61		PC6	A22/ CS1#-C	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
62		PC5	A21/CS2#-C/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
63		P82	EDREQ1-A	ET_ETXD1/ RMII_TXD1		MTIOC4A-B		TRSYNC
64		P81	EDACK0-A	ET_ETXD0/ RMII_TXD0		MTIOC3D-B		TRDATA1
65		P80	EDREQ0-A	ET_TX_EN/ RMII_TXD_EN		MTIOC3B-B		TRDATA0
66		PC4	A20/CS3#-C	ET_TX_CLK		MTCLKC-B	SSLA0-A	
67		PC3	A19-A	ET_TX_ER		MTCLKF-A	TxD5	
68		P77	CS7#-B	ET_RX_ER/ RMII_RX_ER				
69		P76	CS6#-B	ET_RX_CLK/ REF50CK				
70		PC2	A18-A	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
71		P75	CS5#-B	ET_ERXD0/ RMII_RXD0				
72		P74	CS4#-B	ET_ERXD1/ RMII_RXD1				
73		PC1	A17-A	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
74	VCC							
75		PC0	A16-A	ET_ERXD3		MTCLKG-A	SSLA1-A	
76	VSS							
77		P73	CS3#-B	ET_WOL				
78		PB7	A15			MTIOC10D/ PO31		
79		PB6	A14			MTIOC10B/ PO30		
80		PB5	A13			MTIOC10C/ MTCLKF-B/ PO29		
81		PB4	A12			MTIOC10A/ MTCLKE-B/ PO28		
82		PB3	A11			MTIOC9D/ MTCLKH-B/ PO27		
83		PB2	A10			MTIOC9B/ MTCLKG-B/ PO26		
84		PB1	A9			MTIOC9C/ PO25		
85		P72	CS2#-B	ET_MDC				
86		P71	CS1#-B	ET_MDIO				

表1.6 機能別端子一覧（144ピンLQFP）(4 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
87		PB0	A8			MTIOC9A/ PO24		
88		PA7	A7			MTIOC8B/ PO23	MISOA-B	
89		PA6	A6			MTIOC8A/ PO22	MOSIA-B	
90		PA5	A5			MTIOC7B/ PO21	RSPCKA-B	
91	VCC							
92		PA4	A4			MTIOC7A/ PO20	SSLA0-B	
93	VSS							
94		PA3	A3			MTIOC6D/ PO19		
95		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
96		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
97		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
98		P67	CS7#-A/ DQM1					
99		P66	CS6#-A/ DQM0					
100		P65	CS5#-A/ CKE					
101		PE7	D15				MISOB-B	IRQ7-A
102		PE6	D14				MOSIB-B	IRQ6-A
103	VCC							
104	SDCLK	P70						
105	VSS							
106		PE5	D13				RSPCKB-B	IRQ5-A
107		PE4	D12				SSLB0-B	
108		PE3	D11			POE8#		
109		PE2	D10			POE9#	SSLB3-B	
110		PE1	D9				SSLB2-B	
111		PE0	D8				SSLB1-B	
112		P64	CS4#-A/ WE#					
113		P63	CS3#-A/ CAS#					
114		P62	CS2#-A/ RAS#					
115		P61	CS1#-A/ SDCS#					
116	VSS							
117		P60	CS0#-A					
118	VCC							

表1.6 機能別端子一覧（144ピンLQFP）(5 / 5)

ピン番号 144ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス EXDMAC	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE、WDT）	通信 （SCI、CAN、RSPI、RIIC）	その他
119		PD7	D7			MTIC5U/ POE0#		
120		PD6	D6			MTIC5V/ POE1#		
121		PD5	D5			MTIC5W/ POE2#		
122		PD4	D4			MTIC11U-B/ POE3#		
123		PD3	D3			MTIC11V-B/ POE4#		
124		PD2	D2			MTIC11W-B/ POE5#		
125		PD1	D1			POE6#		
126		PD0	D0			POE7#		
127		P93	A19-B					
128		P92	A18-B					
129		P91	A17-B					
130	VSS							
131		P90	A16-B					
132	VCC							
133		P47						IRQ15-B/AN7
134		P46						IRQ14/AN6
135		P45						IRQ13-B/AN5
136		P44						IRQ12/AN4
137		P43						IRQ11-B/AN3
138		P42						IRQ10-B/AN2
139		P41						IRQ9-B/AN1
140	VREFL							
141		P40						IRQ8-B/AN0
142	VREFH							
143	AVCC							
144		P07						IRQ15-A/ ADTRG0#-A

表1.7 機能別端子一覧（100ピンLQFP）(1 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
1	VCC							
2	EMLE							
3	VSS							
4	MDE							
5	VCL							
6	MD1							
7	MD0							
8	XCIN							
9	XCOUT							
10	RES#							
11	XTAL							
12	VSS							
13	EXTAL							
14	VCC							
15		P35						NMI
16		P34				MTIOC0A/ TMCI3/ PO12	SCK6	IRQ4-A/ TRST#
17		P33				MTIOC0D/ PO11	CRX0/ RxD6	IRQ3-A
18		P32				MTIOC0C/ PO10/ RTCOUT	CTX0/ TxD6	IRQ2-A
19		P31				MTIOC4D-A/ TMCI2/ PO9	SSLB0-A	IRQ1/ TMS
20		P30				MTIOC4B-A/ TMRI3/ PO8	RxD1/ MISOB-A	IRQ0/ TDI
21		P27	CS7#			MTIOC2B/ PO7	RSPCKB-A/ SCK1	TCK
22		P26	CS6#			MTIOC2A/ TMO1/ PO6	MOSIB-A/ TxD1	TDO
23		P25	CS5#		USB0_DPRPD	MTIOC4C/ MTCLKB-A/ PO5	RxD3	ADTRG0#-B
24		P24	CS4#/		USB0_VBUSEN-A	MTIOC4A/ MTCLKA/ TMRI1/PO4	SCK3	
25		P23			USB0_DPUPE-A	MTIOC3D/ MTCLKD-A/ PO3	TxD3	
26		P22			USB0_DRPD	MTIOC3B/ MTCLKC-A/ TMO0/PO2	SCK0	
27		P21			USB0_EXICEN	MTIOC1B/ TMCI0/ PO1	RxD0	

表1.7 機能別端子一覧（100ピンLQFP）(2 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
28		P20			USB0_ID	MTIOC1A/ TMRI0/ PO0	TxD0	
29	PLLVCC							
30		P16			USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C/ TMO2/ PO14		IRQ6-B
31	PLLVSS							
32		P14			USB0_OVRCURA/ USB0_DPUPE-B	MTIOC3A/ TMRI2/ PO15		IRQ4-B
33		P13				MTIOC0B/ TMO3/ PO13	SDA0/ TxD2-A	IRQ3-B/ ADTRG1#
34		P12				TMCI1	SCL0/ RxD2-A	IRQ2-B
35	VCC_USB							
36					USB0_DM			
37					USB0_DP			
38	VSS_USB							
39		P55	WAIT#-B/			MTIOC4D-B		
40		P54				MTIOC4B-B		
41	BCLK	P53						
42		P52	RD#				SSLB3-A/ RxD2-B	
43		P51	WR1#/BC1#/ WAIT#-D				SSLB2-A/ SCK2	
44		P50	WR0#/ WR#				SSLB1-A/ TxD2-B	
45		PC7	A23/ CS0#	ET_COL		MTIC11U-A/ MTCLKB-B	MISOA-A	
46		PC6	A22/ CS1#	ET_ETXD3		MTIC11V-A/ MTCLKA-B	MOSIA-A	
47		PC5	A21/CS2#/ WAIT#-C	ET_ETXD2		MTIC11W-A/ MTCLKD-B	RSPCKA-A	
48		PC4	A20/CS3#	ET_TX_CLK		MTCLKC-B	SSLA0-A	
49		PC3	A19	ET_TX_ER		MTCLKF-A	TxD5	
50		PC2	A18	ET_RX_DV		MTCLKE-A	SSLA3-A/ RxD5	
51		PC1	A17	ET_ERXD2		MTCLKH-A	SSLA2-A/ SCK5	
52		PC0	A16	ET_ERXD3		MTCLKG-A	SSLA1-A	
53		PB7	A15	ET_CRS/ RMII_CRS_DV		MTIOC10D/ PO31		
54		PB6	A14	ET_ETXD1/ RMII_TXD1		MTIOC10B/ PO30		
55		PB5	A13	ET_ETXD0/ RMII_TXD0		MTIOC10C/ MTCLKF-B/ PO29		

表1.7 機能別端子一覧（100ピンLQFP）(3 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
56		PB4	A12	ET_TX_EN/ RMII_TXD_EN		MTIOC10A/ MTCLKE-B/ PO28		
57		PB3	A11	ET_RX_ER/ RMII_RX_ER		MTIOC9D/ MTCLKH-B/ PO27		
58		PB2	A10	ET_RX_CLK/ REF50CK		MTIOC9B/ MTCLKG-B/ PO26		
59		PB1	A9	ET_ERXD0/ RMII_RXD0		MTIOC9C/ PO25		
60	VCC							
61		PB0	A8	ET_ERXD1/ RMII_RXD1		MTIOC9A/ PO24		
62	VSS							
63		PA7	A7	ET_WOL		MTIOC8B/ PO23	MISOA-B	
64		PA6	A6	ET_EXOUT		MTIOC8A/ PO22	MOSIA-B	
65		PA5	A5	ET_LINKSTA		MTIOC7B/ PO21	RSPCKA-B	
66		PA4	A4	ET_MDC		MTIOC7A/ PO20	SSLA0-B	
67		PA3	A3	ET_MDIO		MTIOC6D/ PO19		
68		PA2	A2			MTIOC6C/ PO18	SSLA3-B	
69		PA1	A1			MTIOC6B/ PO17	SSLA2-B	
70		PA0	A0/BC0#			MTIOC6A/ PO16	SSLA1-B	
71		PE7	D15				MISOB-B	IRQ7
72		PE6	D14				MOSIB-B	IRQ6-A
73		PE5	D13				RSPCKB-B	IRQ5
74		PE4	D12				SSLB0-B	
75		PE3	D11			POE8#		
76		PE2	D10			POE9#	SSLB3-B	
77		PE1	D9				SSLB2-B	
78		PE0	D8				SSLB1-B	
79		PD7	D7			MTIC5U/ POE0#		
80		PD6	D6			MTIC5V/ POE1#		
81		PD5	D5			MTIC5W/ POE2#		
82		PD4	D4			MTIC11U-B/ POE3#		
83		PD3	D3			MTIC11V-B/ POE4#		
84		PD2	D2			MTIC11W-B/ POE5#		

表1.7 機能別端子一覧（100ピンLQFP）(4 / 4)

ピン番号 100ピン LQFP	電源 クロック システム制御	I/Oポート	外部バス	ETHERC EDMAC	USB	タイマ （MTU、TMR、PPG、POE）	通信 （SCI、CAN、RSPI、RIIC）	その他
85		PD1	D1			POE6#		
86		PD0	D0			POE7#		
87		P47						IRQ15-B/AN7
88		P46						IRQ14/AN6
89		P45						IRQ13-B/AN5
90		P44						IRQ12/AN4
91		P43						IRQ11/AN3
92		P42						IRQ10/AN2
93		P41						IRQ9/AN1
94	VREFL							
95		P40						IRQ8/AN0
96	VREFH							
97	AVCC							
98		P07						IRQ15-A/ ADTRG0#-A
99	AVSS							
100		P05						DA1/IRQ13-A

表1.8 機能別端子一覧（85ピンTFLGA）(1 / 3)

ピン番号 85ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス	USB	タイマ （MTU、TMR、PPG）	通信 （SCI、CAN、RSPI、RIIC）	その他
A1		P05					DA1/IRQ13-A
A2	AVCC						
A3	VREFL						
A4		P43					IRQ11-B/AN3
A5		P47					IRQ15/AN7
A6		PD1	D1				
A7		PD4	D4		MTIC11U		
A8		PD5	D5		MTIC5W		
A9		PD7	D7		MTIC5U		
A10		PD6	D6		MTIC5V		
B1	VCC						
B2	AVSS						
B3	VREFH						
B4		P42					IRQ10/AN2
B5		P46					IRQ14/AN6
B6		PD0	D0				
B7		PD2	D2		MTIC11W		
B8		PD3	D3		MTIC11V		
B9		PA3	A3		MTIOC6D/ PO19		
B10		PA1	A1		MTIOC6B/ PO17	SSLA2	
C1		P03					IRQ11-A/DA0
C2	VSS						
C3		P40					IRQ8/AN0
C4		P41					IRQ9/AN1
C5		P44					IRQ12/AN4
C6		P45					IRQ13-B/AN5
C7	MD1						
C8	BSCANP						
C9		PA5	A5		MTIOC7B/ PO21	RSPCKA	
C10		PA0	A0		MTIOC6A/ PO16	SSLA1	
D1	MDE						
D2	EMLE						
D3	MD0						
D4	RES#						
D8	VCL						
D9		PA6	A6		MTIOC8A/ PO22	MOSIA	
D10		PA2	A2		MTIOC6C/ PO18	SSLA3	
E1	XCIN						
E2	XCOUT						

表1.8 機能別端子一覧（85ピンTFLGA）(2 / 3)

ピン番号 85ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス	USB	タイマ （MTU、TMR、PPG）	通信 （SCI、CAN、RSPI、RIIC）	その他
E3		P34			MTIOC0A/ TMCI3/PO12	SCK6	IRQ4-A/TRST#
E8	VSS						
E9		PB0	A8		MTIOC9A/ PO24		
E10		PA4	A4		MTIOC7A/ PO20	SSLA0	
F1	XTAL						
F2	EXTAL						
F3		P32			MTIOC0C/ PO10/ RTCOUT	TxD6/CTX0	IRQ2-A
F8	VCC						
F9		PB2	A10		MTIOC9B/ MTCLKG-B/ PO26		
F10		PA7	A7		MTIOC8B/ PO23	MISOA	
G1		P35					NMI
G2		P33			MTIOC0D/ PO11	RxD6/CRX0	IRQ3-A
G3		P27	CS7#		MTIOC2B/ PO7	SCK1/ RSPCKB	TCK
G8		PB3	A11		MTIOC9D/ MTCLKH-B/ PO27		
G9		PB5	A13		MTIOC10C/ MTCLKF-B/ PO29		
G10		PB1	A9		MTIOC9C/ PO25		
H1		P31			MTIOC4D/ TMCI2/PO9	SSLB0	IRQ1/TMS
H2		P30			MTIOC4B/ TMRI3/PO8	RxD1/MISOB	IRQ0/TDI
H3		P26	CS6#		MTIOC2A/ TMO1/PO6	TxD1/MOSIB	TDO
H4	PLLVCC						
H5		P14		USB0_OVRCURA/ USB0_DPUPE-B	MTIOC3A/ TMRI2/PO15		IRQ4-B
H6		P13			MTIOC0B/ TMO3/PO13	TxD2-A/ SDA0	IRQ3-B/ ADTRG1#
H7	BCLK	P53					
H8		PB6	A14		MTIOC10B/ PO30		
H9		PB7	A15		MTIOC10D/ PO31		
H10		PB4	A12		MTIOC10A/ MTCLKE-B/ PO28		

表1.8 機能別端子一覧（85ピンTFLGA）(3 / 3)

ピン番号 85ピン TFLGA	電源 クロック システム制御	I/Oポート	外部バス	USB	タイマ （MTU、TMR、PPG）	通信 （SCI、CAN、RSPI、RIIC）	その他
J1		P25	CS5#	USB0_DPRPD	MTIOC4C/ MTCLKB/ PO5	RxD3	ADTRG0#
J2		P23		USB0_DPUPE-A	MTIOC3D/ MTCLKD/ PO3	TxD3	
J3		P24	CS4#	USB0_VBUSEN-A	MTIOC4A/ MTCLKA-A/ TMRI1/PO4	SCK3	
J4		P16		USB0_VBUS/ USB0_OVRCURB/ USB0_VBUSEN-B	MTIOC3C/ TMO2/PO14		IRQ6
J5	VCC_USB						
J6				USB0_DM			
J7		P52	RD#			RxD2-B/ SSLB3	
J8		P51	WAIT#			SCK2/SSLB2	
J9		PC3	A19		MTCLKF-A	TxD5	
J10		PC0	A16		MTCLKG-A		
K1		P21		USB0_EXICEN	MTIOC1B/ TMCI0/PO1	RxD0/SCL1	
K2		P22		USB0_DRPD	MTIOC3B/ MTCLKC/ TMO0/PO2	SCK0	
K3		P20		USB0_ID	MTIOC1A/ TMRI0/PO0	TxD0/SDA1	
K4	PLLVSS						
K5		P12			TMCI1	RxD2-A/ SCL0	IRQ2-B
K6				USB0_DP			
K7	VSS_USB						
K8		P50	WR0#			TxD2-B/ SSLB1	
K9		PC2	A18		MTCLKE-A	RxD5	
K10		PC1	A17		MTCLKH-A	SCK5	

1.5 端子機能

表 1.9 に端子機能一覧を示します。

表1.9　端子機能一覧 (1 / 7)

分類	端子名	入出力	機　能
電源	VCC	入力	電源端子です。システムの電源に接続してください
	VCL	入力	0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子です。システムの電源（0V）に接続してください
	PLLVCC	入力	PLL回路用の電源端子です。システムの電源に接続してください
	PLLVSS	入力	PLL回路用のグランド端子です
クロック	XTAL	出力	水晶発振子接続端子です。EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	BCLK	出力	外部デバイス用の外部バスクロック出力端子です
	SDCLK	出力	SDRAM専用のクロック出力端子です
	XCOUT	出力	サブクロック発振回路の入出力です。XCOUTとXCINの間には、水晶発振子を接続してください
	XCIN	入力	
動作モードコントロール	MD0、MD1、MDE	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください
システム制御	RES#	入力	リセット端子です。この端子がLowになると、リセット状態となります
	EMLE	入力	オンチップエミュレータの接続を許可する端子です。オンチップエミュレータを使用する場合は、Highにしてください。 オンチップエミュレータを使用しない場合は、Lowにしてください
	BSCANP	入力	バウンダリスキャン許可端子です。この端子がHighになると、バウンダリスキャンが有効となります。バウンダリスキャンを使用しない場合は、Lowにしてください
CNVSS	CNVSS	入力	抵抗を介してVSSに接続（プルダウン）してください
オンチップエミュレータ	TRST#	入力	オンチップエミュレータ用またはバウンダリスキャン用の端子です。EMLE端子をHighにするとオンチップエミュレータ専用端子になります
	TMS	入力	
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TRCLK	出力	トレースデータと同期をとるためのクロックを出力します
	TRSYNC	出力	TRDATA0～TRDATA3端子からの出力が有効データであることを示します
	TRDATA0～TRDATA3	出力	トレース情報を出力します
アドレスバス	A0～A15 A16-A/A16-B～A23-A/A23-B	出力	アドレス出力端子です
データバス	D0～D31	入出力	双方向データバスです

表1.9 端子機能一覧 (2 / 7)

分類	端子名	入出力	機　能
バス制御	RD#	出力	外部バスインタフェース空間をリード中であることを示すストローブ信号です
	WR#	出力	1ライトストローブモード時、外部バスインタフェース空間をライト中であることを示すストローブ信号です
	WR0#～WR3#	出力	バイトストローブモード時、外部バスインタフェース空間をライト中で、データバス（D7～D0、D15～D8、D23～D16、D31～D24）のいずれかが有効であることを示すストローブ信号です
	BC0#～BC3#	出力	1ライトストローブモード時、外部バスインタフェース空間をアクセス中で、データバス（D7～D0、D15～D8、D23～D16、D31～D24）のいずれかが有効であることを示すストローブ信号です
	WE#	出力	SDRAMライトイネーブル端子です
	CAS#	出力	SDRAMカラムアドレスストローブ信号です
	RAS#	出力	SDRAMロウアドレスストローブ信号です
	CKE	出力	SDRAMクロックイネーブル信号です
	DQM0～DQM3	出力	SDRAM入出力データマスクイネーブル信号です
	SDCS#	出力	SDRAMチップセレクト信号です
	CS0#-A/CS0#-B CS1#-A/CS1#-B/CS1#-C CS2#-A/CS2#-B/CS2#-C CS3#-A/CS3#-B/CS3#-C CS4#-A/CS4#-B/CS4#-C CS5#-A/CS5#-B/CS5#-C CS6#-A/CS6#-B/CS6#-C CS7#-A/CS7#-B/CS7#-C	出力	エリア0～7の選択信号です
	WAIT#-A/WAIT#-B/ WAIT#-C/WAIT#-D	入力	外部空間をアクセスするときのウェイト要求信号です
EXDMAコントローラ	EDREQ0-A/EDREQ0-B/ EDREQ0-C	入力	チャネル0の外部リクエスト端子です
	EDREQ1-A/EDREQ1-B/ EDREQ1-C	入力	チャネル1の外部リクエスト端子です
	EDACK0-A/EDACK0-B/ EDACK0-C	出力	チャネル0のシングルアドレス転送アクノリッジ信号です
	EDACK1-A/EDACK1-B/ EDACK1-C	出力	チャネル1のシングルアドレス転送アクノリッジ信号です
割り込み	NMI	入力	ノンマスカブル割り込み要求端子です
	IRQ0-A/IRQ0-B IRQ1-A/IRQ1-B IRQ2-A/IRQ2-B IRQ3-A/IRQ3-B IRQ4-A/IRQ4-B IRQ5-A/IRQ5-B IRQ6-A/IRQ6-B IRQ7-A/IRQ7-B IRQ8-A/IRQ8-B IRQ9-A/IRQ9-B IRQ10-A/IRQ10-B IRQ11-A/IRQ11-B IRQ12 IRQ13-A/IRQ13-B IRQ14 IRQ15-A/IRQ15-B	入力	割り込み要求端子です

表1.9 端子機能一覧 (3 / 7)

分類	端子名	入出力	機　　能
マルチファンクション タイマパルスユニット	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC1A MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC2A MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC3A MTIOC3B-A/MTIOC3B-B MTIOC3C-A/MTIOC3C-B MTIOC3D-A/MTIOC3D-B	入出力	TGRA3～TGRD3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC4A-A/MTIOC4A-B MTIOC4B-A/MTIOC4B-B MTIOC4C-A/MTIOC4C-B MTIOC4D-A/MTIOC4D-B	入出力	TGRA4、TGRB4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIC5U-A/MTIC5U-B MTIC5V-A/MTIC5V-B MTIC5W-A/MTIC5W-B	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力／デッドタイム補償機能の入力端子です
	MTIOC6A MTIOC6B MTIOC6C MTIOC6D	入出力	TGRA6～TGRD6のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC7A MTIOC7B	入出力	TGRA7、TGRB7のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC8A MTIOC8B	入出力	TGRA8、TGRB8のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC9A MTIOC9B MTIOC9C MTIOC9D	入出力	TGRA9～TGRD9のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIOC10A MTIOC10B MTIOC10C MTIOC10D	入出力	TGRA10、TGRB10のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です
	MTIC11U-A/MTIC11U-B MTIC11V-A/MTIC11V-B MTIC11W-A/MTIC11W-B	入力	TGRU11、TGRV11、TGRW11のインプットキャプチャ入力／デッドタイム補償機能の入力端子です
	MTCLKA-A/MTCLKA-B MTCLKB-A/MTCLKB-B MTCLKC-A/MTCLKC-B MTCLKD-A/MTCLKD-B MTCLKE-A/MTCLKE-B MTCLKF-A/MTCLKF-B MTCLKG-A/MTCLKG-B MTCLKH-A/MTCLKH-B	入力	外部クロックを入力します
ポートアウトプット イネーブル	POE0#～POE9#	入力	MTU用の大電流端子をハイインピーダンス状態にする要求信号を入力します
プログラマブルパルスジェネレータ	PO0～PO31	出力	パルス出力端子です

表1.9　端子機能一覧 (4 / 7)

分類	端子名	入出力	機　能
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子です
	TMCI0-A/TMCI0-B TMCI1-A/TMCI1-B TMCI2-A/TMCI2-B TMCI3-A/TMCI3-B	入力	カウンタに入力する外部クロックの入力端子です
	TMRI0-A/TMRI0-B TMRI1 TMRI2 TMRI3-A/TMRI3-B	入力	カウンタリセット入力端子です
ウォッチドッグタイマ	WDTOVF#	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です
シリアル コミュニケーション インタフェース	TxD0 TxD1-A/TxD1-B TxD2-A/TxD2-B TxD3-A/TxD3-B TxD5 TxD6-A/TxD6-B	出力	送信データ出力端子です
	RxD0 RxD1-A/RxD1-B RxD2-A/RxD2-B RxD3-A/RxD3-B RxD5 RxD6-A/RxD6-B	入力	受信データ入力端子です
	SCK0 SCK1-A/SCK1-B SCK2-A/SCK2-B SCK3-A/SCK3-B SCK5 SCK6-A/SCK6-B	入出力	クロック入出力端子です
I^2Cバスインタフェース	SCL0、SCL1	入出力	I^2Cバスインタフェースのクロック入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
	SDA0、SDA1	入出力	I^2Cバスインタフェースのデータ入出力端子です。NMOSオープンドレイン出力でバスを直接駆動できます
イーサネットコントローラ	REF50CK	入力	50MHz基準クロックです。RMIIモード時の送受信信号タイミング参照信号です
	RMII_CRS_DV	入力	RMIIモード時、キャリア検出信号、有効な受信データがRMII_RXD1～0上にあることを示す信号です
	RMII_TXD0、RMII_TXD1	出力	RMIIモード時、2ビットの送信データです
	RMII_RXD0、RMII_RXD1	入力	RMIIモード時、2ビットの受信データです
	RMII_TXD_EN	出力	RMIIモード時、データ送信イネーブル信号です
	RMII_RX_ER	入力	RMIIモード時、データ受信中にエラーが発生したことを示します
	ET_CRS	入力	キャリア検出／受信データ有効端子です
	ET_RX_DV	入力	有効な受信データがET_ERXD3～0上にあることを示す信号です
	ET_EXOUT	出力	汎用外部出力端子です
	ET_LINKSTA	入力	PHY-LSIからのリンク状態を入力します
	ET_ETXD0～ET_ETXD3	出力	MIIの4ビット送信データです
	ET_ERXD0～ET_ERXD3	入力	MIIの4ビット受信データです
	ET_TX_EN	出力	送信イネーブル端子です。ET_ETXD3～0上に送信データが準備できたことを示す信号です

表1.9 端子機能一覧 (5 / 7)

分類	端子名	入出力	機　能
イーサネットコントローラ	ET_TX_ER	出力	送信エラー端子です。送信中のエラーをPHY-LSIに通知する信号です
	ET_RX_ER	入力	受信エラー端子です。データ受信中に発生したエラー状態を認識する信号です
	ET_TX_CLK	入力	送信クロック端子です。ET_TX_EN、ET_ETXD3～0、ET_TX_ERのタイミング参照信号です
	ET_RX_CLK	入力	受信クロック端子です。ET_RX_DV、ET_ERXD3～0、ET_RX_ERのタイミング参照信号です
	ET_COL	入力	衝突検出信号です
	ET_WOL	出力	Magic Packet受信を示す信号です
	ET_MDC	出力	ET_MDIOによる情報転送用の参照クロック信号です
	ET_MDIO	入出力	RX62Nグループ、RX621グループとPHY-LSIとの間で管理情報を交換するための双方向信号です
USB2.0ホスト／ファンクションモジュール	VCC_USB	入力	USB用の電源端子です。USB未使用時もシステムの電源に接続してください
	VSS_USB	入力	USB用の電源端子です。USB未使用時もシステムの電源（0V）に接続してください
	USB0_DP USB1_DP	入出力	USBバスのD+データです
	USB0_DM USB1_DM	入出力	USBバスのD-データです
	USB0_DPRPD USB1_DPRPD	出力	D+プルダウン許可
	USB0_DRPD USB1_DRPD	出力	D-プルダウン許可
	USB0_EXICEN USB1_EXICEN	出力	OTG電源ICに接続します
	USB0_ID USB1_ID	入力	OTG電源ICに接続します
	USB0_VBUSEN-A/ USB0_VBUSEN-B USB1_VBUSEN-A/ USB1_VBUSEN-B	出力	USB用VBUSパワーイネーブル端子です
	USB0_DPUPE-A/ USB0_DPUPE-B USB1_DPUPE-A/ USB1_DPUPE-B	出力	USB用プルアップ端子です
	USB0_OVRCURA/ USB0_OVRCURB USB1_OVRCURA/ USB1_OVRCURB	入力	USB用オーバカレント端子です
	USB0_VBUS USB1_VBUS	入力	USBケーブルの接続／切断検出入力端子です
CANモジュール	CRX0	入力	CANの入力端子です
	CTX0	出力	CANの出力端子です

表1.9　端子機能一覧 (6 / 7)

分類	端子名	入出力	機　能
シリアルペリフェラルインタフェース	RSPCKA-A/ RSPCKA-B	入出力	RSPIのクロック入出力端子です
	RSPCKB-A/ RSPCKB-B	入出力	RSPIのクロック入出力端子です
	MOSIA-A/MOSIA-B MOSIB-A/MOSIB-B	入出力	RSPIのマスタ送出データ端子です
	MISOA-A/MISOA-B MISOB-A/MISOB-B	入出力	RSPIのスレーブ送出データ端子です
	SSLA0-A/SSLA0-B	入出力	RSPIのスレーブセレクト
	SSLA1-A/SSLA1-B SSLA2-A/SSLA2-B SSLA3-A/SSLA3-B	出力	
	SSLB0-A/SSLB0-B	入出力	
	SSLB1-A/SSLB1-B SSLB2-A/SSLB2-B SSLB3-A/SSLB3-B	出力	
リアルタイムクロック	RTCOUT	出力	1Hz出力端子です
A/Dコンバータ	AN0～AN7	入力	A/Dコンバータのアナログ入力端子です
	ADTRG0#-A/ADTRG0#-B ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子です
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子です
アナログ電源	AVCC	入力	A/DコンバータおよびD/Aコンバータのアナログ電源端子です。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	AVSS	入力	A/DコンバータおよびD/Aコンバータのグランド端子です。システムの電源（0V）してください
	VREFH	入力	A/DコンバータおよびD/Aコンバータの基準電源端子です。A/DコンバータおよびD/Aコンバータを使用しない場合は、システムの電源に接続してください
	VREFL	入力	A/DコンバータおよびD/Aコンバータの基準グランド端子です。必ずアナログ基準電源（0V）に接続してください。また、A/D コンバータおよび D/A コンバータを使用しない場合は、システムの電源（0V）に接続してください。詳細は、ユーザーズマニュアルハードウエア編の「34.6.7　アナログ電源端子他の設定範囲」を参照してください。

表1.9 端子機能一覧 (7 / 7)

分類	端子名	入出力	機　　能
I/Oポート	P00～P03、P05、P07	入出力	6ビットの入出力端子です。
	P10～P17	入出力	8ビットの入出力端子です。
	P20～P27	入出力	8ビットの入出力端子です。
	P30～P34	入出力	5ビットの入出力端子です。
	P35	入力	1ビットの入力端子です。
	P40～P47	入出力	8ビットの入出力端子です。
	P50～P52、P54～P57	入出力	7ビットの入出力端子です。
	P53	入力	1ビットの入力端子です。
	P60～P67	入出力	8ビットの入出力端子です。
	P70～P77	入出力	8ビットの入出力端子です。
	P80～P85	入出力	6ビットの入出力端子です。
	P90～P97	入出力	8ビットの入出力端子です。
	PA0～PA7	入出力	8ビットの入出力端子です。
	PB0～PB7	入出力	8ビットの入出力端子です。
	PC0～PC7	入出力	8ビットの入出力端子です。
	PD0～PD7	入出力	8ビットの入出力端子です。
	PE0～PE7	入出力	8ビットの入出力端子です。
	PF0～PF4	入出力	5ビットの入出力端子です。
	PG0～PG7	入出力	8ビットの入出力端子です。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

汎用レジスタ

b31 b0

R0 （SP） （注1）
R1
R2
R3
R4
R5
R6
R7
R8
R9
R10
R11
R12
R13
R14
R15

制御レジスタ

b31 b0

ISP （割り込みスタックポインタ）
USP （ユーザスタックポインタ）

INTB （割り込みテーブルレジスタ）

PC （プログラムカウンタ）

PSW （プロセッサステータスワード）

BPC （バックアップPC）

BPSW （バックアップPSW）

FINTV （高速割り込みベクタレジスタ）

FPSW （浮動小数点ステータスワード）

DSP機能命令関連レジスタ

b63 b0

ACC（アキュムレータ）

注1. スタックポインタ（SP）は、PSWのUビットによって、割り込みスタックポインタ（ISP）、または
ユーザスタックポインタ（USP）に切り替わります。

図 2.1 CPU レジスタセット

2.1 汎用レジスタ（R0 ～ R15）

汎用レジスタは、16 本（R0 ～ R15）あります。汎用レジスタ R0 ～ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられています。SP は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって、割り込みスタックポインタ（ISP）、またはユーザスタックポインタ（USP）に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ（ISP）／ユーザスタックポインタ（USP）

スタックポインタ（SP）には、割り込みスタックポインタ（ISP）と、ユーザスタックポインタ（USP）の 2 種類があります。使用するスタックポインタ（ISP/USP）は、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって切り替えられます。

ISP、USP に 4 の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ（INTB）

割り込みテーブルレジスタ（INTB）には、可変ベクタテーブルの先頭番地を設定してください。

また、INTB レジスタには 4 の倍数を設定してください。

(3) プログラムカウンタ（PC）

プログラムカウンタ（PC）は、実行中の命令の番地を示します。

(4) プロセッサステータスワード（PSW）

プロセッサステータスワード（PSW）は、命令実行の結果や、CPU の状態を示します。

(5) バックアップ PC（BPC）

バックアップ PC（BPC）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ（PC）の内容が BPC に退避されます。

(6) バックアップ PSW（BPSW）

バックアップ PSW（BPSW）は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード（PSW）の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ（FINTV）

高速割り込みベクタレジスタ（FINTV）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(8) 浮動小数点ステータスワード（FPSW）

浮動小数点ステータスワード（FPSW）は、浮動小数点演算結果を示します。

例外処理許可ビット Ej で例外処理を許可（Ej=“1”）した場合は、例外処理ルーチンで該当する Cj フラグをチェックし例外発生の要因を判断することができます。例外処理を禁止（Ej=“0”）した場合は、一連の処理の最後に Fj フラグをチェックし例外発生の有無を確認することができます。Fj フラグが “1” になると、ソフトウェアで “0” にするまで “1” を保持します。（j=X、U、Z、O、V）

(9) アキュムレータ（ACC）

アキュムレータ（ACC）は、64 ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32 ビット（b63 ～ b32）に、MVTACLO 命令は下位側 32 ビット（b31 ～ b0）にデータを書きます。

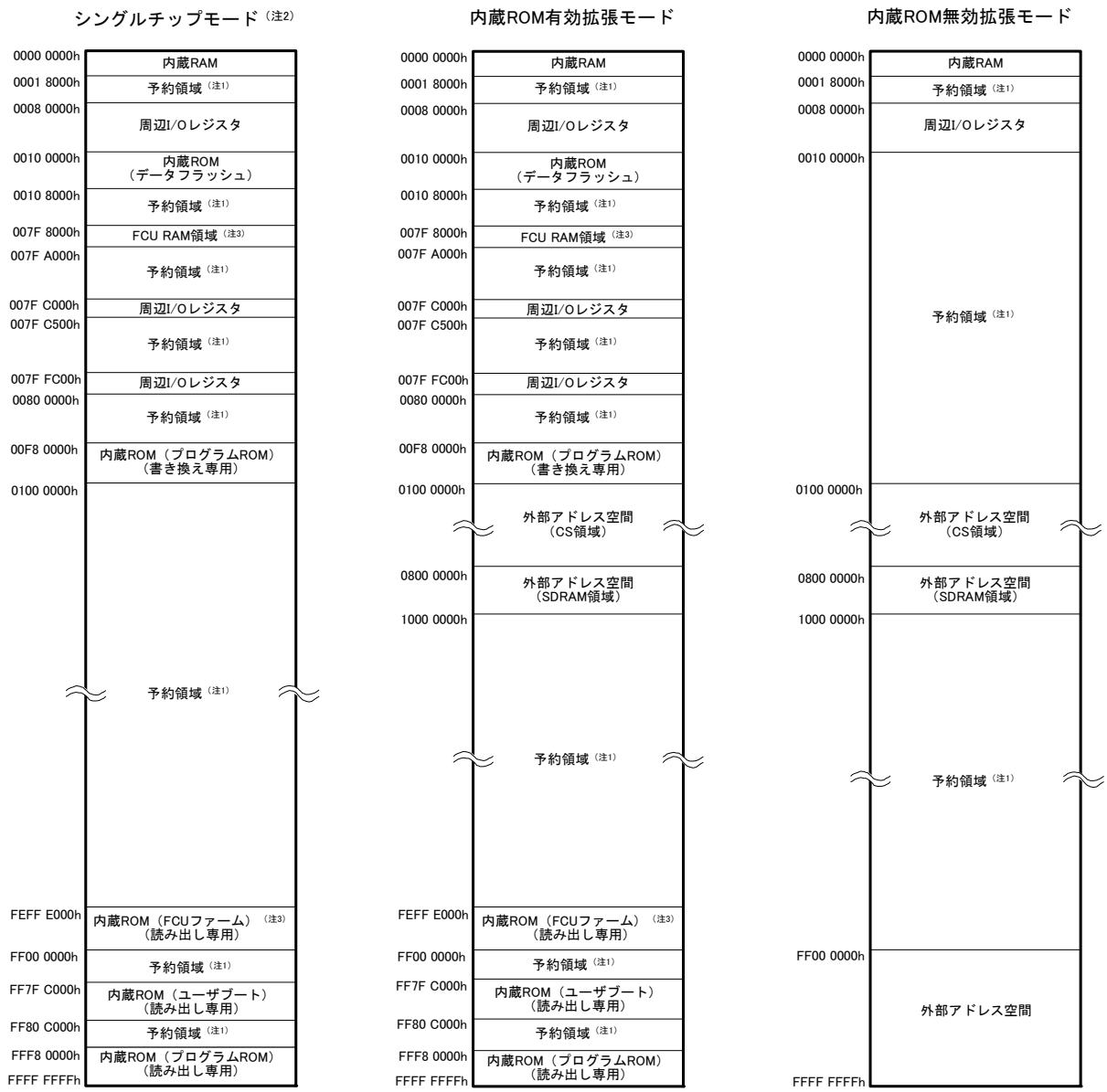
読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32 ビット（b63 ～ b32）、MVFACMI 命令で中央の 32 ビット（b47 ～ b16）のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。



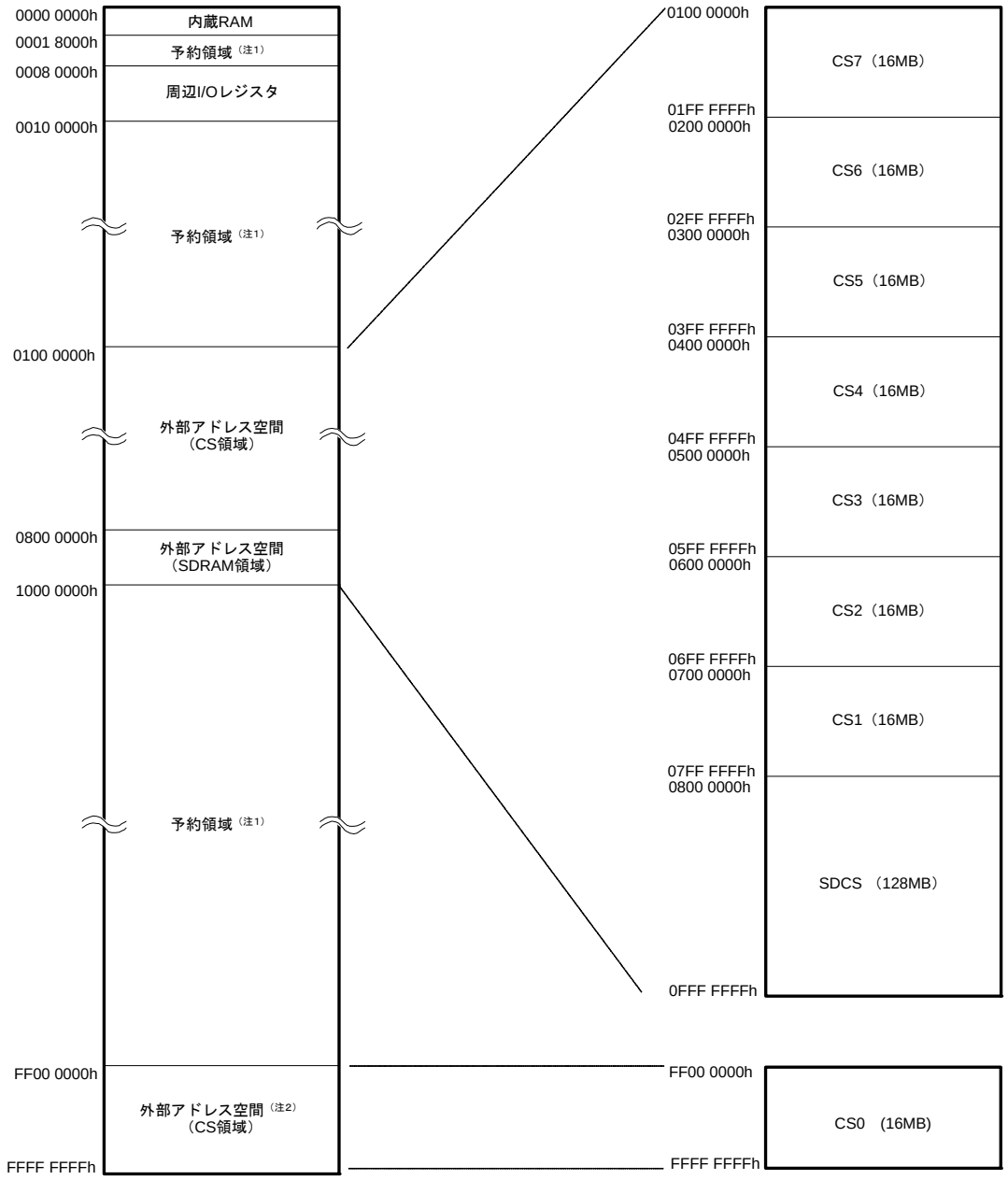
注1. 予約領域をアクセスしたときの動作については保証できませんので、アクセスしないようにしてください。
注2. ブートモード、USBブートモードは、シングルチップモードと同じアドレス空間となります。
注3. FCUについての詳細は、ユーザーズマニュアル ハードウエア編の「37. ROM」、「38. データフラッシュ」を参照してください。

図 3.1　各動作モードのメモリマップ

3.2　外部アドレス空間

外部アドレス空間は、CS 領域（CS0 ～ CS7）と、SDRAM 領域（SDCS）に分割されています。CS 領域は、CSi# 端子 (i=0 ～ 7) から出力される CSi# 信号によって最大 8 つのエリア（CS0 ～ CS7）に分割できます。

図 3.2 に内蔵 ROM 無効外部拡張モード時の CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）とアドレスの対応を示します。



注1.　予約領域をアクセスしたときの動作については保証できませんので、
　　アクセスしないようにしてください。
注2.　内蔵ROM有効拡張モード時はCS0領域は無効となり、
　　1000 0000h番地以降は図4.1で示すアドレス空間となります。

図 3.2　外部アドレス空間と CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）
（内蔵 ROM 無効拡張モードの場合）

4. I/O レジスタ

表 4.1 に I/O レジスタ一覧表（アドレス順）を示します。

表4.1 I/O レジスタアドレス一覧 (1 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK
0008 0006h	SYSTEM	システムコントロールレジスタ0	SYSCR0	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0030h	SYSTEM	外部バスクロックコントロールレジスタ	BCKCR	8	8	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK

表4.1　I/O レジスタアドレス一覧 (2 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK
0008 2200h	DMAC	DMACAモジュール起動レジスタ	DMAST	8	8	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 2800h	EXDMAC0	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1～2BCLK (注8)
0008 2804h	EXDMAC0	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1～2BCLK (注8)
0008 2808h	EXDMAC0	EXDMA転送カウントレジスタ	EDMCRA	32	32	1～2BCLK (注8)
0008 280Ch	EXDMAC0	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1～2BCLK (注8)
0008 2810h	EXDMAC0	EXDMA転送モードレジスタ	EDMTMD	16	16	1～2BCLK (注8)
0008 2812h	EXDMAC0	EXDMA出力設定レジスタ	EDMOMD	8	8	1～2BCLK (注8)
0008 2813h	EXDMAC0	EXDMA割り込み設定レジスタ	EDMINT	8	8	1～2BCLK (注8)
0008 2814h	EXDMAC0	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1～2BCLK (注8)
0008 2818h	EXDMAC0	EXDMAオフセットレジスタ	EDMOFR	32	32	1～2BCLK (注8)
0008 281Ch	EXDMAC0	EXDMA転送許可	EDMCNT	8	8	1～2BCLK (注8)
0008 281Dh	EXDMAC0	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1～2BCLK (注8)
0008 281Eh	EXDMAC0	EXDMAステータスレジスタ	EDMSTS	8	8	1～2BCLK (注8)
0008 2820h	EXDMAC0	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1～2BCLK (注8)
0008 2821h	EXDMAC0	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1～2BCLK (注8)
0008 2822h	EXDMAC0	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1～2BCLK (注8)
0008 2840h	EXDMAC1	EXDMA転送元アドレスレジスタ	EDMSAR	32	32	1～2BCLK (注8)
0008 2844h	EXDMAC1	EXDMA転送先アドレスレジスタ	EDMDAR	32	32	1～2BCLK (注8)

表4.1 I/Oレジスタアドレス一覧 (3 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 2848h	EXDMAC1	EXDMA転送カウントレジスタ	EDMCRA	32	32	1～2BCLK (注8)
0008 284Ch	EXDMAC1	EXDMAブロック転送カウントレジスタ	EDMCRB	16	16	1～2BCLK (注8)
0008 2850h	EXDMAC1	EXDMA転送モードレジスタ	EDMTMD	16	16	1～2BCLK (注8)
0008 2852h	EXDMAC1	EXDMA出力設定レジスタ	EDMOMD	8	8	1～2BCLK (注8)
0008 2853h	EXDMAC1	EXDMA割り込み設定レジスタ	EDMINT	8	8	1～2BCLK (注8)
0008 2854h	EXDMAC1	EXDMAアドレスモードレジスタ	EDMAMD	32	32	1～2BCLK (注8)
0008 285Ch	EXDMAC1	EXDMA転送許可	EDMCNT	8	8	1～2BCLK (注8)
0008 285Dh	EXDMAC1	EXDMAソフトウェア起動レジスタ	EDMREQ	8	8	1～2BCLK (注8)
0008 285Eh	EXDMAC1	EXDMAステータスレジスタ	EDMSTS	8	8	1～2BCLK (注8)
0008 2860h	EXDMAC1	EXDMA外部要求センスモードレジスタ	EDMRMD	8	8	1～2BCLK (注8)
0008 2861h	EXDMAC1	EXDMA外部要求フラグレジスタ	EDMERF	8	8	1～2BCLK (注8)
0008 2862h	EXDMAC1	EXDMA周辺要求フラグレジスタ	EDMPRF	8	8	1～2BCLK (注8)
0008 2A00h	EXDMAC	EXDMAモジュール起動レジスタ	EDMAST	8	8	1～2BCLK (注8)
0008 2BE0h	EXDMAC	クラスタバッファレジスタ0	CLSBR0	32	32	1～2BCLK (注8)
0008 2BE4h	EXDMAC	クラスタバッファレジスタ1	CLSBR1	32	32	1～2BCLK (注8)
0008 2BE8h	EXDMAC	クラスタバッファレジスタ2	CLSBR2	32	32	1～2BCLK (注8)
0008 2BECh	EXDMAC	クラスタバッファレジスタ3	CLSBR3	32	32	1～2BCLK (注8)
0008 2BF0h	EXDMAC	クラスタバッファレジスタ4	CLSBR4	32	32	1～2BCLK (注8)
0008 2BF4h	EXDMAC	クラスタバッファレジスタ5	CLSBR5	32	32	1～2BCLK (注8)
0008 2BF8h	EXDMAC	クラスタバッファレジスタ6	CLSBR6	32	32	1～2BCLK (注8)
0008 3002h	BSC	CS0モードレジスタ	CS0MOD	16	16	1～2BCLK (注8)
0008 3004h	BSC	CS0ウェイト制御レジスタ1	CS0WCR1	32	32	1～2BCLK (注8)
0008 3008h	BSC	CS0ウェイト制御レジスタ2	CS0WCR2	32	32	1～2BCLK (注8)
0008 3012h	BSC	CS1モードレジスタ	CS1MOD	16	16	1～2BCLK (注8)
0008 3014h	BSC	CS1ウェイト制御レジスタ1	CS1WCR1	32	32	1～2BCLK (注8)
0008 3018h	BSC	CS1ウェイト制御レジスタ2	CS1WCR2	32	32	1～2BCLK (注8)
0008 3022h	BSC	CS2モードレジスタ	CS2MOD	16	16	1～2BCLK (注8)
0008 3024h	BSC	CS2ウェイト制御レジスタ1	CS2WCR1	32	32	1～2BCLK (注8)
0008 3028h	BSC	CS2ウェイト制御レジスタ2	CS2WCR2	32	32	1～2BCLK (注8)
0008 3032h	BSC	CS3モードレジスタ	CS3MOD	16	16	1～2BCLK (注8)

表4.1　I/O レジスタアドレス一覧 (4 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 3034h	BSC	CS3ウェイト制御レジスタ1	CS3WCR1	32	32	1～2BCLK (注8)
0008 3038h	BSC	CS3ウェイト制御レジスタ2	CS3WCR2	32	32	1～2BCLK (注8)
0008 3042h	BSC	CS4モードレジスタ	CS4MOD	16	16	1～2BCLK (注8)
0008 3044h	BSC	CS4ウェイト制御レジスタ1	CS4WCR1	32	32	1～2BCLK (注8)
0008 3048h	BSC	CS4ウェイト制御レジスタ2	CS4WCR2	32	32	1～2BCLK (注8)
0008 3052h	BSC	CS5モードレジスタ	CS5MOD	16	16	1～2BCLK (注8)
0008 3054h	BSC	CS5ウェイト制御レジスタ1	CS5WCR1	32	32	1～2BCLK (注8)
0008 3058h	BSC	CS5ウェイト制御レジスタ2	CS5WCR2	32	32	1～2BCLK (注8)
0008 3062h	BSC	CS6モードレジスタ	CS6MOD	16	16	1～2BCLK (注8)
0008 3064h	BSC	CS6ウェイト制御レジスタ1	CS6WCR1	32	32	1～2BCLK (注8)
0008 3068h	BSC	CS6ウェイト制御レジスタ2	CS6WCR2	32	32	1～2BCLK (注8)
0008 3072h	BSC	CS7モードレジスタ	CS7MOD	16	16	1～2BCLK (注8)
0008 3074h	BSC	CS7ウェイト制御レジスタ1	CS7WCR1	32	32	1～2BCLK (注8)
0008 3078h	BSC	CS7ウェイト制御レジスタ2	CS7WCR2	32	32	1～2BCLK (注8)
0008 3802h	BSC	CS0制御レジスタ	CS0CR	16	16	1～2BCLK (注8)
0008 380Ah	BSC	CS0リカバリサイクル設定レジスタ	CS0REC	16	16	1～2BCLK (注8)
0008 3812h	BSC	CS1制御レジスタ	CS1CR	16	16	1～2BCLK (注8)
0008 381Ah	BSC	CS1リカバリサイクル設定レジスタ	CS1REC	16	16	1～2BCLK (注8)
0008 3822h	BSC	CS2制御レジスタ	CS2CR	16	16	1～2BCLK (注8)
0008 382Ah	BSC	CS2リカバリサイクル設定レジスタ	CS2REC	16	16	1～2BCLK (注8)
0008 3832h	BSC	CS3制御レジスタ	CS3CR	16	16	1～2BCLK (注8)
0008 383Ah	BSC	CS3リカバリサイクル設定レジスタ	CS3REC	16	16	1～2BCLK (注8)
0008 3842h	BSC	CS4制御レジスタ	CS4CR	16	16	1～2BCLK (注8)
0008 384Ah	BSC	CS4リカバリサイクル設定レジスタ	CS4REC	16	16	1～2BCLK (注8)
0008 3852h	BSC	CS5制御レジスタ	CS5CR	16	16	1～2BCLK (注8)
0008 385Ah	BSC	CS5リカバリサイクル設定レジスタ	CS5REC	16	16	1～2BCLK (注8)
0008 3862h	BSC	CS6制御レジスタ	CS6CR	16	16	1～2BCLK (注8)
0008 386Ah	BSC	CS6リカバリサイクル設定レジスタ	CS6REC	16	16	1～2BCLK (注8)
0008 3872h	BSC	CS7制御レジスタ	CS7CR	16	16	1～2BCLK (注8)
0008 387Ah	BSC	CS7リカバリサイクル設定レジスタ	CS7REC	16	16	1～2BCLK (注8)

表4.1　I/O レジスタアドレス一覧 (5 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 3C00h	BSC	SDC制御レジスタ	SDCCR	8	8	1～2BCLK (注8)
0008 3C01h	BSC	SDCモードレジスタ	SDCMOD	8	8	1～2BCLK (注8)
0008 3C02h	BSC	SDRAMアクセスモードレジスタ	SDAMOD	8	8	1～2BCLK (注8)
0008 3C10h	BSC	SDRAMセルフリフレッシュ制御レジスタ	SDSELF	8	8	1～2BCLK (注8)
0008 3C14h	BSC	SDRAMリフレッシュ制御レジスタ	SDRFCR	16	16	1～2BCLK (注8)
0008 3C16h	BSC	SDRAMオートリフレッシュ制御レジスタ	SDRFEN	8	8	1～2BCLK (注8)
0008 3C20h	BSC	SDRAM初期化シーケンス制御レジスタ	SDICR	8	8	1～2BCLK (注8)
0008 3C24h	BSC	SDRAM初期化レジスタ	SDIR	16	16	1～2BCLK (注8)
0008 3C40h	BSC	SDRAMアドレスレジスタ	SDADR	8	8	1～2BCLK (注8)
0008 3C44h	BSC	SDRAMタイミングレジスタ	SDTR	32	32	1～2BCLK (注8)
0008 3C48h	BSC	SDRAMモードレジスタ	SDMOD	16	16	1～2BCLK (注8)
0008 3C50h	BSC	SDRAMステータスレジスタ	SDSR	8	8	1～2BCLK (注8)
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK
0008 7024h	ICU	割り込み要求レジスタ 036	IR036	8	8	2ICLK
0008 7025h	ICU	割り込み要求レジスタ 037	IR037	8	8	2ICLK
0008 7026h	ICU	割り込み要求レジスタ 038	IR038	8	8	2ICLK
0008 7028h	ICU	割り込み要求レジスタ 040	IR040	8	8	2ICLK
0008 7029h	ICU	割り込み要求レジスタ 041	IR041	8	8	2ICLK
0008 702Ah	ICU	割り込み要求レジスタ 042	IR042	8	8	2ICLK
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK
0008 7038h	ICU	割り込み要求レジスタ 056	IR056	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK
0008 703Ch	ICU	割り込み要求レジスタ 060	IR060	8	8	2ICLK
0008 703Eh	ICU	割り込み要求レジスタ 062	IR062	8	8	2ICLK

表4.1 I/O レジスタアドレス一覧 (6 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK
0008 7048h	ICU	割り込み要求レジスタ 072	IR072	8	8	2ICLK
0008 7049h	ICU	割り込み要求レジスタ 073	IR073	8	8	2ICLK
0008 704Ah	ICU	割り込み要求レジスタ 074	IR074	8	8	2ICLK
0008 704Bh	ICU	割り込み要求レジスタ 075	IR075	8	8	2ICLK
0008 704Ch	ICU	割り込み要求レジスタ 076	IR076	8	8	2ICLK
0008 704Dh	ICU	割り込み要求レジスタ 077	IR077	8	8	2ICLK
0008 704Eh	ICU	割り込み要求レジスタ 078	IR078	8	8	2ICLK
0008 704Fh	ICU	割り込み要求レジスタ 079	IR079	8	8	2ICLK
0008 705Ah	ICU	割り込み要求レジスタ 090	IR090	8	8	2ICLK
0008 705Bh	ICU	割り込み要求レジスタ 091	IR091	8	8	2ICLK
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK
0008 7060h	ICU	割り込み要求レジスタ 096	IR096	8	8	2ICLK
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK
0008 7063h	ICU	割り込み要求レジスタ 099	IR099	8	8	2ICLK
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (7 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 708Eh	ICU	割り込み要求レジスタ 142	IR142	8	8	2ICLK
0008 708Fh	ICU	割り込み要求レジスタ 143	IR143	8	8	2ICLK
0008 7090h	ICU	割り込み要求レジスタ 144	IR144	8	8	2ICLK
0008 7091h	ICU	割り込み要求レジスタ 145	IR145	8	8	2ICLK
0008 7092h	ICU	割り込み要求レジスタ 146	IR146	8	8	2ICLK
0008 7093h	ICU	割り込み要求レジスタ 147	IR147	8	8	2ICLK
0008 7094h	ICU	割り込み要求レジスタ 148	IR148	8	8	2ICLK
0008 7095h	ICU	割り込み要求レジスタ 149	IR149	8	8	2ICLK
0008 7096h	ICU	割り込み要求レジスタ 150	IR150	8	8	2ICLK
0008 7097h	ICU	割り込み要求レジスタ 151	IR151	8	8	2ICLK
0008 7098h	ICU	割り込み要求レジスタ 152	IR152	8	8	2ICLK
0008 7099h	ICU	割り込み要求レジスタ 153	IR153	8	8	2ICLK
0008 709Ah	ICU	割り込み要求レジスタ 154	IR154	8	8	2ICLK
0008 709Bh	ICU	割り込み要求レジスタ 155	IR155	8	8	2ICLK
0008 709Ch	ICU	割り込み要求レジスタ 156	IR156	8	8	2ICLK
0008 709Dh	ICU	割り込み要求レジスタ 157	IR157	8	8	2ICLK
0008 709Eh	ICU	割り込み要求レジスタ 158	IR158	8	8	2ICLK
0008 709Fh	ICU	割り込み要求レジスタ 159	IR159	8	8	2ICLK
0008 70A0h	ICU	割り込み要求レジスタ 160	IR160	8	8	2ICLK
0008 70A1h	ICU	割り込み要求レジスタ 161	IR161	8	8	2ICLK
0008 70A2h	ICU	割り込み要求レジスタ 162	IR162	8	8	2ICLK
0008 70A3h	ICU	割り込み要求レジスタ 163	IR163	8	8	2ICLK
0008 70A4h	ICU	割り込み要求レジスタ 164	IR164	8	8	2ICLK
0008 70A5h	ICU	割り込み要求レジスタ 165	IR165	8	8	2ICLK
0008 70A6h	ICU	割り込み要求レジスタ 166	IR166	8	8	2ICLK
0008 70A7h	ICU	割り込み要求レジスタ 167	IR167	8	8	2ICLK
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK
0008 70A9h	ICU	割り込み要求レジスタ 169	IR169	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70ACh	ICU	割り込み要求レジスタ 172	IR172	8	8	2ICLK
0008 70ADh	ICU	割り込み要求レジスタ 173	IR173	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (8 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK
0008 70CAh	ICU	割り込み要求レジスタ 202	IR202	8	8	2ICLK
0008 70CBh	ICU	割り込み要求レジスタ 203	IR203	8	8	2ICLK
0008 70D6h	ICU	割り込み要求レジスタ 214	IR214	8	8	2ICLK
0008 70D7h	ICU	割り込み要求レジスタ 215	IR215	8	8	2ICLK
0008 70D8h	ICU	割り込み要求レジスタ 216	IR216	8	8	2ICLK
0008 70D9h	ICU	割り込み要求レジスタ 217	IR217	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2ICLK
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2ICLK
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2ICLK
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2ICLK
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2ICLK
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2ICLK
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2ICLK
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2ICLK
0008 70EEh	ICU	割り込み要求レジスタ 238	IR238	8	8	2ICLK
0008 70EFh	ICU	割り込み要求レジスタ 239	IR239	8	8	2ICLK
0008 70F0h	ICU	割り込み要求レジスタ 240	IR240	8	8	2ICLK
0008 70F1h	ICU	割り込み要求レジスタ 241	IR241	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2ICLK
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2ICLK
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2ICLK
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2ICLK
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCER027	8	8	2ICLK
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCER028	8	8	2ICLK
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCER029	8	8	2ICLK
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCER030	8	8	2ICLK
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCER031	8	8	2ICLK
0008 7124h	ICU	DTC起動許可レジスタ 036	DTCER036	8	8	2ICLK
0008 7125h	ICU	DTC起動許可レジスタ 037	DTCER037	8	8	2ICLK
0008 7128h	ICU	DTC起動許可レジスタ 040	DTCER040	8	8	2ICLK
0008 7129h	ICU	DTC起動許可レジスタ 041	DTCER041	8	8	2ICLK
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCER045	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (9 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCER046	8	8	2ICLK
0008 7131h	ICU	DTC起動許可レジスタ 049	DTCER049	8	8	2ICLK
0008 7132h	ICU	DTC起動許可レジスタ 050	DTCER050	8	8	2ICLK
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7146h	ICU	DTC起動許可レジスタ 070	DTCER070	8	8	2ICLK
0008 7147h	ICU	DTC起動許可レジスタ 071	DTCER071	8	8	2ICLK
0008 7148h	ICU	DTC起動許可レジスタ 072	DTCER072	8	8	2ICLK
0008 7149h	ICU	DTC起動許可レジスタ 073	DTCER073	8	8	2ICLK
0008 714Ah	ICU	DTC起動許可レジスタ 074	DTCER074	8	8	2ICLK
0008 714Bh	ICU	DTC起動許可レジスタ 075	DTCER075	8	8	2ICLK
0008 714Ch	ICU	DTC起動許可レジスタ 076	DTCER076	8	8	2ICLK
0008 714Dh	ICU	DTC起動許可レジスタ 077	DTCER077	8	8	2ICLK
0008 714Eh	ICU	DTC起動許可レジスタ 078	DTCER078	8	8	2ICLK
0008 714Fh	ICU	DTC起動許可レジスタ 079	DTCER079	8	8	2ICLK
0008 7162h	ICU	DTC起動許可レジスタ 098	DTCER098	8	8	2ICLK
0008 7163h	ICU	DTC起動許可レジスタ 099	DTCER099	8	8	2ICLK
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCER114	8	8	2ICLK
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2ICLK
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2ICLK
0008 718Eh	ICU	DTC起動許可レジスタ 142	DTCER142	8	8	2ICLK
0008 718Fh	ICU	DTC起動許可レジスタ 143	DTCER143	8	8	2ICLK
0008 7190h	ICU	DTC起動許可レジスタ 144	DTCER144	8	8	2ICLK
0008 7191h	ICU	DTC起動許可レジスタ 145	DTCER145	8	8	2ICLK
0008 7195h	ICU	DTC起動許可レジスタ 149	DTCER149	8	8	2ICLK
0008 7196h	ICU	DTC起動許可レジスタ 150	DTCER150	8	8	2ICLK

表4.1 I/Oレジスタアドレス一覧 (10 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7199h	ICU	DTC起動許可レジスタ 153	DTCER153	8	8	2ICLK
0008 719Ah	ICU	DTC起動許可レジスタ 154	DTCER154	8	8	2ICLK
0008 719Dh	ICU	DTC起動許可レジスタ 157	DTCER157	8	8	2ICLK
0008 719Eh	ICU	DTC起動許可レジスタ 158	DTCER158	8	8	2ICLK
0008 719Fh	ICU	DTC起動許可レジスタ 159	DTCER159	8	8	2ICLK
0008 71A0h	ICU	DTC起動許可レジスタ 160	DTCER160	8	8	2ICLK
0008 71A2h	ICU	DTC起動許可レジスタ 162	DTCER162	8	8	2ICLK
0008 71A3h	ICU	DTC起動許可レジスタ 163	DTCER163	8	8	2ICLK
0008 71A4h	ICU	DTC起動許可レジスタ 164	DTCER164	8	8	2ICLK
0008 71A5h	ICU	DTC起動許可レジスタ 165	DTCER165	8	8	2ICLK
0008 71A6h	ICU	DTC起動許可レジスタ 166	DTCER166	8	8	2ICLK
0008 71A7h	ICU	DTC起動許可レジスタ 167	DTCER167	8	8	2ICLK
0008 71A8h	ICU	DTC起動許可レジスタ 168	DTCER168	8	8	2ICLK
0008 71A9h	ICU	DTC起動許可レジスタ 169	DTCER169	8	8	2ICLK
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK
0008 71C6h	ICU	DTC起動許可レジスタ 198	DTCER198	8	8	2ICLK
0008 71C7h	ICU	DTC起動許可レジスタ 199	DTCER199	8	8	2ICLK
0008 71C8h	ICU	DTC起動許可レジスタ 200	DTCER200	8	8	2ICLK
0008 71C9h	ICU	DTC起動許可レジスタ 201	DTCER201	8	8	2ICLK
0008 71CAh	ICU	DTC起動許可レジスタ 202	DTCER202	8	8	2ICLK
0008 71CBh	ICU	DTC起動許可レジスタ 203	DTCER203	8	8	2ICLK
0008 71D7h	ICU	DTC起動許可レジスタ 215	DTCER215	8	8	2ICLK
0008 71D8h	ICU	DTC起動許可レジスタ 216	DTCER216	8	8	2ICLK
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71E3h	ICU	DTC起動許可レジスタ 227	DTCER227	8	8	2ICLK
0008 71E4h	ICU	DTC起動許可レジスタ 228	DTCER228	8	8	2ICLK
0008 71EBh	ICU	DTC起動許可レジスタ 235	DTCER235	8	8	2ICLK
0008 71ECh	ICU	DTC起動許可レジスタ 236	DTCER236	8	8	2ICLK
0008 71EFh	ICU	DTC起動許可レジスタ 239	DTCER239	8	8	2ICLK
0008 71F0h	ICU	DTC起動許可レジスタ 240	DTCER240	8	8	2ICLK
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK
0008 71FBh	ICU	DTC起動許可レジスタ 251	DTCER251	8	8	2ICLK
0008 71FCh	ICU	DTC起動許可レジスタ 252	DTCER252	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK

表4.1 I/O レジスタアドレス一覧 (11 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 7209h	ICU	割り込み要求許可レジスタ 09	IER09	8	8	2ICLK
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7212h	ICU	割り込み要求許可レジスタ 12	IER12	8	8	2ICLK
0008 7213h	ICU	割り込み要求許可レジスタ 13	IER13	8	8	2ICLK
0008 7214h	ICU	割り込み要求許可レジスタ 14	IER14	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 00	IPR00	8	8	2ICLK
0008 7301h	ICU	割り込み要因プライオリティレジスタ 01	IPR01	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 02	IPR02	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 03	IPR03	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 04	IPR04	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 05	IPR05	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 06	IPR06	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 07	IPR07	8	8	2ICLK
0008 7308h	ICU	割り込み要因プライオリティレジスタ 08	IPR08	8	8	2ICLK
0008 730Ch	ICU	割り込み要因プライオリティレジスタ 0C	IPR0C	8	8	2ICLK
0008 730Dh	ICU	割り込み要因プライオリティレジスタ 0D	IPR0D	8	8	2ICLK
0008 730Eh	ICU	割り込み要因プライオリティレジスタ 0E	IPR0E	8	8	2ICLK
0008 7310h	ICU	割り込み要因プライオリティレジスタ 10	IPR10	8	8	2ICLK
0008 7311h	ICU	割り込み要因プライオリティレジスタ 11	IPR11	8	8	2ICLK
0008 7312h	ICU	割り込み要因プライオリティレジスタ 12	IPR12	8	8	2ICLK
0008 7314h	ICU	割り込み要因プライオリティレジスタ 14	IPR14	8	8	2ICLK
0008 7315h	ICU	割り込み要因プライオリティレジスタ 15	IPR15	8	8	2ICLK
0008 7318h	ICU	割り込み要因プライオリティレジスタ 18	IPR18	8	8	2ICLK
0008 731Eh	ICU	割り込み要因プライオリティレジスタ 1E	IPR1E	8	8	2ICLK
0008 731Fh	ICU	割り込み要因プライオリティレジスタ 1F	IPR1F	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 20	IPR20	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 21	IPR21	8	8	2ICLK

表4.1　I/O レジスタアドレス一覧 (12 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7322h	ICU	割り込み要因プライオリティレジスタ 22	IPR22	8	8	2ICLK
0008 7323h	ICU	割り込み要因プライオリティレジスタ 23	IPR23	8	8	2ICLK
0008 7324h	ICU	割り込み要因プライオリティレジスタ 24	IPR24	8	8	2ICLK
0008 7325h	ICU	割り込み要因プライオリティレジスタ 25	IPR25	8	8	2ICLK
0008 7326h	ICU	割り込み要因プライオリティレジスタ 26	IPR26	8	8	2ICLK
0008 7327h	ICU	割り込み要因プライオリティレジスタ 27	IPR27	8	8	2ICLK
0008 7328h	ICU	割り込み要因プライオリティレジスタ 28	IPR28	8	8	2ICLK
0008 7329h	ICU	割り込み要因プライオリティレジスタ 29	IPR29	8	8	2ICLK
0008 732Ah	ICU	割り込み要因プライオリティレジスタ 2A	IPR2A	8	8	2ICLK
0008 732Bh	ICU	割り込み要因プライオリティレジスタ 2B	IPR2B	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 2C	IPR2C	8	8	2ICLK
0008 732Dh	ICU	割り込み要因プライオリティレジスタ 2D	IPR2D	8	8	2ICLK
0008 732Eh	ICU	割り込み要因プライオリティレジスタ 2E	IPR2E	8	8	2ICLK
0008 732Fh	ICU	割り込み要因プライオリティレジスタ 2F	IPR2F	8	8	2ICLK
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 3A	IPR3A	8	8	2ICLK
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 3B	IPR3B	8	8	2ICLK
0008 733Ch	ICU	割り込み要因プライオリティレジスタ 3C	IPR3C	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 40	IPR40	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 44	IPR44	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ 45	IPR45	8	8	2ICLK
0008 7348h	ICU	割り込み要因プライオリティレジスタ 48	IPR48	8	8	2ICLK
0008 7351h	ICU	割り込み要因プライオリティレジスタ 51	IPR51	8	8	2ICLK
0008 7352h	ICU	割り込み要因プライオリティレジスタ 52	IPR52	8	8	2ICLK
0008 7353h	ICU	割り込み要因プライオリティレジスタ 53	IPR53	8	8	2ICLK
0008 7354h	ICU	割り込み要因プライオリティレジスタ 54	IPR54	8	8	2ICLK
0008 7355h	ICU	割り込み要因プライオリティレジスタ 55	IPR55	8	8	2ICLK
0008 7356h	ICU	割り込み要因プライオリティレジスタ 56	IPR56	8	8	2ICLK
0008 7357h	ICU	割り込み要因プライオリティレジスタ 57	IPR57	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 58	IPR58	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 59	IPR59	8	8	2ICLK
0008 735Ah	ICU	割り込み要因プライオリティレジスタ 5A	IPR5A	8	8	2ICLK
0008 735Bh	ICU	割り込み要因プライオリティレジスタ 5B	IPR5B	8	8	2ICLK
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 5C	IPR5C	8	8	2ICLK
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 5D	IPR5D	8	8	2ICLK
0008 735Eh	ICU	割り込み要因プライオリティレジスタ 5E	IPR5E	8	8	2ICLK
0008 735Fh	ICU	割り込み要因プライオリティレジスタ 5F	IPR5F	8	8	2ICLK
0008 7360h	ICU	割り込み要因プライオリティレジスタ 60	IPR60	8	8	2ICLK
0008 7361h	ICU	割り込み要因プライオリティレジスタ 61	IPR61	8	8	2ICLK
0008 7362h	ICU	割り込み要因プライオリティレジスタ 62	IPR62	8	8	2ICLK
0008 7363h	ICU	割り込み要因プライオリティレジスタ 63	IPR63	8	8	2ICLK
0008 7364h	ICU	割り込み要因プライオリティレジスタ 64	IPR64	8	8	2ICLK
0008 7365h	ICU	割り込み要因プライオリティレジスタ 65	IPR65	8	8	2ICLK
0008 7366h	ICU	割り込み要因プライオリティレジスタ 66	IPR66	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ 67	IPR67	8	8	2ICLK
0008 7368h	ICU	割り込み要因プライオリティレジスタ 68	IPR68	8	8	2ICLK
0008 7369h	ICU	割り込み要因プライオリティレジスタ 69	IPR69	8	8	2ICLK
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 6A	IPR6A	8	8	2ICLK
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 6B	IPR6B	8	8	2ICLK

表4.1　I/O レジスタアドレス一覧 (13 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 7370h	ICU	割り込み要因プライオリティレジスタ70	IPR70	8	8	2ICLK
0008 7371h	ICU	割り込み要因プライオリティレジスタ71	IPR71	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ72	IPR72	8	8	2ICLK
0008 7373h	ICU	割り込み要因プライオリティレジスタ73	IPR73	8	8	2ICLK
0008 7374h	ICU	割り込み要因プライオリティレジスタ74	IPR74	8	8	2ICLK
0008 7375h	ICU	割り込み要因プライオリティレジスタ75	IPR75	8	8	2ICLK
0008 7380h	ICU	割り込み要因プライオリティレジスタ80	IPR80	8	8	2ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ81	IPR81	8	8	2ICLK
0008 7382h	ICU	割り込み要因プライオリティレジスタ82	IPR82	8	8	2ICLK
0008 7383h	ICU	割り込み要因プライオリティレジスタ83	IPR83	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ85	IPR85	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ86	IPR86	8	8	2ICLK
0008 7388h	ICU	割り込み要因プライオリティレジスタ88	IPR88	8	8	2ICLK
0008 7389h	ICU	割り込み要因プライオリティレジスタ89	IPR89	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ8A	IPR8A	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ8B	IPR8B	8	8	2ICLK
0008 738Ch	ICU	割り込み要因プライオリティレジスタ8C	IPR8C	8	8	2ICLK
0008 738Dh	ICU	割り込み要因プライオリティレジスタ8D	IPR8D	8	8	2ICLK
0008 738Eh	ICU	割り込み要因プライオリティレジスタ8E	IPR8E	8	8	2ICLK
0008 738Fh	ICU	割り込み要因プライオリティレジスタ8F	IPR8F	8	8	2ICLK
0008 7400h	ICU	DMACA起動要因選択レジスタ0	DMRSR0	8	8	2ICLK
0008 7404h	ICU	DMACA起動要因選択レジスタ1	DMRSR1	8	8	2ICLK
0008 7408h	ICU	DMACA起動要因選択レジスタ2	DMRSR2	8	8	2ICLK
0008 740Ch	ICU	DMACA起動要因選択レジスタ3	DMRSR3	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ5	IRQCR5	8	8	2ICLK
0008 7506h	ICU	IRQコントロールレジスタ6	IRQCR6	8	8	2ICLK
0008 7507h	ICU	IRQコントロールレジスタ7	IRQCR7	8	8	2ICLK
0008 7508h	ICU	IRQコントロールレジスタ8	IRQCR8	8	8	2ICLK
0008 7509h	ICU	IRQコントロールレジスタ9	IRQCR9	8	8	2ICLK
0008 750Ah	ICU	IRQコントロールレジスタ10	IRQCR10	8	8	2ICLK
0008 750Bh	ICU	IRQコントロールレジスタ11	IRQCR11	8	8	2ICLK
0008 750Ch	ICU	IRQコントロールレジスタ12	IRQCR12	8	8	2ICLK
0008 750Dh	ICU	IRQコントロールレジスタ13	IRQCR13	8	8	2ICLK
0008 750Eh	ICU	IRQコントロールレジスタ14	IRQCR14	8	8	2ICLK
0008 750Fh	ICU	IRQコントロールレジスタ15	IRQCR15	8	8	2ICLK
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスカブル割り込みクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2～3PCLK (注8)
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (14 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2～3PCLK (注8)
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2～3PCLK (注8)
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2～3PCLK (注8)
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2～3PCLK (注8)
0008 8028h	WDT	タイマコントロール／ステータスレジスタ	READ.TCSR	8	8	2～3PCLK (注8)
0008 8028h	WDT	ライトウインドウAレジスタ	WRITE.WINA	16	16	2～3PCLK (注8)
0008 8029h	WDT	タイマカウンタ	READ.TCNT	8	8	2～3PCLK (注8)
0008 802Ah	WDT	ライトウインドウBレジスタ	WRITE.WINB	16	16	2～3PCLK (注8)
0008 802Bh	WDT	リセットコントロール／ステータスレジスタ	READ.RSTCSR	8	8	2～3PCLK (注8)
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2～3PCLK (注8)
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2～3PCLK (注8)
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2～3PCLK (注8)
0008 8040h	AD0	A/Dデータレジスタ A	ADDRA	16	16	2～3PCLK (注8)
0008 8042h	AD0	A/Dデータレジスタ B	ADDRB	16	16	2～3PCLK (注8)
0008 8044h	AD0	A/Dデータレジスタ C	ADDRC	16	16	2～3PCLK (注8)
0008 8046h	AD0	A/Dデータレジスタ D	ADDRD	16	16	2～3PCLK (注8)
0008 8050h	AD0	A/Dコントロール／ステータスレジスタ	ADCSR	8	8	2～3PCLK (注8)
0008 8051h	AD0	A/Dコントロールレジスタ	ADCR	8	8	2～3PCLK (注8)
0008 8052h	AD0	ADDRnフォーマット選択レジスタ	ADDPR	8	8	2～3PCLK (注8)
0008 8053h	AD0	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2～3PCLK (注8)
0008 805Fh	AD0	A/D自己診断レジスタ	ADDIAGR	8	8	2～3PCLK (注8)
0008 8060h	AD1	A/Dデータレジスタ A	ADDRA	16	16	2～3PCLK (注8)
0008 8062h	AD1	A/Dデータレジスタ B	ADDRB	16	16	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (15 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8064h	AD1	A/Dデータレジスタ C	ADDRC	16	16	2～3PCLK (注8)
0008 8066h	AD1	A/Dデータレジスタ D	ADDRD	16	16	2～3PCLK (注8)
0008 8070h	AD1	A/Dコントロール／ステータスレジスタ	ADCSR	8	8	2～3PCLK (注8)
0008 8071h	AD1	A/Dコントロールレジスタ	ADCR	8	8	2～3PCLK (注8)
0008 8072h	AD1	ADDRnフォーマット選択レジスタ	ADDPR	8	8	2～3PCLK (注8)
0008 8073h	AD1	A/Dサンプリングステートレジスタ	ADSSTR	8	8	2～3PCLK (注8)
0008 807Fh	AD1	A/D自己診断レジスタ	ADDIAGR	8	8	2～3PCLK (注8)
0008 80C0h	DA	D/Aデータレジスタ 0	DADR0	16	16	2～3PCLK (注8)
0008 80C2h	DA	D/Aデータレジスタ 1	DADR1	16	16	2～3PCLK (注8)
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2～3PCLK (注8)
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2～3PCLK (注8)
0008 81E6h	PPG0	PPG出力コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 81E7h	PPG0	PPG出力モードレジスタ	PMR	8	8	2～3PCLK (注8)
0008 81E8h	PPG0	ネクストデータイネーブルレジスタ H	NDERH	8	8	2～3PCLK (注8)
0008 81E9h	PPG0	ネクストデータイネーブルレジスタ L	NDERL	8	8	2～3PCLK (注8)
0008 81EAh	PPG0	アウトプットデータレジスタ H	PODRH	8	8	2～3PCLK (注8)
0008 81EBh	PPG0	アウトプットデータレジスタ L	PODRL	8	8	2～3PCLK (注8)
0008 81ECh (注1)	PPG0	ネクストデータレジスタ H	NDRH	8	8	2～3PCLK (注8)
0008 81EDh (注2)	PPG0	ネクストデータレジスタ L	NDRL	8	8	2～3PCLK (注8)
0008 81EEh (注1)	PPG0	ネクストデータレジスタ H2	NDRH2	8	8	2～3PCLK (注8)
0008 81EFh (注2)	PPG0	ネクストデータレジスタ L2	NDRL2	8	8	2～3PCLK (注8)
0008 81F0h	PPG1	PPGトリガセレクトレジスタ	PTRSLR	8	8	2～3PCLK (注8)
0008 81F6h	PPG1	PPG出力コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 81F7h	PPG1	PPG出力モードレジスタ	PMR	8	8	2～3PCLK (注8)
0008 81F8h	PPG1	ネクストデータイネーブルレジスタ H	NDERH	8	8	2～3PCLK (注8)
0008 81F9h	PPG1	ネクストデータイネーブルレジスタ L	NDERL	8	8	2～3PCLK (注8)
0008 81FAh	PPG1	アウトプットデータレジスタ H	PODRH	8	8	2～3PCLK (注8)
0008 81FBh	PPG1	アウトプットデータレジスタ L	PODRL	8	8	2～3PCLK (注8)
0008 81FCh (注3)	PPG1	ネクストデータレジスタ H	NDRH	8	8	2～3PCLK (注8)
0008 81FDh (注4)	PPG1	ネクストデータレジスタ L	NDRL	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (16 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 81FEh（注3）	PPG1	ネクストデータレジスタH2	NDRH2	8	8	2～3PCLK（注8）
0008 81FFh（注4）	PPG1	ネクストデータレジスタL2	NDRL2	8	8	2～3PCLK（注8）
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8202h	TMR0	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK（注8）
0008 8203h	TMR1	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK（注8）
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK（注8）
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK（注8）
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK（注8）
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK（注8）
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2～3PCLK（注8）
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8	2～3PCLK（注8）
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK（注8）
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK（注8）
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLK（注8）
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLK（注8）
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLK（注8）
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8212h	TMR2	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK（注8）
0008 8213h	TMR3	タイマコントロール／ステータスレジスタ	TCSR	8	8	2～3PCLK（注8）
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK（注8）
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8	2～3PCLK（注8）
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK（注8）
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8	2～3PCLK（注8）
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2～3PCLK（注8）
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8	2～3PCLK（注8）
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK（注8）
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8	2～3PCLK（注8）

表4.1　I/O レジスタアドレス一覧 (17 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	16	16	2～3PCLK (注8)
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	16	16	2～3PCLK (注8)
0008 8218h	TMR2	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	16	16	2～3PCLK (注8)
0008 8240h	SCI0	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8241h	SCI0	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8242h	SCI0	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 8243h	SCI0	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8244h	SCI0	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8245h	SCI0	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8246h	SCI0	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8247h	SCI0	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8240h	SMCI0	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8241h	SMCI0	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8242h	SMCI0	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 8243h	SMCI0	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8244h	SMCI0	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8245h	SMCI0	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8246h	SMCI0	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8248h	SCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8249h	SCI1	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 824Ah	SCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 824Bh	SCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 824Ch	SCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 824Dh	SCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 824Eh	SCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 824Fh	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8248h	SMCI1	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8249h	SMCI1	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 824Ah	SMCI1	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (18 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 824Bh	SMCI1	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 824Ch	SMCI1	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 824Dh	SMCI1	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 824Eh	SMCI1	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8250h	SCI2	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8251h	SCI2	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8252h	SCI2	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 8253h	SCI2	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8254h	SCI2	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8255h	SCI2	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8256h	SCI2	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8257h	SCI2	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8250h	SMCI2	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8251h	SMCI2	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8252h	SMCI2	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 8253h	SMCI2	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8254h	SMCI2	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8255h	SMCI2	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8256h	SMCI2	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8258h	SCI3	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8259h	SCI3	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 825Ah	SCI3	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 825Bh	SCI3	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 825Ch	SCI3	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 825Dh	SCI3	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 825Eh	SCI3	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 825Fh	SCI3	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8258h	SMCI3	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8259h	SMCI3	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 825Ah	SMCI3	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)

表4.1 I/O レジスタアドレス一覧 (19 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 825Bh	SMCI3	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 825Ch	SMCI3	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 825Dh	SMCI3	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 825Eh	SMCI3	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8268h	SCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8269h	SCI5	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 826Ah	SCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 826Bh	SCI5	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 826Ch	SCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 826Dh	SCI5	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 826Eh	SCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 826Fh	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8268h	SMCI5	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8269h	SMCI5	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 826Ah	SMCI5	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 826Bh	SMCI5	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 826Ch	SMCI5	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 826Dh	SMCI5	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 826Eh	SMCI5	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8270h	SCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8271h	SCI6	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8272h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)
0008 8273h	SCI6	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8274h	SCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8275h	SCI6	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8276h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8277h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2～3PCLK (注8)
0008 8270h	SMCI6	シリアルモードレジスタ	SMR	8	8	2～3PCLK (注8)
0008 8271h	SMCI6	ビットレートレジスタ	BRR	8	8	2～3PCLK (注8)
0008 8272h	SMCI6	シリアルコントロールレジスタ	SCR	8	8	2～3PCLK (注8)

表4.1　　I/O レジスタアドレス一覧 (20 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8273h	SMCI6	トランスミットデータレジスタ	TDR	8	8	2～3PCLK (注8)
0008 8274h	SMCI6	シリアルステータスレジスタ	SSR	8	8	2～3PCLK (注8)
0008 8275h	SMCI6	レシーブデータレジスタ	RDR	8	8	2～3PCLK (注8)
0008 8276h	SMCI6	スマートカードモードレジスタ	SCMR	8	8	2～3PCLK (注8)
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2～3PCLK (注8)
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2～3PCLK (注8)
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2～3PCLK (注8)
0008 8300h	RIIC0	I²Cバスコントロールレジスタ1	ICCR1	8	8	2～3PCLK (注8)
0008 8301h	RIIC0	I²Cバスコントロールレジスタ2	ICCR2	8	8	2～3PCLK (注8)
0008 8302h	RIIC0	I²Cバスモードレジスタ1	ICMR1	8	8	2～3PCLK (注8)
0008 8303h	RIIC0	I²Cバスモードレジスタ2	ICMR2	8	8	2～3PCLK (注8)
0008 8304h	RIIC0	I²Cバスモードレジスタ3	ICMR3	8	8	2～3PCLK (注8)
0008 8305h	RIIC0	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2～3PCLK (注8)
0008 8306h	RIIC0	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2～3PCLK (注8)
0008 8307h	RIIC0	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2～3PCLK (注8)
0008 8308h	RIIC0	I²Cバスステータスレジスタ1	ICSR1	8	8	2～3PCLK (注8)
0008 8309h	RIIC0	I²Cバスステータスレジスタ2	ICSR2	8	8	2～3PCLK (注8)
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2～3PCLK (注8)
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLK (注8)
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLK (注8)
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLK (注8)
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLK (注8)
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLK (注8)
0008 8310h	RIIC0	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2～3PCLK (注8)
0008 8311h	RIIC0	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2～3PCLK (注8)
0008 8312h	RIIC0	I²Cバス送信データレジスタ	ICDRT	8	8	2～3PCLK (注8)
0008 8313h	RIIC0	I²Cバス受信データレジスタ	ICDRR	8	8	2～3PCLK (注8)
0008 8320h	RIIC1	I²Cバスコントロールレジスタ1	ICCR1	8	8	2～3PCLK (注8)
0008 8321h	RIIC1	I²Cバスコントロールレジスタ2	ICCR2	8	8	2～3PCLK (注8)
0008 8322h	RIIC1	I²Cバスモードレジスタ1	ICMR1	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (21 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8323h	RIIC1	I²Cバスモードレジスタ2	ICMR2	8	8	2～3PCLK (注8)
0008 8324h	RIIC1	I²Cバスモードレジスタ3	ICMR3	8	8	2～3PCLK (注8)
0008 8325h	RIIC1	I²Cバスファンクションイネーブルレジスタ	ICFER	8	8	2～3PCLK (注8)
0008 8326h	RIIC1	I²Cバスステータスイネーブルレジスタ	ICSER	8	8	2～3PCLK (注8)
0008 8327h	RIIC1	I²Cバスインタラプトイネーブルレジスタ	ICIER	8	8	2～3PCLK (注8)
0008 8328h	RIIC1	I²Cバスステータスレジスタ1	ICSR1	8	8	2～3PCLK (注8)
0008 8329h	RIIC1	I²Cバスステータスレジスタ2	ICSR2	8	8	2～3PCLK (注8)
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2～3PCLK (注8)
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2～3PCLK (注8)
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2～3PCLK (注8)
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2～3PCLK (注8)
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2～3PCLK (注8)
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2～3PCLK (注8)
0008 8330h	RIIC1	I²Cバスビットレートローレベルレジスタ	ICBRL	8	8	2～3PCLK (注8)
0008 8331h	RIIC1	I²Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2～3PCLK (注8)
0008 8332h	RIIC1	I²Cバス送信データレジスタ	ICDRT	8	8	2～3PCLK (注8)
0008 8333h	RIIC1	I²Cバス受信データレジスタ	ICDRR	8	8	2～3PCLK (注8)
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2～3PCLK (注8)
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLK (注8)
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLK (注8)
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2～3PCLK (注8)
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2～3PCLK (注8)
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLK (注8)
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLK (注8)
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLK (注8)
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2～3PCLK (注8)
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLK (注8)
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLK (注8)
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLK (注8)
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (22 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2～3PCLK (注8)
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2～3PCLK (注8)
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2～3PCLK (注8)
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2～3PCLK (注8)
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2～3PCLK (注8)
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2～3PCLK (注8)
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2～3PCLK (注8)
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2～3PCLK (注8)
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2～3PCLK (注8)
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2～3PCLK (注8)
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2～3PCLK (注8)
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2～3PCLK (注8)
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2～3PCLK (注8)
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2～3PCLK (注8)
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2～3PCLK (注8)
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2～3PCLK (注8)
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2～3PCLK (注8)
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2～3PCLK (注8)
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2～3PCLK (注8)
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2～3PCLK (注8)
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2～3PCLK (注8)
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2～3PCLK (注8)
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2～3PCLK (注8)
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2～3PCLK (注8)
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2～3PCLK (注8)
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2～3PCLK (注8)
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2～3PCLK (注8)
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2～3PCLK (注8)
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2～3PCLK (注8)
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (23 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2～3PCLK (注8)
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2～3PCLK (注8)
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2～3PCLK (注8)
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2～3PCLK (注8)
0008 8608h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8609h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 860Ah	MTUA	タイマアウトプットマスタイネーブルレジスタ	TOER	8	8	2～3PCLK (注8)
0008 860Dh	MTUA	タイマゲートコントロールレジスタ	TGCR	8	8	2～3PCLK (注8)
0008 860Eh	MTUA	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2～3PCLK (注8)
0008 860Fh	MTUA	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2～3PCLK (注8)
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8614h	MTUA	タイマ周期データレジスタ	TCDR	16	16	2～3PCLK (注8)
0008 8616h	MTUA	タイマデッドタイムデータレジスタ	TDDR	16	16	2～3PCLK (注8)
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK (注8)
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK (注8)
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK (注8)
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK (注8)
0008 8620h	MTUA	タイマサブカウンタ	TCNTS	16	16	2～3PCLK (注8)
0008 8622h	MTUA	タイマ周期バッファレジスタ	TCBR	16	16	2～3PCLK (注8)
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK (注8)
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK (注8)
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK (注8)
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK (注8)
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8630h	MTUA	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (24 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 8631h	MTUA	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2～3PCLK (注8)
0008 8632h	MTUA	タイマバッファ転送設定レジスタ	TBTER	8	8	2～3PCLK (注8)
0008 8634h	MTUA	タイマデッドタイムイネーブルレジスタ	TDER	8	8	2～3PCLK (注8)
0008 8636h	MTUA	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2～3PCLK (注8)
0008 8638h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK (注8)
0008 8639h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK (注8)
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2～3PCLK (注8)
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2～3PCLK (注8)
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2～3PCLK (注8)
0008 8648h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2～3PCLK (注8)
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2～3PCLK (注8)
0008 8660h	MTUA	タイマ波形コントロールレジスタ	TWCR	8	8	2～3PCLK (注8)
0008 8680h	MTUA	タイマスタートレジスタ	TSTR	8	8	2～3PCLK (注8)
0008 8681h	MTUA	タイマシンクロレジスタ	TSYR	8	8	2～3PCLK (注8)
0008 8684h	MTUA	タイマリードライトイネーブルレジスタ	TRWER	8	8	2～3PCLK (注8)
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8702h	MTU0	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK (注8)
0008 8703h	MTU0	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK (注8)
0008 8704h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8708h	MTU0	タイマジェネラルレジスタ A	TGRA	16	16	2～3PCLK (注8)
0008 870Ah	MTU0	タイマジェネラルレジスタ B	TGRB	16	16	2～3PCLK (注8)
0008 870Ch	MTU0	タイマジェネラルレジスタ C	TGRC	16	16	2～3PCLK (注8)
0008 870Eh	MTU0	タイマジェネラルレジスタ D	TGRD	16	16	2～3PCLK (注8)
0008 8720h	MTU0	タイマジェネラルレジスタ E	TGRE	16	16	2～3PCLK (注8)
0008 8722h	MTU0	タイマジェネラルレジスタ F	TGRF	16	16	2～3PCLK (注8)
0008 8724h	MTU0	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8	2～3PCLK (注8)
0008 8726h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK (注8)

表4.1 I/O レジスタアドレス一覧 (25 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK (注8)
0008 8784h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK (注8)
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK (注8)
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2～3PCLK (注8)
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK (注8)
0008 8804h	MTU2	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK (注8)
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK (注8)
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2～3PCLK (注8)
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2～3PCLK (注8)
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2～3PCLK (注8)
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2～3PCLK (注8)
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2～3PCLK (注8)
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2～3PCLK (注8)
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2～3PCLK (注8)
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2～3PCLK (注8)
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2～3PCLK (注8)
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2～3PCLK (注8)
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2～3PCLK (注8)
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2～3PCLK (注8)
0008 88B2h	MTU5	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (26 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
0008 88B4h	MTU5	タイマスタートレジスタ	TSTR	8	8	2～3PCLK（注8）
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2～3PCLK（注8）
0008 8900h	POE	入力レベルコントロール／ステータスレジスタ1	ICSR1	16	16	2～3PCLK（注8）
0008 8902h	POE	出力レベルコントロール／ステータスレジスタ1	OCSR1	16	16	2～3PCLK（注8）
0008 8904h	POE	入力レベルコントロール／ステータスレジスタ2	ICSR2	16	16	2～3PCLK（注8）
0008 8906h	POE	出力レベルコントロール／ステータスレジスタ2	OCSR2	16	16	2～3PCLK（注8）
0008 8908h	POE	入力レベルコントロール／ステータスレジスタ3	ICSR3	16	16	2～3PCLK（注8）
0008 890Ah	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8	2～3PCLK（注8）
0008 890Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2～3PCLK（注8）
0008 890Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	16	16	2～3PCLK（注8）
0008 890Eh	POE	入力レベルコントロール／ステータスレジスタ4	ICSR4	16	16	2～3PCLK（注8）
0008 8A00h	MTU9	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8A01h	MTU10	タイマコントロールレジスタ	TCR	8	8	2～3PCLK（注8）
0008 8A02h	MTU9	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8A03h	MTU10	タイマモードレジスタ	TMDR	8	8	2～3PCLK（注8）
0008 8A04h	MTU9	タイマI/OコントロールレジスタH	TIORH	8	8	2～3PCLK（注8）
0008 8A05h	MTU9	タイマI/OコントロールレジスタL	TIORL	8	8	2～3PCLK（注8）
0008 8A06h	MTU10	タイマI/OコントロールレジスタH	TIORH	8	8	2～3PCLK（注8）
0008 8A07h	MTU10	タイマI/OコントロールレジスタL	TIORL	8	8	2～3PCLK（注8）
0008 8A08h	MTU9	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8A09h	MTU10	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK（注8）
0008 8A0Ah	MTUB	タイマアウトプットマスタイネーブルレジスタ	TOER	8	8	2～3PCLK（注8）
0008 8A0Dh	MTUB	タイマゲートコントロールレジスタ	TGCR	8	8	2～3PCLK（注8）
0008 8A0Eh	MTUB	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2～3PCLK（注8）
0008 8A0Fh	MTUB	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2～3PCLK（注8）
0008 8A10h	MTU9	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8A12h	MTU10	タイマカウンタ	TCNT	16	16	2～3PCLK（注8）
0008 8A14h	MTUB	タイマ周期データレジスタ	TCDR	16	16	2～3PCLK（注8）
0008 8A16h	MTUB	タイマデッドタイムデータレジスタ	TDDR	16	16	2～3PCLK（注8）
0008 8A18h	MTU9	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK（注8）

表4.1　I/O レジスタアドレス一覧 (27 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8A1Ah	MTU9	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK (注8)
0008 8A1Ch	MTU10	タイマジェネラルレジスタA	TGRA	16	16	2～3PCLK (注8)
0008 8A1Eh	MTU10	タイマジェネラルレジスタB	TGRB	16	16	2～3PCLK (注8)
0008 8A20h	MTUB	タイマサブカウンタ	TCNTS	16	16	2～3PCLK (注8)
0008 8A22h	MTUB	タイマ周期バッファレジスタ	TCBR	16	16	2～3PCLK (注8)
0008 8A24h	MTU9	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK (注8)
0008 8A26h	MTU9	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK (注8)
0008 8A28h	MTU10	タイマジェネラルレジスタC	TGRC	16	16	2～3PCLK (注8)
0008 8A2Ah	MTU10	タイマジェネラルレジスタD	TGRD	16	16	2～3PCLK (注8)
0008 8A2Ch	MTU9	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8A2Dh	MTU10	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8A30h	MTUB	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2～3PCLK (注8)
0008 8A31h	MTUB	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2～3PCLK (注8)
0008 8A32h	MTUB	タイマバッファ転送設定レジスタ	TBTER	8	8	2～3PCLK (注8)
0008 8A34h	MTUB	タイマデッドタイムイネーブルレジスタ	TDER	8	8	2～3PCLK (注8)
0008 8A36h	MTUB	タイマアウトプットレベルバッファレジスタ	TOLBR	8	8	2～3PCLK (注8)
0008 8A38h	MTU9	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK (注8)
0008 8A39h	MTU10	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK (注8)
0008 8A40h	MTU10	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2～3PCLK (注8)
0008 8A44h	MTU10	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2～3PCLK (注8)
0008 8A46h	MTU10	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2～3PCLK (注8)
0008 8A48h	MTU10	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16	2～3PCLK (注8)
0008 8A4Ah	MTU10	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	2～3PCLK (注8)
0008 8A60h	MTUB	タイマ波形コントロールレジスタ	TWCR	8	8	2～3PCLK (注8)
0008 8A80h	MTUB	タイマスタートレジスタ	TSTR	8	8	2～3PCLK (注8)
0008 8A81h	MTUB	タイマシンクロレジスタ	TSYR	8	8	2～3PCLK (注8)
0008 8A84h	MTUB	タイマリードライトイネーブルレジスタ	TRWER	8	8	2～3PCLK (注8)
0008 8B00h	MTU6	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8B01h	MTU6	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8B02h	MTU6	タイマI/Oコントロールレジスタ H	TIORH	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (28 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8B03h	MTU6	タイマI/Oコントロールレジスタ L	TIORL	8	8	2～3PCLK (注8)
0008 8B04h	MTU6	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8B05h	MTU6	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8B06h	MTU6	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8B08h	MTU6	タイマジェネラルレジスタ A	TGRA	16	16	2～3PCLK (注8)
0008 8B0Ah	MTU6	タイマジェネラルレジスタ B	TGRB	16	16	2～3PCLK (注8)
0008 8B0Ch	MTU6	タイマジェネラルレジスタ C	TGRC	16	16	2～3PCLK (注8)
0008 8B0Eh	MTU6	タイマジェネラルレジスタ D	TGRD	16	16	2～3PCLK (注8)
0008 8B20h	MTU6	タイマジェネラルレジスタ E	TGRE	16	16	2～3PCLK (注8)
0008 8B22h	MTU6	タイマジェネラルレジスタ F	TGRF	16	16	2～3PCLK (注8)
0008 8B24h	MTU6	タイマインタラプトイネーブルレジスタ 2	TIER2	8	8	2～3PCLK (注8)
0008 8B26h	MTU6	タイマバッファ動作転送モードレジスタ	TBTM	8	8	2～3PCLK (注8)
0008 8B80h	MTU7	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8B81h	MTU7	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8B82h	MTU7	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK (注8)
0008 8B84h	MTU7	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8B85h	MTU7	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8B86h	MTU7	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8B88h	MTU7	タイマジェネラルレジスタ A	TGRA	16	16	2～3PCLK (注8)
0008 8B8Ah	MTU7	タイマジェネラルレジスタ B	TGRB	16	16	2～3PCLK (注8)
0008 8B90h	MTU7	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2～3PCLK (注8)
0008 8C00h	MTU8	タイマコントロールレジスタ	TCR	8	8	2～3PCLK (注8)
0008 8C01h	MTU8	タイマモードレジスタ	TMDR	8	8	2～3PCLK (注8)
0008 8C02h	MTU8	タイマI/Oコントロールレジスタ	TIOR	8	8	2～3PCLK (注8)
0008 8C04h	MTU8	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8C05h	MTU8	タイマステータスレジスタ	TSR	8	8	2～3PCLK (注8)
0008 8C06h	MTU8	タイマカウンタ	TCNT	16	16	2～3PCLK (注8)
0008 8C08h	MTU8	タイマジェネラルレジスタ A	TGRA	16	16	2～3PCLK (注8)
0008 8C0Ah	MTU8	タイマジェネラルレジスタ B	TGRB	16	16	2～3PCLK (注8)
0008 8C80h	MTU11	タイマカウンタ U	TCNTU	16	16	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (29 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 8C82h	MTU11	タイマジェネラルレジスタU	TGRU	16	16	2～3PCLK (注8)
0008 8C84h	MTU11	タイマコントロールレジスタU	TCRU	8	8	2～3PCLK (注8)
0008 8C86h	MTU11	タイマI/OコントロールレジスタU	TIORU	8	8	2～3PCLK (注8)
0008 8C90h	MTU11	タイマカウンタV	TCNTV	16	16	2～3PCLK (注8)
0008 8C92h	MTU11	タイマジェネラルレジスタV	TGRV	16	16	2～3PCLK (注8)
0008 8C94h	MTU11	タイマコントロールレジスタV	TCRV	8	8	2～3PCLK (注8)
0008 8C96h	MTU11	タイマI/OコントロールレジスタV	TIORV	8	8	2～3PCLK (注8)
0008 8CA0h	MTU11	タイマカウンタW	TCNTW	16	16	2～3PCLK (注8)
0008 8CA2h	MTU11	タイマジェネラルレジスタW	TGRW	16	16	2～3PCLK (注8)
0008 8CA4h	MTU11	タイマコントロールレジスタW	TCRW	8	8	2～3PCLK (注8)
0008 8CA6h	MTU11	タイマI/OコントロールレジスタW	TIORW	8	8	2～3PCLK (注8)
0008 8CB2h	MTU11	タイマインタラプトイネーブルレジスタ	TIER	8	8	2～3PCLK (注8)
0008 8CB4h	MTU11	タイマスタートレジスタ	TSTR	8	8	2～3PCLK (注8)
0008 8CB6h	MTU11	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2～3PCLK (注8)
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	8	8	2～3PCLK (注8)
0008 9004h	S12AD	A/Dチャネル選択レジスタ	ADANS	16	16	2～3PCLK (注8)
0008 9008h	S12AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2～3PCLK (注8)
0008 900Ch	S12AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2～3PCLK (注8)
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2～3PCLK (注8)
0008 9010h	S12AD	A/D開始トリガ選択レジスタ	ADSTRGR	8	8	2～3PCLK (注8)
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2～3PCLK (注8)
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2～3PCLK (注8)
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2～3PCLK (注8)
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2～3PCLK (注8)
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2～3PCLK (注8)
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2～3PCLK (注8)
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2～3PCLK (注8)
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2～3PCLK (注8)
0008 C000h	PORT0	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C001h	PORT1	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (30 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C002h	PORT2	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C003h	PORT3	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C004h	PORT4	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C005h	PORT5	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C006h	PORT6	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C007h	PORT7	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C008h	PORT8	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C009h	PORT9	データディレクションレジスタ	DDR (注6、注7)	8	8	2～3PCLK (注8)
0008 C00Ah	PORTA	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C00Bh	PORTB	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C00Ch	PORTC	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C00Dh	PORTD	データディレクションレジスタ	DDR	8	8	2～3PCLK (注8)
0008 C00Eh	PORTE	データディレクションレジスタ	DDR (注7)	8	8	2～3PCLK (注8)
0008 C00Fh	PORTF	データディレクションレジスタ	DDR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C010h	PORTG	データディレクションレジスタ	DDR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C020h	PORT0	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C021h	PORT1	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C022h	PORT2	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C023h	PORT3	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C024h	PORT4	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C025h	PORT5	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C026h	PORT6	データレジスタ	DR (注6、注7)	8	8	2～3PCLK (注8)
0008 C027h	PORT7	データレジスタ	DR (注6、注7)	8	8	2～3PCLK (注8)
0008 C028h	PORT8	データレジスタ	DR (注6、注7)	8	8	2～3PCLK (注8)
0008 C029h	PORT9	データレジスタ	DR (注6、注7)	8	8	2～3PCLK (注8)
0008 C02Ah	PORTA	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C02Bh	PORTB	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C02Ch	PORTC	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C02Dh	PORTD	データレジスタ	DR	8	8	2～3PCLK (注8)
0008 C02Eh	PORTE	データレジスタ	DR (注7)	8	8	2～3PCLK (注8)

表4.1 I/O レジスタアドレス一覧 (31 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C02Fh	PORTF	データレジスタ	DR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C030h	PORTG	データレジスタ	DR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C040h	PORT0	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C041h	PORT1	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C042h	PORT2	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C043h	PORT3	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C044h	PORT4	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C045h	PORT5	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C046h	PORT6	ポートレジスタ	PORT (注6、注7))	8	8	2～3PCLK (注8)
0008 C047h	PORT7	ポートレジスタ	PORT (注6、注7)	8	8	2～3PCLK (注8)
0008 C048h	PORT8	ポートレジスタ	PORT (注6、注7)	8	8	2～3PCLK (注8)
0008 C049h	PORT9	ポートレジスタ	PORT (注6、注7)	8	8	2～3PCLK (注8)
0008 C04Ah	PORTA	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Bh	PORTB	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Ch	PORTC	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Dh	PORTD	ポートレジスタ	PORT	8	8	2～3PCLK (注8)
0008 C04Eh	PORTE	ポートレジスタ	PORT (注7)	8	8	2～3PCLK (注8)
0008 C04Fh	PORTF	ポートレジスタ	PORT (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C050h	PORTG	ポートレジスタ	PORT (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C060h	PORT0	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C061h	PORT1	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C062h	PORT2	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C063h	PORT3	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C064h	PORT4	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C065h	PORT5	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C066h	PORT6	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C067h	PORT7	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C068h	PORT8	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C069h	PORT9	入力バッファコントロールレジスタ	ICR (注6、注7)	8	8	2～3PCLK (注8)
0008 C06Ah	PORTA	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (32 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C06Bh	PORTB	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Ch	PORTC	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Dh	PORTD	入力バッファコントロールレジスタ	ICR	8	8	2～3PCLK (注8)
0008 C06Eh	PORTE	入力バッファコントロールレジスタ	ICR (注7)	8	8	2～3PCLK (注8)
0008 C06Fh	PORTF	入力バッファコントロールレジスタ	ICR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C070h	PORTG	入力バッファコントロールレジスタ	ICR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C080h	PORT0	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C081h	PORT1	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C082h	PORT2	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C083h	PORT3	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C08Ch	PORTC	オープンドレインコントロールレジスタ	ODR	8	8	2～3PCLK (注8)
0008 C0C9h	PORT9	プルアップ抵抗コントロールレジスタ	PCR (注6、注7)	8	8	2～3PCLK (注8)
0008 C0CAh	PORTA	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CBh	PORTB	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CCh	PORTC	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CDh	PORTD	プルアップ抵抗コントロールレジスタ	PCR	8	8	2～3PCLK (注8)
0008 C0CEh	PORTE	プルアップ抵抗コントロールレジスタ	PCR (注7)	8	8	2～3PCLK (注8)
0008 C0D0h	PORTG	プルアップ抵抗コントロールレジスタ	PCR (注5、注6、注7)	8	8	2～3PCLK (注8)
0008 C100h	IOPORT	ポートファンクションレジスタ0	PF0CSE	8	8	2～3PCLK (注8)
0008 C101h	IOPORT	ポートファンクションレジスタ1	PF1CSS (注6、注7)	8	8	2～3PCLK (注8)
0008 C102h	IOPORT	ポートファンクションレジスタ2	PF2CSS (注6、注7)	8	8	2～3PCLK (注8)
0008 C103h	IOPORT	ポートファンクションレジスタ3	PF3BUS	8	8	2～3PCLK (注8)
0008 C104h	IOPORT	ポートファンクションレジスタ4	PF4BUS	8	8	2～3PCLK (注8)
0008 C105h	IOPORT	ポートファンクションレジスタ5	PF5BUS	8	8	2～3PCLK (注8)
0008 C106h	IOPORT	ポートファンクションレジスタ6	PF6BUS	8	8	2～3PCLK (注8)
0008 C107h	IOPORT	ポートファンクションレジスタ7	PF7DMA	8	8	2～3PCLK (注8)
0008 C108h	IOPORT	ポートファンクションレジスタ8	PF8IRQ	8	8	2～3PCLK (注8)
0008 C109h	IOPORT	ポートファンクションレジスタ9	PF9IRQ	8	8	2～3PCLK (注8)
0008 C10Ah	IOPORT	ポートファンクションレジスタA	PFAADC	8	8	2～3PCLK (注8)
0008 C10Bh	IOPORT	ポートファンクションレジスタB	PFBTMR	8	8	2～3PCLK (注8)

表4.1　　I/O レジスタアドレス一覧 (33 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C10Ch	IOPORT	ポートファンクションレジスタC	PFCMTU	8	8	2～3PCLK (注8)
0008 C10Dh	IOPORT	ポートファンクションレジスタD	PFDMTU	8	8	2～3PCLK (注8)
0008 C10Eh	IOPORT	ポートファンクションレジスタE	PFENET	8	8	2～3PCLK (注8)
0008 C10Fh	IOPORT	ポートファンクションレジスタF	PFFSCI	8	8	2～3PCLK (注8)
0008 C110h	IOPORT	ポートファンクションレジスタG	PFGSPI	8	8	2～3PCLK (注8)
0008 C111h	IOPORT	ポートファンクションレジスタH	PFHSPI	8	8	2～3PCLK (注8)
0008 C113h	IOPORT	ポートファンクションレジスタJ	PFJCAN	8	8	2～3PCLK (注8)
0008 C114h	IOPORT	ポートファンクションレジスタK	PFKUSB	8	8	2～3PCLK (注8)
0008 C115h	IOPORT	ポートファンクションレジスタL	PFLUSB (注6、注7)	8	8	2～3PCLK (注8)
0008 C116h	IOPORT	ポートファンクションレジスタM	PFMPOE (注7)	8	8	2～3PCLK (注8)
0008 C117h	IOPORT	ポートファンクションレジスタN	PFNPOE (注7)	8	8	2～3PCLK (注8)
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4～5PCLK (注8)
0008 C281h	SYSTEM	ディープスタンバイウェイトコントロールレジスタ	DPSWCR	8	8	4～5PCLK (注8)
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ	DPSIER	8	8	4～5PCLK (注8)
0008 C283h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ	DPSIFR	8	8	4～5PCLK (注8)
0008 C284h	SYSTEM	ディープスタンバイインタラプトエッジレジスタ	DPSIEGR	8	8	4～5PCLK (注8)
0008 C285h	SYSTEM	リセットステータスレジスタ	RSTSR	8	8	4～5PCLK (注8)
0008 C289h	FLASH	フラッシュライトイレースプロテクトレジスタ	FWEPROR	8	8	4～5PCLK (注8)
0008 C28Ah	SYSTEM	サブクロック発振器コントロールレジスタ	SUBOSCCR	8	8	4～5PCLK (注8)
0008 C28Ch	SYSTEM	低電圧検出コントロール用キーコードレジスタ	LVDKEYR	8	8	4～5PCLK (注8)
0008 C28Dh	SYSTEM	低電圧検出コントロールレジスタ	LVDCR	8	8	4～5PCLK (注8)
0008 C290h	SYSTEM	ディープスタンバイバックアップレジスタ0	DPSBKR0	8	8	4～5PCLK (注8)
0008 C291h	SYSTEM	ディープスタンバイバックアップレジスタ1	DPSBKR1	8	8	4～5PCLK (注8)
0008 C292h	SYSTEM	ディープスタンバイバックアップレジスタ2	DPSBKR2	8	8	4～5PCLK (注8)
0008 C293h	SYSTEM	ディープスタンバイバックアップレジスタ3	DPSBKR3	8	8	4～5PCLK (注8)
0008 C294h	SYSTEM	ディープスタンバイバックアップレジスタ4	DPSBKR4	8	8	4～5PCLK (注8)
0008 C295h	SYSTEM	ディープスタンバイバックアップレジスタ5	DPSBKR5	8	8	4～5PCLK (注8)
0008 C296h	SYSTEM	ディープスタンバイバックアップレジスタ6	DPSBKR6	8	8	4～5PCLK (注8)
0008 C297h	SYSTEM	ディープスタンバイバックアップレジスタ7	DPSBKR7	8	8	4～5PCLK (注8)
0008 C298h	SYSTEM	ディープスタンバイバックアップレジスタ8	DPSBKR8	8	8	4～5PCLK (注8)

表4.1 I/O レジスタアドレス一覧 (34 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C299h	SYSTEM	ディープスタンバイバックアップレジスタ9	DPSBKR9	8	8	4～5PCLK (注8)
0008 C29Ah	SYSTEM	ディープスタンバイバックアップレジスタ10	DPSBKR10	8	8	4～5PCLK (注8)
0008 C29Bh	SYSTEM	ディープスタンバイバックアップレジスタ11	DPSBKR11	8	8	4～5PCLK (注8)
0008 C29Ch	SYSTEM	ディープスタンバイバックアップレジスタ12	DPSBKR12	8	8	4～5PCLK (注8)
0008 C29Dh	SYSTEM	ディープスタンバイバックアップレジスタ13	DPSBKR13	8	8	4～5PCLK (注8)
0008 C29Eh	SYSTEM	ディープスタンバイバックアップレジスタ14	DPSBKR14	8	8	4～5PCLK (注8)
0008 C29Fh	SYSTEM	ディープスタンバイバックアップレジスタ15	DPSBKR15	8	8	4～5PCLK (注8)
0008 C2A0h	SYSTEM	ディープスタンバイバックアップレジスタ16	DPSBKR16	8	8	4～5PCLK (注8)
0008 C2A1h	SYSTEM	ディープスタンバイバックアップレジスタ17	DPSBKR17	8	8	4～5PCLK (注8)
0008 C2A2h	SYSTEM	ディープスタンバイバックアップレジスタ18	DPSBKR18	8	8	4～5PCLK (注8)
0008 C2A3h	SYSTEM	ディープスタンバイバックアップレジスタ19	DPSBKR19	8	8	4～5PCLK (注8)
0008 C2A4h	SYSTEM	ディープスタンバイバックアップレジスタ20	DPSBKR20	8	8	4～5PCLK (注8)
0008 C2A5h	SYSTEM	ディープスタンバイバックアップレジスタ21	DPSBKR21	8	8	4～5PCLK (注8)
0008 C2A6h	SYSTEM	ディープスタンバイバックアップレジスタ22	DPSBKR22	8	8	4～5PCLK (注8)
0008 C2A7h	SYSTEM	ディープスタンバイバックアップレジスタ23	DPSBKR23	8	8	4～5PCLK (注8)
0008 C2A8h	SYSTEM	ディープスタンバイバックアップレジスタ24	DPSBKR24	8	8	4～5PCLK (注8)
0008 C2A9h	SYSTEM	ディープスタンバイバックアップレジスタ25	DPSBKR25	8	8	4～5PCLK (注8)
0008 C2AAh	SYSTEM	ディープスタンバイバックアップレジスタ26	DPSBKR26	8	8	4～5PCLK (注8)
0008 C2ABh	SYSTEM	ディープスタンバイバックアップレジスタ27	DPSBKR27	8	8	4～5PCLK (注8)
0008 C2ACh	SYSTEM	ディープスタンバイバックアップレジスタ28	DPSBKR28	8	8	4～5PCLK (注8)
0008 C2ADh	SYSTEM	ディープスタンバイバックアップレジスタ29	DPSBKR29	8	8	4～5PCLK (注8)
0008 C2AEh	SYSTEM	ディープスタンバイバックアップレジスタ30	DPSBKR30	8	8	4～5PCLK (注8)
0008 C2AFh	SYSTEM	ディープスタンバイバックアップレジスタ31	DPSBKR31	8	8	4～5PCLK (注8)
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2～3PCLK (注8)
0008 C402h	RTC	秒カウンタ	RSECCNT	8	8	2～3PCLK (注8)
0008 C404h	RTC	分カウンタ	RMINCNT	8	8	2～3PCLK (注8)
0008 C406h	RTC	時カウンタ	RHRCNT	8	8	2～3PCLK (注8)
0008 C408h	RTC	曜日カウンタ	RWKCNT	8	8	2～3PCLK (注8)
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2～3PCLK (注8)
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (35 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2～3PCLK (注8)
0008 C410h	RTC	秒アラームレジスタ	RSECAR	8	8	2～3PCLK (注8)
0008 C412h	RTC	分アラームレジスタ	RMINAR	8	8	2～3PCLK (注8)
0008 C414h	RTC	時アラームレジスタ	RHRAR	8	8	2～3PCLK (注8)
0008 C416h	RTC	曜日アラームレジスタ	RWKAR	8	8	2～3PCLK (注8)
0008 C418h	RTC	日アラームレジスタ	RDAYAR	8	8	2～3PCLK (注8)
0008 C41Ah	RTC	月アラームレジスタ	RMONAR	8	8	2～3PCLK (注8)
0008 C41Ch	RTC	年アラームレジスタ	RYRAR	16	16	2～3PCLK (注8)
0008 C41Eh	RTC	年アラームイネーブルレジスタ	RYRAREN	8	8	2～3PCLK (注8)
0008 C422h	RTC	RTCコントロールレジスタ1	RCR1	8	8	2～3PCLK (注8)
0008 C424h	RTC	RTCコントロールレジスタ2	RCR2	8	8	2～3PCLK (注8)
0009 0200h～ 0009 03FFh	CAN0	メールボックスレジスタ0～31	MB0～31	128	8、16、32	2～3PCLK (注8)
0009 0400h	CAN0	マスクレジスタ0	MKR0	32	8、16、32	2～3PCLK (注8)
0009 0404h	CAN0	マスクレジスタ1	MKR1	32	8、16、32	2～3PCLK (注8)
0009 0408h	CAN0	マスクレジスタ2	MKR2	32	8、16、32	2～3PCLK (注8)
0009 040Ch	CAN0	マスクレジスタ3	MKR3	32	8、16、32	2～3PCLK (注8)
0009 0410h	CAN0	マスクレジスタ4	MKR4	32	8、16、32	2～3PCLK (注8)
0009 0414h	CAN0	マスクレジスタ5	MKR5	32	8、16、32	2～3PCLK (注8)
0009 0418h	CAN0	マスクレジスタ6	MKR6	32	8、16、32	2～3PCLK (注8)
0009 041Ch	CAN0	マスクレジスタ7	MKR7	32	8、16、32	2～3PCLK (注8)
0009 0420h	CAN0	FIFO受信ID比較レジスタ0	FIDCR0	32	8、16、32	2～3PCLK (注8)
0009 0424h	CAN0	FIFO受信ID比較レジスタ1	FIDCR1	32	8、16、32	2～3PCLK (注8)
0009 0428h	CAN0	マスク無効レジスタ	MKIVLR	32	8、16、32	2～3PCLK (注8)
0009 042Ch	CAN0	メールボックス割り込み許可レジスタ	MIER	32	8、16、32	2～3PCLK (注8)
0009 0820h～ 0009 083Fh	CAN0	メッセージ制御レジスタ0～31	C0MCTL0～31	8	8	2～3PCLK (注8)
0009 0840h	CAN0	制御レジスタ	CTLR	16	8、16	2～3PCLK (注8)
0009 0842h	CAN0	ステータスレジスタ	STR	16	8、16	2～3PCLK (注8)
0009 0844h	CAN0	ビットコンフィグレーションレジスタ	BCR	32	8、16、32	2～3PCLK (注8)
0009 0848h	CAN0	受信FIFO制御レジスタ	RFCR	8	8	2～3PCLK (注8)
0009 0849h	CAN0	受信FIFOポインタ制御レジスタ	RFPCR	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (36 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
0009 084Ah	CAN0	送信FIFO制御レジスタ	TFCR	8	8	2～3PCLK (注8)
0009 084Bh	CAN0	送信FIFOポインタ制御レジスタ	TFPCR	8	8	2～3PCLK (注8)
0009 084Ch	CAN0	エラー割り込み許可レジスタ	EIER	8	8	2～3PCLK (注8)
0009 084Dh	CAN0	エラー割り込み要因判定レジスタ	EIFR	8	8	2～3PCLK (注8)
0009 084Eh	CAN0	受信エラーカウントレジスタ	RECR	8	8	2～3PCLK (注8)
0009 084Fh	CAN0	送信エラーカウントレジスタ	TECR	8	8	2～3PCLK (注8)
0009 0850h	CAN0	エラーコード格納レジスタ	ECSR	8	8	2～3PCLK (注8)
0009 0851h	CAN0	チャネルサーチサポートレジスタ	CSSR	8	8	2～3PCLK (注8)
0009 0852h	CAN0	メールボックスサーチステータスレジスタ	MSSR	8	8	2～3PCLK (注8)
0009 0853h	CAN0	メールボックスサーチモードレジスタ	MSMR	8	8	2～3PCLK (注8)
0009 0854h	CAN0	タイムスタンプレジスタ	TSR	16	8、16	2～3PCLK (注8)
0009 0856h	CAN0	アクセプタンスフィルタサポートレジスタ	AFSR	16	8、16	2～3PCLK (注8)
0009 0858h	CAN0	テスト制御レジスタ	TCR	8	8	2～3PCLK (注8)
000A 0000h	USB0	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3～4PCLK (注8)
000A 0004h	USB0	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLK以上 (注9)
000A 0008h	USB0	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLK以上 (注9)
000A 0014h	USB0	CFIFOポートレジスタ	CFIFO	16	8、16	3～4PCLK (注8)
000A 0018h	USB0	D0FIFOポートレジスタ	D0FIFO	16	8、16	3～4PCLK (注8)
000A 001Ch	USB0	D1FIFOポートレジスタ	D1FIFO	16	8、16	3～4PCLK (注8)
000A 0020h	USB0	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3～4PCLK (注8)
000A 0022h	USB0	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3～4PCLK (注8)
000A 0028h	USB0	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3～4PCLK (注8)
000A 002Ah	USB0	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3～4PCLK (注8)
000A 002Ch	USB0	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3～4PCLK (注8)
000A 002Eh	USB0	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3～4PCLK (注8)
000A 0030h	USB0	割り込み許可レジスタ0	INTENB0	16	16	9PCLK以上 (注9)
000A 0032h	USB0	割り込み許可レジスタ1	INTENB1	16	16	9PCLK以上 (注9)
000A 0036h	USB0	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLK以上 (注9)
000A 0038h	USB0	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLK以上 (注9)
000A 003Ah	USB0	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLK以上 (注9)

表4.1 I/Oレジスタアドレス一覧 (37 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000A 003Ch	USB0	SOF出力コンフィグレーションレジスタ	SOFCFG	16	16	9PCLK以上（注9）
000A 0040h	USB0	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLK以上（注9）
000A 0042h	USB0	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLK以上（注9）
000A 0046h	USB0	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLK以上（注9）
000A 0048h	USB0	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLK以上（注9）
000A 004Ah	USB0	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLK以上（注9）
000A 004Ch	USB0	フレームナンバーレジスタ	FRMNUM	16	16	9PCLK以上（注9）
000A 004Eh	USB0	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLK以上（注9）
000A 0050h	USB0	USBアドレスレジスタ	USBADDR	16	16	9PCLK以上（注9）
000A 0054h	USB0	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLK以上（注9）
000A 0056h	USB0	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLK以上（注9）
000A 0058h	USB0	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLK以上（注9）
000A 005Ah	USB0	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLK以上（注9）
000A 005Ch	USB0	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLK以上（注9）
000A 005Eh	USB0	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLK以上（注9）
000A 0060h	USB0	DCPコントロールレジスタ	DCPCTR	16	16	9PCLK以上（注9）
000A 0064h	USB0	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLK以上（注9）
000A 0068h	USB0	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLK以上（注9）
000A 006Ch	USB0	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLK以上（注9）
000A 006Eh	USB0	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLK以上（注9）
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLK以上（注9）
000A 0072h	USB0	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLK以上（注9）
000A 0074h	USB0	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLK以上（注9）
000A 0076h	USB0	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLK以上（注9）
000A 0078h	USB0	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLK以上（注9）
000A 007Ah	USB0	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLK以上（注9）
000A 007Ch	USB0	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLK以上（注9）
000A 007Eh	USB0	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLK以上（注9）
000A 0080h	USB0	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLK以上（注9）
000A 0090h	USB0	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLK以上（注9）

表4.1 I/O レジスタアドレス一覧 (38 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000A 0092h	USB0	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLK以上 (注9)
000A 0094h	USB0	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLK以上 (注9)
000A 0096h	USB0	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLK以上 (注9)
000A 0098h	USB0	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLK以上 (注9)
000A 009Ah	USB0	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLK以上 (注9)
000A 009Ch	USB0	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLK以上 (注9)
000A 009Eh	USB0	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLK以上 (注9)
000A 00A0h	USB0	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLK以上 (注9)
000A 00A2h	USB0	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLK以上 (注9)
000A 00D0h	USB0	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	16	16	9PCLK以上 (注9)
000A 00D2h	USB0	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	16	16	9PCLK以上 (注9)
000A 00D4h	USB0	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	16	16	9PCLK以上 (注9)
000A 00D6h	USB0	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	16	16	9PCLK以上 (注9)
000A 00D8h	USB0	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	16	16	9PCLK以上 (注9)
000A 00DAh	USB0	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	16	16	9PCLK以上 (注9)
000A 0200h	USB1	システムコンフィギュレーションコントロールレジスタ	SYSCFG	16	16	3～4PCLK (注8)
000A 0204h	USB1	システムコンフィギュレーションステータスレジスタ0	SYSSTS0	16	16	9PCLK以上 (注9)
000A 0208h	USB1	デバイスステートコントロールレジスタ0	DVSTCTR0	16	16	9PCLK以上 (注9)
000A 0214h	USB1	CFIFOポートレジスタ	CFIFO	16	8、16	3～4PCLK (注8)
000A 0218h	USB1	D0FIFOポートレジスタ	D0FIFO	16	8、16	3～4PCLK (注8)
000A 021Ch	USB1	D1FIFOポートレジスタ	D1FIFO	16	8、16	3～4PCLK (注8)
000A 0220h	USB1	CFIFOポート選択レジスタ	CFIFOSEL	16	16	3～4PCLK (注8)
000A 0222h	USB1	CFIFOポートコントロールレジスタ	CFIFOCTR	16	16	3～4PCLK (注8)
000A 0228h	USB1	D0FIFOポート選択レジスタ	D0FIFOSEL	16	16	3～4PCLK (注8)
000A 022Ah	USB1	D0FIFOポートコントロールレジスタ	D0FIFOCTR	16	16	3～4PCLK (注8)
000A 022Ch	USB1	D1FIFOポート選択レジスタ	D1FIFOSEL	16	16	3～4PCLK (注8)
000A 022Eh	USB1	D1FIFOポートコントロールレジスタ	D1FIFOCTR	16	16	3～4PCLK (注8)
000A 0230h	USB1	割り込み許可レジスタ0	INTENB0	16	16	9PCLK以上 (注9)
000A 0232h	USB1	割り込み許可レジスタ1	INTENB1	16	16	9PCLK以上 (注9)
000A 0236h	USB1	BRDY割り込み許可レジスタ	BRDYENB	16	16	9PCLK以上 (注9)

表4.1 I/Oレジスタアドレス一覧 (39 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000A 0238h	USB1	NRDY割り込み許可レジスタ	NRDYENB	16	16	9PCLK以上（注9）
000A 023Ah	USB1	BEMP割り込み許可レジスタ	BEMPENB	16	16	9PCLK以上（注9）
000A 023Ch	USB1	SOF出力コンフィグレーションレジスタ	SOFCFG	16	16	9PCLK以上（注9）
000A 0240h	USB1	割り込みステータスレジスタ0	INTSTS0	16	16	9PCLK以上（注9）
000A 0242h	USB1	割り込みステータスレジスタ1	INTSTS1	16	16	9PCLK以上（注9）
000A 0246h	USB1	BRDY割り込みステータスレジスタ	BRDYSTS	16	16	9PCLK以上（注9）
000A 0248h	USB1	NRDY割り込みステータスレジスタ	NRDYSTS	16	16	9PCLK以上（注9）
000A 024Ah	USB1	BEMP割り込みステータスレジスタ	BEMPSTS	16	16	9PCLK以上（注9）
000A 024Ch	USB1	フレームナンバーレジスタ	FRMNUM	16	16	9PCLK以上（注9）
000A 024Eh	USB1	デバイスステート切り替えレジスタ	DVCHGR	16	16	9PCLK以上（注9）
000A 0250h	USB1	USBアドレスレジスタ	USBADDR	16	16	9PCLK以上（注9）
000A 0254h	USB1	USBリクエストタイプレジスタ	USBREQ	16	16	9PCLK以上（注9）
000A 0256h	USB1	USBリクエストバリューレジスタ	USBVAL	16	16	9PCLK以上（注9）
000A 0258h	USB1	USBリクエストインデックスレジスタ	USBINDX	16	16	9PCLK以上（注9）
000A 025Ah	USB1	USBリクエストレングスレジスタ	USBLENG	16	16	9PCLK以上（注9）
000A 025Ch	USB1	DCPコンフィギュレーションレジスタ	DCPCFG	16	16	9PCLK以上（注9）
000A 025Eh	USB1	DCPマックスパケットサイズレジスタ	DCPMAXP	16	16	9PCLK以上（注9）
000A 0260h	USB1	DCPコントロールレジスタ	DCPCTR	16	16	9PCLK以上（注9）
000A 0264h	USB1	パイプウィンドウ選択レジスタ	PIPESEL	16	16	9PCLK以上（注9）
000A 0268h	USB1	パイプコンフィギュレーションレジスタ	PIPECFG	16	16	9PCLK以上（注9）
000A 026Ch	USB1	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	16	9PCLK以上（注9）
000A 026Eh	USB1	パイプ周期制御レジスタ	PIPEPERI	16	16	9PCLK以上（注9）
000A 0270h	USB1	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLK以上（注9）
000A 0272h	USB1	パイプ2コントロールレジスタ	PIPE2CTR	16	16	9PCLK以上（注9）
000A 0274h	USB1	パイプ3コントロールレジスタ	PIPE3CTR	16	16	9PCLK以上（注9）
000A 0276h	USB1	パイプ4コントロールレジスタ	PIPE4CTR	16	16	9PCLK以上（注9）
000A 0278h	USB1	パイプ5コントロールレジスタ	PIPE5CTR	16	16	9PCLK以上（注9）
000A 027Ah	USB1	パイプ6コントロールレジスタ	PIPE6CTR	16	16	9PCLK以上（注9）
000A 027Ch	USB1	パイプ7コントロールレジスタ	PIPE7CTR	16	16	9PCLK以上（注9）
000A 027Eh	USB1	パイプ8コントロールレジスタ	PIPE8CTR	16	16	9PCLK以上（注9）

表4.1　I/O レジスタアドレス一覧 (40 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
000A 0280h	USB1	パイプ9コントロールレジスタ	PIPE9CTR	16	16	9PCLK以上 (注9)
000A 0290h	USB1	パイプ1トランザクションカウンタイネーブルレジスタ	PIPE1TRE	16	16	9PCLK以上 (注9)
000A 0292h	USB1	パイプ1トランザクションカウンタレジスタ	PIPE1TRN	16	16	9PCLK以上 (注9)
000A 0294h	USB1	パイプ2トランザクションカウンタイネーブルレジスタ	PIPE2TRE	16	16	9PCLK以上 (注9)
000A 0296h	USB1	パイプ2トランザクションカウンタレジスタ	PIPE2TRN	16	16	9PCLK以上 (注9)
000A 0298h	USB1	パイプ3トランザクションカウンタイネーブルレジスタ	PIPE3TRE	16	16	9PCLK以上 (注9)
000A 029Ah	USB1	パイプ3トランザクションカウンタレジスタ	PIPE3TRN	16	16	9PCLK以上 (注9)
000A 029Ch	USB1	パイプ4トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	16	9PCLK以上 (注9)
000A 029Eh	USB1	パイプ4トランザクションカウンタレジスタ	PIPE4TRN	16	16	9PCLK以上 (注9)
000A 02A0h	USB1	パイプ5トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	16	9PCLK以上 (注9)
000A 02A2h	USB1	パイプ5トランザクションカウンタレジスタ	PIPE5TRN	16	16	9PCLK以上 (注9)
000A 02D0h	USB1	デバイスアドレス0コンフィグレーションレジスタ	DEVADD0	16	16	9PCLK以上 (注9)
000A 02D2h	USB1	デバイスアドレス1コンフィグレーションレジスタ	DEVADD1	16	16	9PCLK以上 (注9)
000A 02D4h	USB1	デバイスアドレス2コンフィグレーションレジスタ	DEVADD2	16	16	9PCLK以上 (注9)
000A 02D6h	USB1	デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	16	16	9PCLK以上 (注9)
000A 02D8h	USB1	デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	16	16	9PCLK以上 (注9)
000A 02DAh	USB1	デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	16	16	9PCLK以上 (注9)
000A 0400h	USB	ディープスタンバイUSBトランシーバ制御／端子モニタレジスタ	DPUSR0R	32	32	1～2PCLK (注8)
000A 0404h	USB	ディープスタンバイUSBサスペンド／レジューム割り込みレジスタ	DPUSR1R	32	32	1～2PCLK (注8)
000C 0000h	EDMAC	EDMACモードレジスタ	EDMR	32	32	4～5ICLK
000C 0008h	EDMAC	EDMAC送信要求レジスタ	EDTRR	32	32	4～5ICLK
000C 0010h	EDMAC	EDMAC受信要求レジスタ	EDRRR	32	32	4～5ICLK
000C 0018h	EDMAC	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	32	32	4～5ICLK
000C 0020h	EDMAC	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	32	32	4～5ICLK
000C 0028h	EDMAC	ETHERC/EDMACステータスレジスタ	EESR	32	32	4～5ICLK
000C 0030h	EDMAC	ETHERC/EDMACステータス割り込み許可レジスタ	EESIPR	32	32	4～5ICLK
000C 0038h	EDMAC	送受信ステータスコピー指示レジスタ	TRSCER	32	32	4～5ICLK
000C 0040h	EDMAC	ミスドフレームカウンタレジスタ	RMFCR	32	32	4～5ICLK
000C 0048h	EDMAC	送信FIFOしきい値指定レジスタ	TFTR	32	32	4～5ICLK
000C 0050h	EDMAC	FIFO容量指定レジスタ	FDR	32	32	4～5ICLK
000C 0058h	EDMAC	受信方式制御レジスタ	RMCR	32	32	4～5ICLK
000C 0064h	EDMAC	送信FIFOアンダランカウント	TFUCR	32	32	4～5ICLK
000C 0068h	EDMAC	受信FIFOオーバフローカウント	RFOCR	32	32	4～5ICLK
000C 006Ch	EDMAC	個別出力信号設定レジスタ	IOSR	32	32	4～5ICLK
000C 0070h	EDMAC	フロー制御開始FIFOしきい値設定レジスタ	FCFTR	32	32	4～5ICLK
000C 0078h	EDMAC	受信データパディング挿入設定レジスタ	RPADIR	32	32	4～5ICLK
000C 007Ch	EDMAC	送信割り込み設定レジスタ	TRIMD	32	32	4～5ICLK

表4.1　I/Oレジスタアドレス一覧 (41 / 42)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数
000C 00C8h	EDMAC	受信バッファライトアドレスレジスタ	RBWAR	32	32	4～5ICLK
000C 00CCh	EDMAC	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	32	4～5ICLK
000C 00D4h	EDMAC	送信バッファリードアドレスレジスタ	TBRAR	32	32	4～5ICLK
000C 00D8h	EDMAC	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	32	4～5ICLK
000C 0100h	ETHERC	ETHERCモードレジスタ	ECMR	32	32	4～5ICLK
000C 0108h	ETHERC	受信フレーム長上限レジスタ	RFLR	32	32	4～5ICLK
000C 0110h	ETHERC	ETHERCステータスレジスタ	ECSR	32	32	4～5ICLK
000C 0118h	ETHERC	ETHERC割り込み許可レジスタ	ECSIPR	32	32	4～5ICLK
000C 0120h	ETHERC	PHY部インタフェースレジスタ	PIR	32	32	4～5ICLK
000C 0128h	ETHERC	PHY部ステータスレジスタ	PSR	32	32	4～5ICLK
000C 0140h	ETHERC	乱数生成カウンタ上限値設定レジスタ	RDMLR	32	32	4～5ICLK
000C 0150h	ETHERC	IPG設定レジスタ	IPGR	32	32	4～5ICLK
000C 0154h	ETHERC	自動PAUSEフレーム設定レジスタ	APR	32	32	4～5ICLK
000C 0158h	ETHERC	手動PAUSEフレーム設定レジスタ	MPR	32	32	4～5ICLK
000C 0160h	ETHERC	受信PAUSEフレームカウンタ	RFCF	32	32	4～5ICLK
000C 0164h	ETHERC	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER	32	32	4～5ICLK
000C 0168h	ETHERC	PAUSEフレーム再送回数カウンタ	TPAUSECR	32	32	4～5ICLK
000C 016Ch	ETHERC	Broadcastフレーム受信回数設定レジスタ	BCFRR	32	32	4～5ICLK
000C 01C0h	ETHERC	MACアドレス上位設定レジスタ	MAHR	32	32	4～5ICLK
000C 01C8h	ETHERC	MACアドレス下位設定レジスタ	MALR	32	32	4～5ICLK
000C 01D0h	ETHERC	送信リトライオーバカウンタレジスタ	TROCR	32	32	4～5ICLK
000C 01D4h	ETHERC	遅延衝突検出カウンタレジスタ	CDCR	32	32	4～5ICLK
000C 01D8h	ETHERC	キャリア消失カウンタレジスタ	LCCR	32	32	4～5ICLK
000C 01DCh	ETHERC	キャリア未検出カウンタレジスタ	CNDCR	32	32	4～5ICLK
000C 01E4h	ETHERC	CRCエラーフレーム受信カウンタレジスタ	CEFCR	32	32	4～5ICLK
000C 01E8h	ETHERC	フレーム受信エラーカウンタレジスタ	FRECR	32	32	4～5ICLK
000C 01ECh	ETHERC	64バイト未満フレーム受信カウンタレジスタ	TSFRCR	32	32	4～5ICLK
000C 01F0h	ETHERC	指定バイト超フレーム受信カウンタレジスタ	TLFRCR	32	32	4～5ICLK
000C 01F4h	ETHERC	端数ビットフレーム受信カウンタレジスタ	RFCR	32	32	4～5ICLK
000C 01F8h	ETHERC	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	32	4～5ICLK
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2～3PCLK (注8)
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2～3PCLK (注8)
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2～3PCLK (注8)
007F C412h	FLASH	フラッシュレディ割り込み許可レジスタ	FRDYIE	8	8	2～3PCLK (注8)
007F C440h	FLASH	データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2～3PCLK (注8)
007F C442h	FLASH	データフラッシュ読み出し許可レジスタ1	DFLRE1	16	16	2～3PCLK (注8)
007F C450h	FLASH	データフラッシュ書き込み／消去許可レジスタ0	DFLWE0	16	16	2～3PCLK (注8)
007F C452h	FLASH	データフラッシュ書き込み／消去許可レジスタ1	DFLWE1	16	16	2～3PCLK (注8)
007F C454h	FLASH	FCU RAMイネーブルレジスタ	FCURAME	16	16	2～3PCLK (注8)
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2～3PCLK (注8)
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2～3PCLK (注8)

表4.1　I/O レジスタアドレス一覧 (42 / 42)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット数	アクセス サイズ	アクセス サイクル数
007F FFB2h	FLASH	フラッシュ P/Eモードエントリレジスタ	FENTRYR	16	16	2～3PCLK (注8)
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2～3PCLK (注8)
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2～3PCLK (注8)
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2～3PCLK (注8)
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2～3PCLK (注8)
007F FFCAh	FLASH	データフラッシュブランクチェックレジスタ	DFLBCCNT	16	16	2～3PCLK (注8)
007F FFCCh	FLASH	フラッシュ P/Eステータスレジスタ	FPESTAT	16	16	2～3PCLK (注8)
007F FFCEh	FLASH	データフラッシュブランクチェック制御 ステータスレジスタ	DFLBCSTAT	16	16	2～3PCLK (注8)
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2～3PCLK (注8)

注1.　PPG0.PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガ設定値が同一の場合は、PPG0.NDRHのアドレスは0008 81ECh となります。出力トリガが異なる場合は、パルス出力グループ2に対応するPPG0.NDRH2のアドレスは0008 81EEh、出力グループ3に対応するPPG0.NDRHは0008 81ECh となります。

注2.　PPG0.PCRの設定により、パルス出力グループ0とパルス出力グループ1の出力トリガ設定値が同一の場合は、PPG0.NDRLのアドレスは0008 81EDh となります。出力トリガが異なる場合は、パルス出力グループ0に対応するPPG0.NDRL2のアドレスは0008 81EFh、出力グループ1に対応するPPG0.NDRLは0008 81EDh となります。

注3.　PPG1.PCRの設定により、パルス出力グループ6とパルス出力グループ7の出力トリガ設定値が同一の場合PPG1.NDRHのアドレスは0008 81FCh となります。出力トリガが異なる場合は、パルス出力グループ6に対応するPPG1.NDRH2のアドレスは0008 81FEh、出力グループ7に対応するPPG1.NDRHは0008 81FCh となります。

注4.　PPG1.PCRの設定により、パルス出力グループ4とパルス出力グループ5の出力トリガ設定値が同一の場合は、PPG1.NDRLのアドレスは0008 81FDh となります。出力トリガが異なる場合は、パルス出力グループ4に対応するPPG1.NDRL2のアドレスは0008 81FFh、出力グループ5に対応するPPG1.NDRLは0008 81FDh となります。

注5.　145ピンTFLGA版および144ピンLQFP版ではサポートしていません。

注6.　100ピンLQFP版ではサポートしていません。

注7.　85ピンTFLGA版ではサポートしていません。

注8.　分周クロック同期化サイクル（0～1PCLK, 0～1BCLK）により変動します。

注9.　USB動作中にレジスタアクセスを行った場合、アクセスが待たされることがあります。

5. 電気的特性

5.1 絶対最大定格

表5.1　絶対最大定格

項目	記号	定格値	単位
電源電圧	VCC PLLVCC VCC_USB	－0.3 ～ +4.6	V
入力電圧 （ポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33以外）	V_{IN}	－0.3 ～ VCC+ 0.3	V
入力電圧 （ポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33（注1））	V_{IN}	－0.3 ～ +5.8	V
リファレンス電源電圧	V_{REF}	－0.3 ～ VCC+ 0.3	V
アナログ電源電圧	AVCC（注2）	－0.3 ～ +4.6	V
アナログ入力電圧	V_{AN}	－0.3 ～ VCC+ 0.3	V
動作温度	T_{opr}	－40 ～ +85	℃
保存温度	T_{stg}	－55 ～ +125	℃

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。
注1.　ポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33は、5Vトレラント対応です。
注2.　AVCCは、VCCに接続してください。また、A/DおよびD/Aコンバータ未使用時にAVCC、VREFH、AVSS、VREFL端子を開放しないでください。AVCC、VREFH端子はVCCに、AVSS、VREFL端子はVSSにそれぞれ接続してください。

5.2 DC 特性

表5.2 DC特性（1）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	IRQ入力端子（注1） MTU入力端子（注1） TMR入力端子（注1） SCI入力端子（注1） ADTRG入力端子（注1） RES#、NMI	V_{IH}	VCC × 0.8	—	VCC + 0.3	V	
		V_{IL}	– 0.3	—	VCC × 0.2		
		ΔV_T	VCC × 0.06	—	—		
	RIIC入力端子 （SMBusを除く）	V_{IH}	VCC × 0.7	—	5.8		
		V_{IL}	– 0.3	—	VCC × 0.3		
		ΔV_T	VCC × 0.05	—	—		
	ポート00～02、07 ポート12、13、16、17 ポート20、21 ポート33	V_{IH}	VCC × 0.8	—	5.8		
		V_{IL}	– 0.3	—	VCC × 0.2		
	ポート03、05、10、11、14、15 ポート22～27 ポート30～32、34、35 ポート4～G その他の入力端子	V_{IH}	VCC × 0.8	—	VCC + 0.3		
		V_{IL}	– 0.3	—	VCC × 0.2		
入力Highレベル電圧（シュミットトリガ入力端子を除く）	MD端子、EMLE	V_{IH}	VCC × 0.9	—	VCC + 0.3	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		VCC × 0.8	—	VCC + 0.3		
	XCIN		VCC × 0.8	—	VCC + 0.3		
	D0～D31		VCC × 0.7	—	VCC + 0.3		
	RIIC（SMBus）		2.1	—	VCC + 0.3		
入力Lowレベル電圧（シュミットトリガ入力端子を除く）	MD端子、EMLE	V_{IL}	– 0.3	—	VCC × 0.1	V	
	EXTAL、RSPI、ETHERC EXDMAC、WAIT#、TCK		– 0.3	—	VCC × 0.2		
	XCIN		– 0.3	—	VCC × 0.2		
	D0～D31		– 0.3	—	VCC × 0.3		
	RIIC（SMBus）		– 0.3	—	0.8		

表5.3　DC特性（2）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
出力High レベル電圧	全出力端子	V_{OH}	VCC – 0.5	–	–	V	I_{OH} = – 1mA
出力Low レベル電圧	全出力端子（RIIC端子を除く）	V_{OL}	–	–	0.5	V	I_{OL} = 1.0mA
	RIIC端子		–	–	0.4	V	I_{OL} = 3.0mA
			–	–	0.6		I_{OL} = 6.0mA
	RIIC端子（P12、P13のチャネル0のみ）	V_{OL}	–	–	0.4	V	I_{OL} = 15.0mA（ICFER.FMPE=1）
			–	0.4	–		I_{OL} = 20.0mA（ICFER.FMPE=1）
入力リーク電流	RES#、MD端子、EMLE、NMI	$\lvert I_{in} \rvert$	–	–	1.0	μA	V_{in} = 0V V_{in} = VCC
スリーステートリーク電流（オフ状態	ポート03、05、10、11、14、15 ポート22～27 ポート30～32、34、35 ポート4～G	$\lvert I_{TSI} \rvert$	–	–	1.0	μA	V_{in} = 0V V_{in} = VCC
	ポート00～02、07、12、13 ポート16、17、20、21、33		–	–	5.0		
入力プルアップMOS電流	ポート9～E、G	$-I_p$	10	–	300	μA	VCC = 2.7～3.6V V_{in} = 0V
入力容量	全入力端子（ポート12、13、20、21 ポート40～47、EMLE以外）	C_{in}	–	–	15	pF	V_{in} = 0V f = 1MHz T_a = 25℃
	ポート12、13、20、21、 ポート40～47、EMLE		–	–	30		

表5.4　DC特性（3）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目					記号	min	typ	max	単位	測定条件
消費電流（注2）	動作時	最大動作（注3）			I_{CC}（注4）	—	—	100	mA	ICLK = 100MHz PCLK = 50MHz BCLK = 50MHz
		通常動作	周辺機能：クロック供給状態（注5）			—	48	—		
			周辺機能：クロック停止状態（注5）			—	35	—		
		BGO動作（注6）による増加分				—	15	—		
	スリープ時					—	20	60		
	全モジュールクロックストップ時（注7）					—	14	28		
	スタンバイ時	ソフトウェアスタンバイ時				—	0.12	3.0	mA	
		ディープソフトウェアスタンバイ時	RTC動作時	RAM、USB保持		—	30	206	μA	
				RAM、USB電源停止		—	26	66	μA	
			RTC停止時	RAM、USB保持		—	25	200	μA	
				RAM、USB電源停止		—	21	60	μA	
アナログ電源電流	12ビットA/D変換中（1ユニット当り）				AI_{CC}	—	2.5	3.0	mA	
	10ビットA/D変換中（1ユニット当り）					—	0.8	1.2	mA	
	D/A変換中（1ユニット当り）					—	0.3	2.0	μA	
	A/D、D/A変換待機時（全ユニット）					—	30	35	μA	
リファレンス電源電流	12ビットA/D変換中（1ユニット当り）				AI_{CC}	—	0.5	0.7	mA	
	10ビットA/D変換中（1ユニット当り）					—	0.06	0.1	mA	
	D/A変換中（1ユニット当り）					—	0.6	1.0	mA	
	A/D、D/A変換待機時（全ユニット）					—	0.4	0.6	mA	
RAMスタンバイ電圧					V_{RAM}	2.48	—	—	V	
VCC立ち上がり勾配					SVCC	—	—	20	ms/V	

注1.　5Vトレラント対応のポート00～02、07、ポート12、13、16、17、ポート20、21、ポート33で兼用している端子は該当しません。
注2.　消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。
注3.　周辺機能はクロック供給状態。BGO動作は除きます。
注4.　I_{CC}は下記の式にしたがってfに依存します。(ICLK:PCLK:BCLK:BCLK端子=8:4:8:4)
I_{CC} max = 0.89 × f + 11（最大動作時）
ICC typ = 0.43 × f + 5（通常動作　周辺機能：クロック供給状態）
I_{CC} typ = 0.30 × f + 5（通常動作　周辺機能：クロック停止状態）
I_{CC} max = 0.48 × f + 12（スリープ時）
注5.　BGO動作は除きます。
注6.　プログラム実行中に、ROM、またはデータ格納用フラッシュにデータを書き込み/消去を実行した場合の増加分です。
注7.　参考値です。

表5.5　出力許容電流

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位
出力Lowレベル許容電流（1端子あたりの平均値）	RIIC端子以外の出力端子	I_{OL}	—	—	2.0	mA
	RIIC端子（ICFER.FMPE=0）	I_{OL}	—	—	6.0	mA
	RIIC端子（ICFER.FMPE=1）	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流（1端子あたりの最大値）	RIIC端子以外の出力端子	I_{OL}	—	—	4.0	mA
	RIIC端子（ICFER.FMPE=0）	I_{OL}	—	—	6.0	mA
	RIIC端子（ICFER.FMPE=1）	I_{OL}	—	—	20.0	mA
出力Lowレベル許容電流（総和）	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力Highレベル許容電流（1端子あたりの平均値）	全出力端子（USB_DPUPE端子を除く）	$-I_{OH}$	—	—	2.0	mA
	USB_DPUPE端子	$-I_{OH}$	—	—	3.0	mA
出力Highレベル許容電流（1端子あたりの最大値）	全出力端子	$-I_{OH}$	—	—	4.0	mA
出力Highレベル許容電流（総和）	全出力端子の総和	$\Sigma -I_{OH}$	—	—	80	mA

【使用上の注意】LSIの信頼性を確保するため、出力電流値は表5.5の値を超えないようにしてください。

5.3 AC 特性

表5.6 動作周波数 [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 100MHz、SDCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）	f	8（注1）	—	100	MHz
	周辺モジュールクロック（PCLK）		8（注2）	—	50	
	外部バスクロック(BCLK)		8	—	100	
	BCLK端子出力		8	—	50	
	SDRAMクロック(SDCLK)		8	—	50	
	SDCLK端子出力		8	—	50	

注1. イーサネットコントローラを使用するときはICLKを12.5MHz以上としてください。
注2. USBを使用するときはPCLKを24MHz以上としてください。

表5.7 動作周波数 [100ピンLQFP/85ピンTFLGA]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位
動作周波数	システムクロック（ICLK）	f	8（注1）	—	100	MHz
	周辺モジュールクロック（PCLK）		8（注2）	—	50	
	外部バスクロック（BCLK）		8	—	50	
	BCLK端子出力		8	—	25	

注1. イーサネットコントローラを使用するときはICLKを12.5MHz以上としてください。
注2. USBを使用するときはPCLKを24MHz以上としてください。

5.3.1 クロックタイミング

表5.8 クロックタイミング

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	max	単位	測定条件
BCLK端子出力サイクル時間 [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]	t_{Bcyc}	20	125	ns	図 5.1
BCLK端子出力サイクル時間 [100ピンLQFP/85ピンTFLGA]	t_{Bcyc}	40	125	ns	
BCLK端子出力Highレベルパルス幅	t_{CH}	5	—	ns	
BCLK端子出力Lowレベルパルス幅	t_{CL}	5	—	ns	
BCLK端子出力立ち上がり時間	t_{Cr}	—	5	ns	
BCLK端子出力立ち下がり時間	t_{Cf}	—	5	ns	
SDCLK端子出力サイクル時間	t_{SDcyc}	20	125	ns	
SDCLK端子出力Highレベルパルス幅	t_{CH}	5	—	ns	
SDCLK端子出力Lowレベルパルス幅	t_{CL}	5	—	ns	
SDCLK端子出力立ち上がり時間	t_{Cr}	—	5	ns	
SDCLK端子出力立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間（水晶）	t_{OSC1}	10	—	ms	図 5.2
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	10	—	ms	図 5.3
ディープソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC3}	10	—	ms	図 5.4
EXTAL外部クロック出力遅延安定時間	t_{DEXT}	1	—	ms	図 5.2
EXTAL外部クロック入力パルス幅Lowレベル	t_{EXL}	30.71	—	ns	図 5.5
EXTAL外部クロック入力パルス幅Highレベル	t_{EXH}	30.71	—	ns	
EXTAL外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{EXf}	—	5	ns	
XCINサブクロック発振安定時間	t_{SUBOSC}	2	—	s	図 5.6
XCINサブクロック発振器発振周波数	f_{SUB}	32.768	—	kHz	
オンチップオシレータ（IWDTCLK）発振周波数	$f_{IWDTCLK}$	62.5	187.5	kHz	

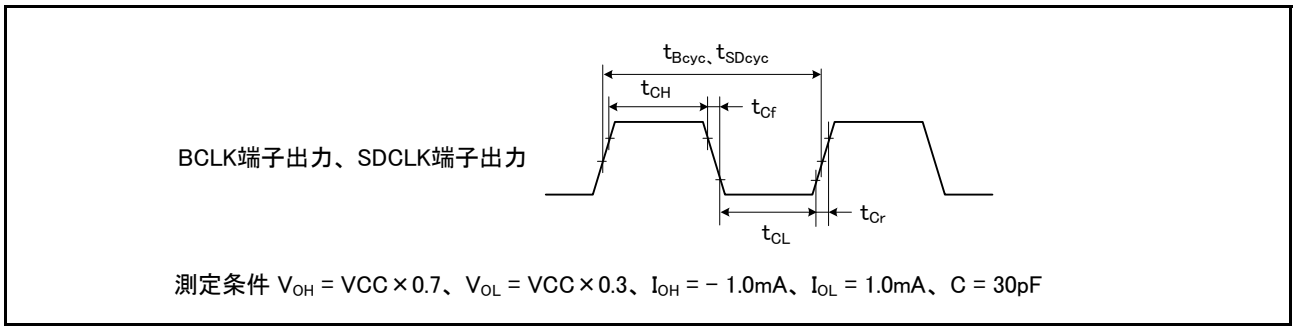


図 5.1　　BCLK 端子出力、SDCLK 端子出力タイミング

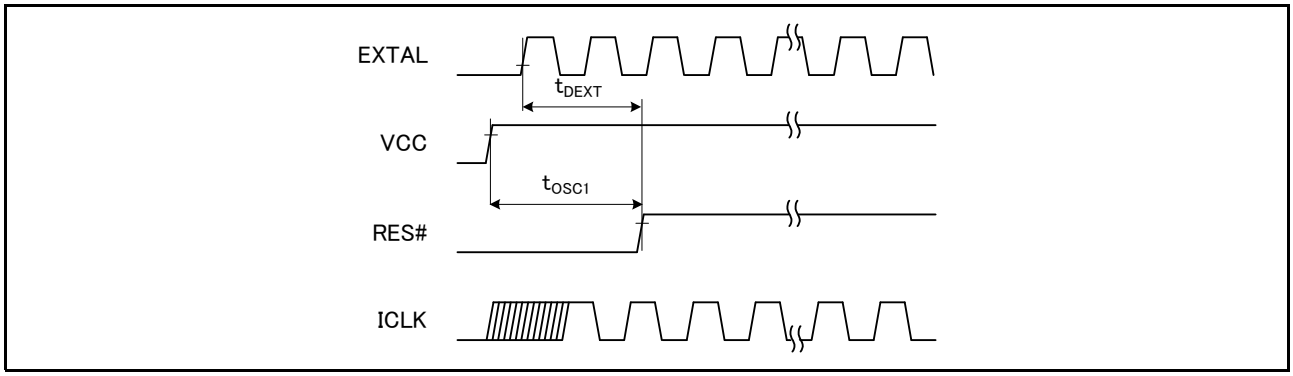


図 5.2　　発振安定時間タイミング

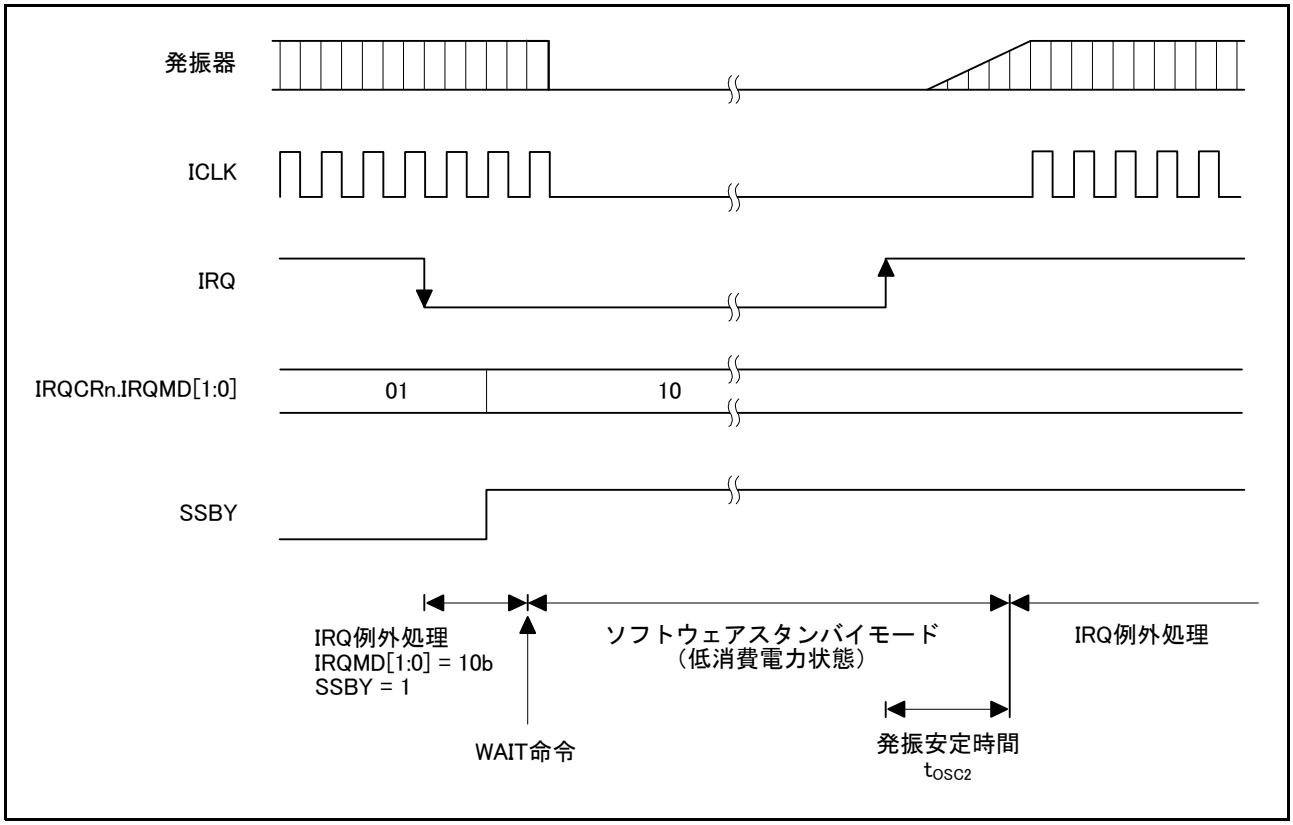


図 5.3　　ソフトウェアスタンバイ発振安定時間タイミング

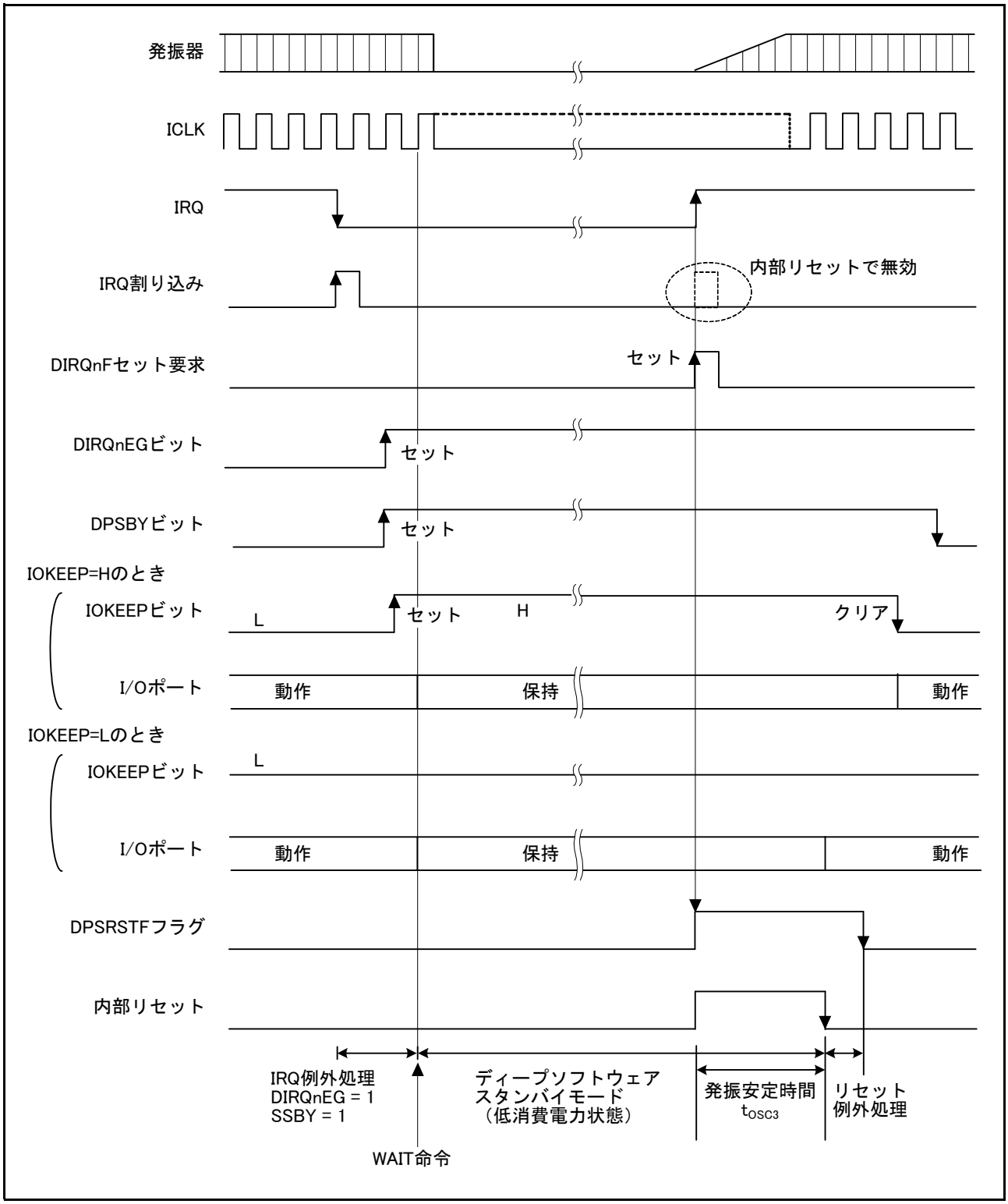


図 5.4 ディープソフトウェアスタンバイ発振安定時間タイミング

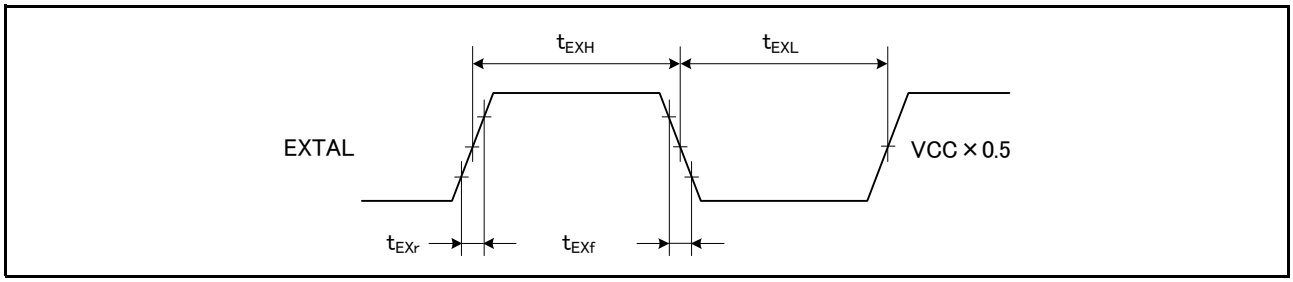


図 5.5 EXTAL 外部入力クロックタイミング

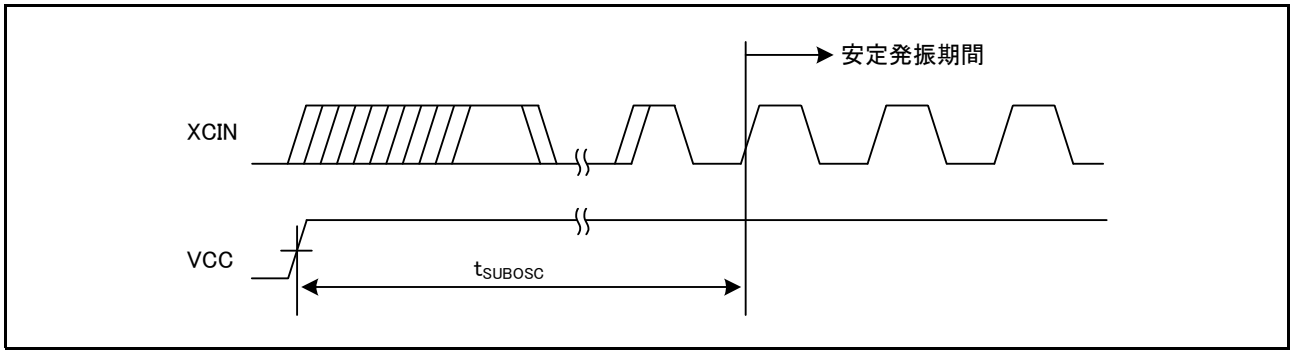


図 5.6 XCIN サブクロック発振安定時間

5.3.2 制御信号タイミング

表5.9 制御信号タイミング

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	max	単位	測定条件
RES#パルス幅 （ROM書き込み/消去、データフラッシュ書き込み消去、データフラッシュブランクチェックを除く（注1））	t_{RESW}（注2）	20	—	t_{Icyc}	図 5.7
		1.5	—	μs	
内部リセット時間（注3）	t_{RESW2}	35	—	μs	
NMIパルス幅	t_{NMIW}	200	—	ns	図 5.8
IRQパルス幅	t_{IRQW}	200	—	ns	図 5.9

注1. ROM書き込み/消去、データフラッシュ書き込み/消去およびデータフラッシュブランクチェック中にRES#端子によるリセットは行なわないでください。詳細は「37. ROM（コード格納用フラッシュメモリ）」の「37.13 使用上の注意事項」を参照してください。
注2. 時間とサイクル数の両規定を同時に満たす必要があります。
注3. 本項目は、FCUリセット、WDTリセットに対する規定となります。
注4. t_{Icyc}：ICLKの周期

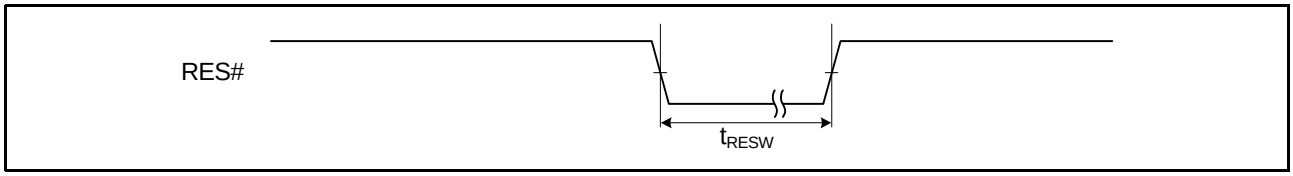


図 5.7 リセット入力タイミング

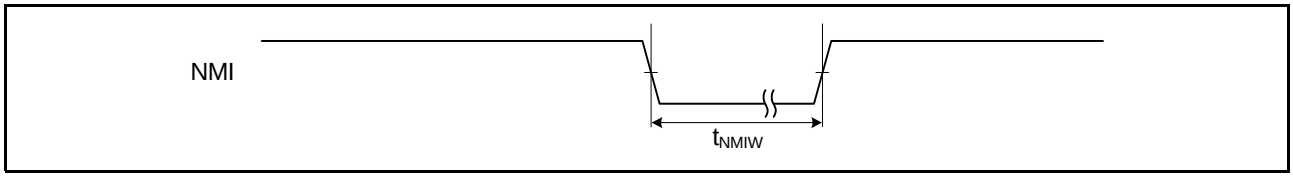


図 5.8 NMI 割り込み入力タイミング

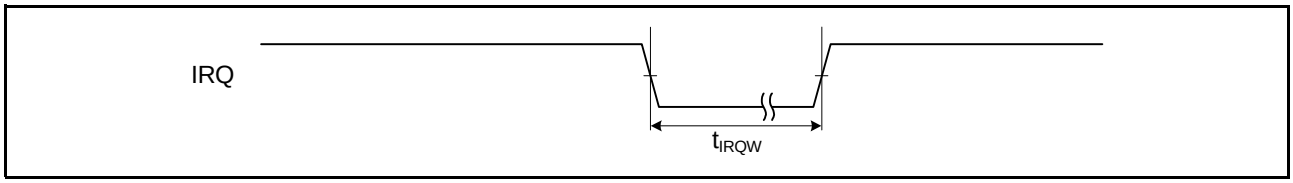


図 5.9 IRQ 割り込み入力タイミング

5.3.3 バスタイミング

表5.10 バスタイミング [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、BCLK = 8 ～ 100MHz、SDCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃
出力負荷条件：V_{OH} = VCC×0.5、V_{OL} = VCC×0.5、I_{OH} = – 1.0mA、I_{OL} = 1.0mA、C = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	15	ns	図5.10～図5.13
バイトコントロール遅延時間	t_{BCD}	—	15	ns	
CS#遅延時間	t_{CSD}	—	15	ns	
RD#遅延時間	t_{RSD}	—	15	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0.0	—	ns	
WR#遅延時間	t_{WRD}	—	15	ns	
ライトデータ遅延時間	t_{WDD}	—	15	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図5.14
WAIT#ホールド時間	t_{WTH}	0.0	—	ns	
アドレス遅延時間2（SDRAM）	t_{AD2}	1	15	ns	図5.22～図5.28
CS# 遅延時間2（SDRAM）	t_{CSD2}	1	15	ns	
DQM 遅延時間（SDRAM）	t_{DQMD}	1	15	ns	
CKE 遅延時間（SDRAM）	t_{CKED}	1	15	ns	
リードデータセットアップ時間2（SDRAM）	t_{RDS2}	12	—	ns	
リードデータホールド時間2（SDRAM）	t_{RDH2}	0	—	ns	
ライトデータ遅延時間2（SDRAM）	t_{WDD2}	—	15	ns	
ライトデータホールド時間2（SDRAM）	t_{WDH2}	1	—	ns	
WE# 遅延時間（SDRAM）	t_{WED}	1	15	ns	
RAS# 遅延時間（SDRAM）	t_{RASD}	1	15	ns	
CAS# 遅延時間（SDRAM）	t_{CASD}	1	15	ns	

表5.11　バスタイミング [100ピンLQFP/85ピンTFLGA]

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃
出力負荷条件：V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、I_{OH} = – 1.0mA、I_{OL} = 1.0mA、C = 30pF

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	30	ns	図5.10～図5.13
バイトコントロール遅延時間	t_{BCD}	—	30	ns	
CS#遅延時間	t_{CSD}	—	30	ns	
RD#遅延時間	t_{RSD}	—	30	ns	
リードデータセットアップ時間	t_{RDS}	15	—	ns	
リードデータホールド時間	t_{RDH}	0.0	—	ns	
WR#遅延時間	t_{WRD}	—	30	ns	
ライトデータ遅延時間	t_{WDD}	—	35	ns	
ライトデータホールド時間	t_{WDH}	0	—	ns	
WAIT#セットアップ時間	t_{WTS}	15	—	ns	図5.14
WAIT#ホールド時間	t_{WTH}	0.0	—	ns	

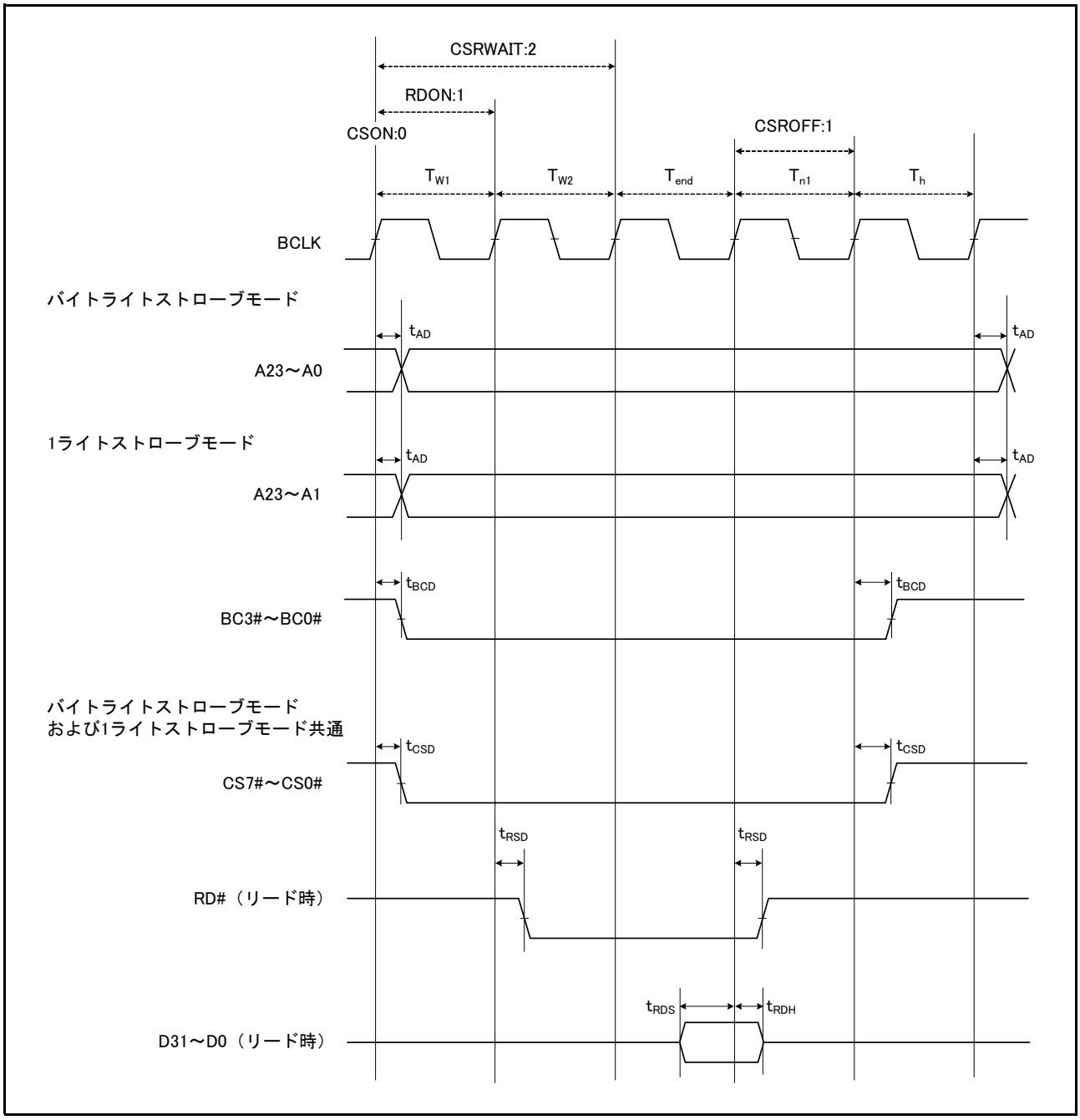
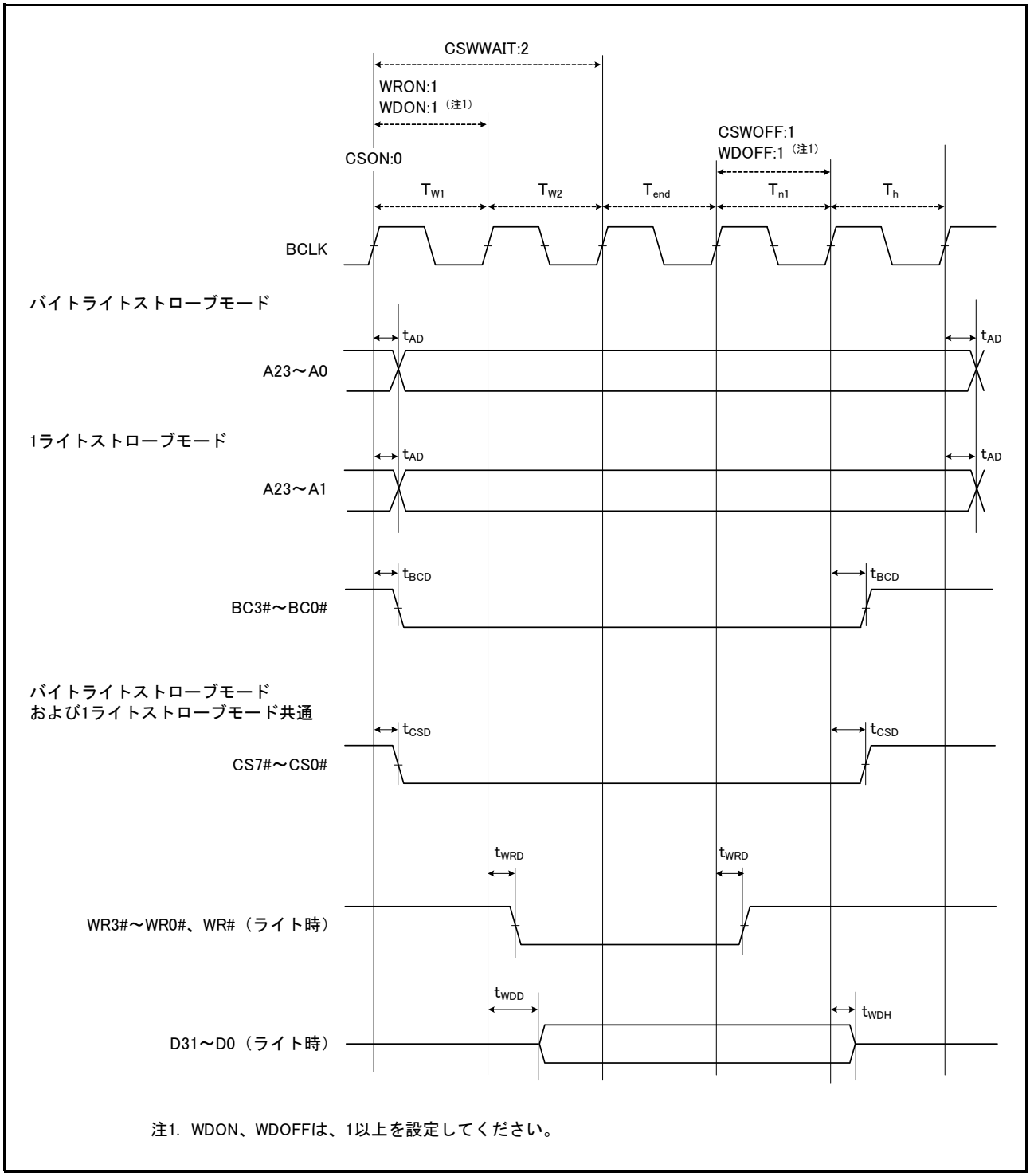


図 5.10　外部バスタイミング / ノーマルリードサイクル（バスクロック同期）



注1. WDON、WDOFFは、1以上を設定してください。

図 5.11　外部バスタイミング / ノーマルライトサイクル（バスクロック同期）

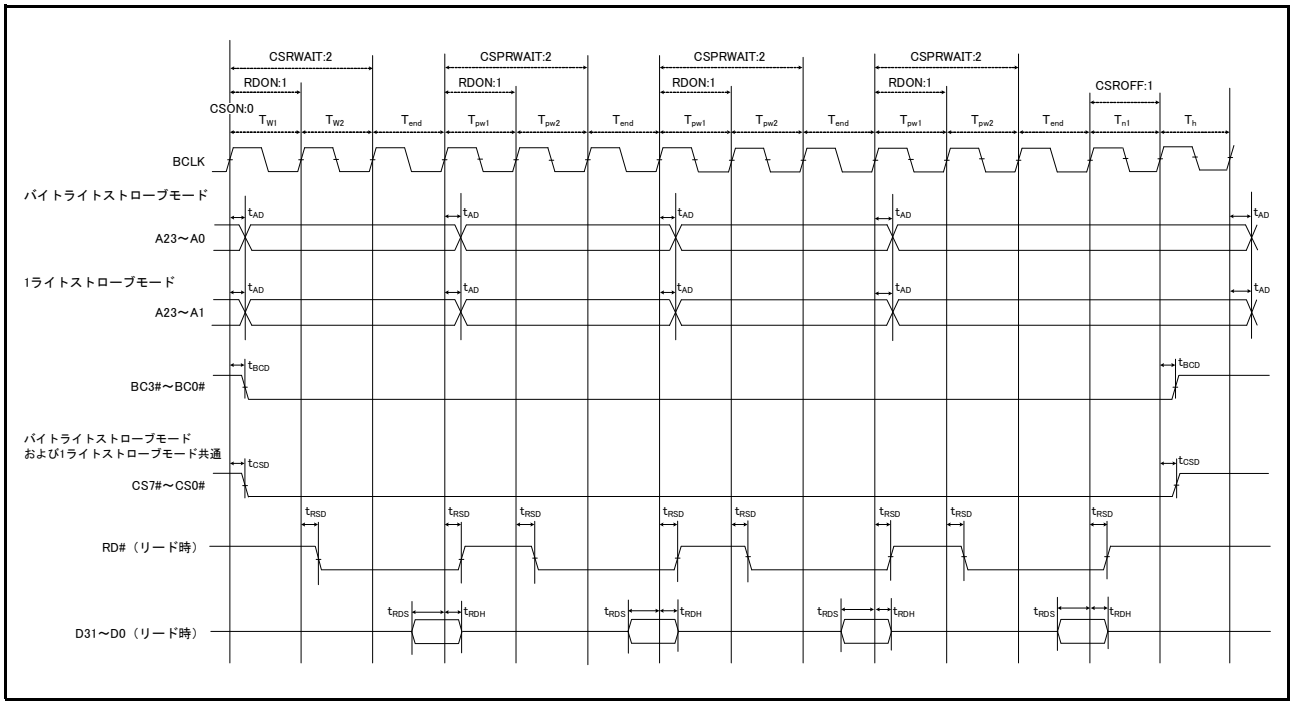


図 5.12　外部バスタイミング / ページリードサイクルバスクロック同期）

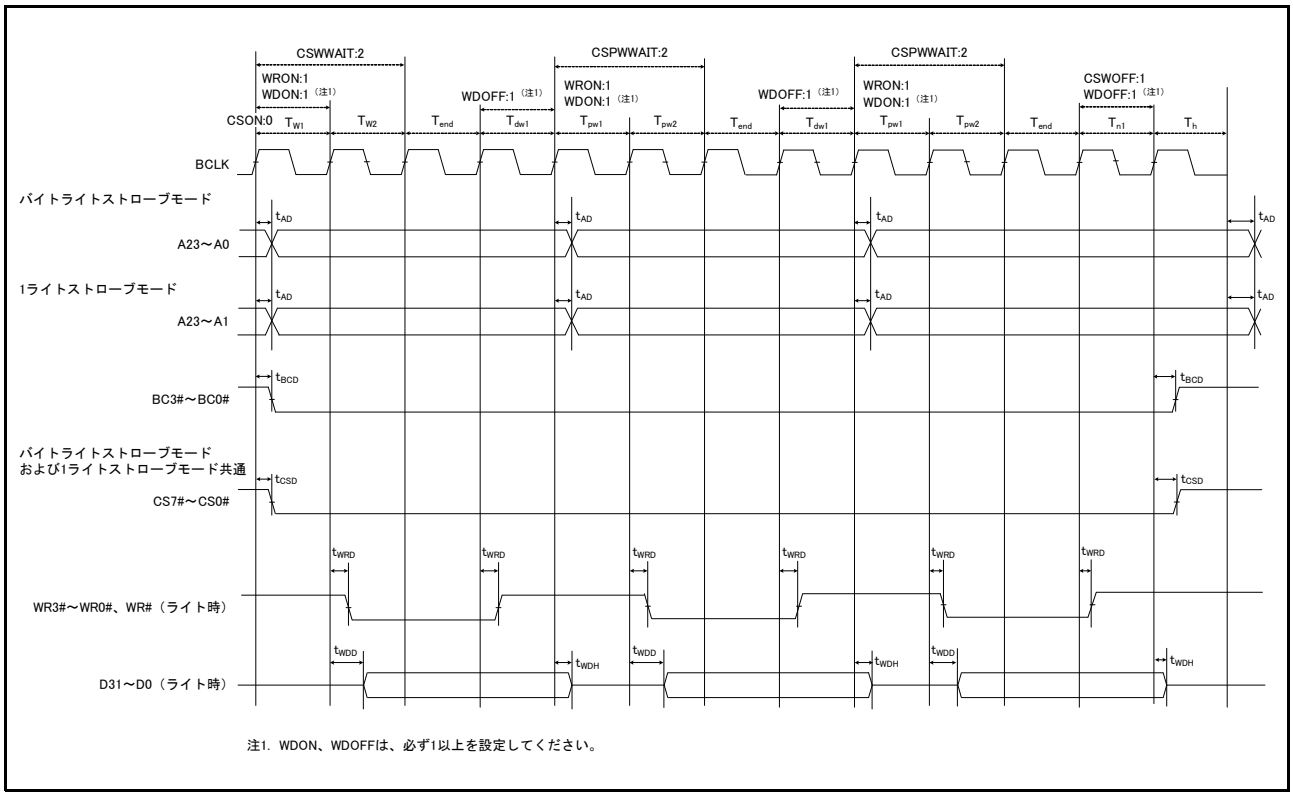


図 5.13　外部バスタイミング / ページライトサイクル（バスクロック同期）

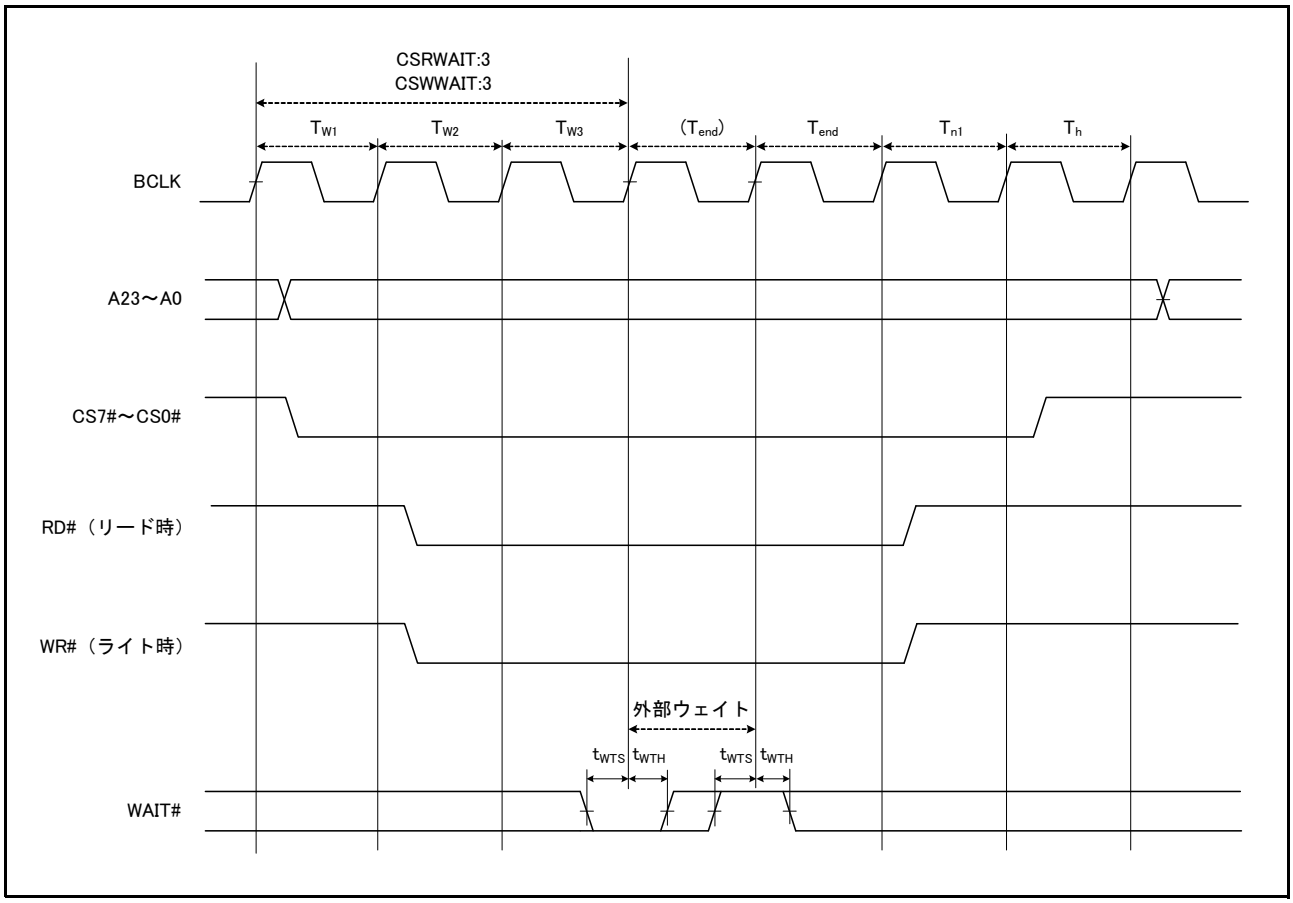
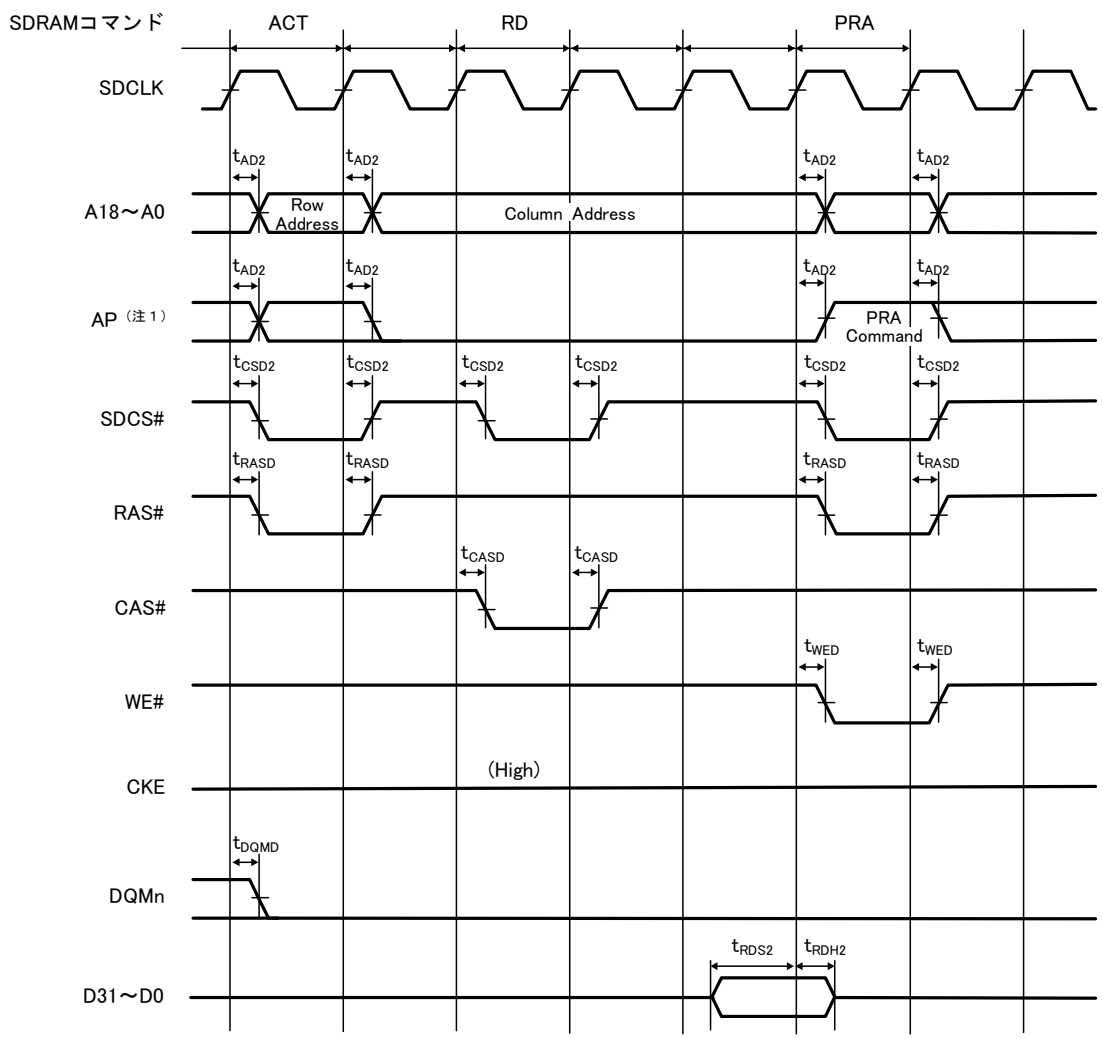
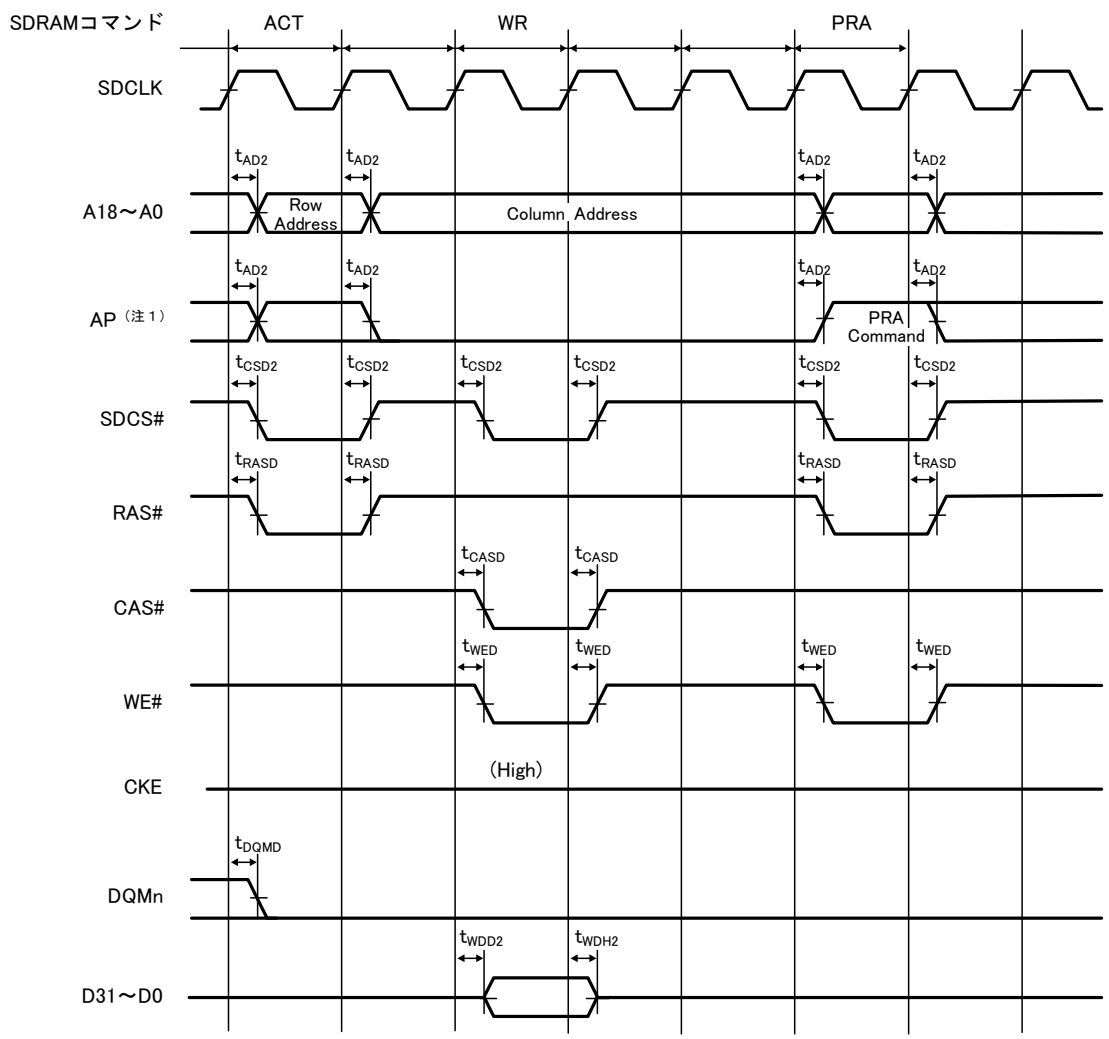


図 5.14　外部バスタイミング / 外部ウェイト制御



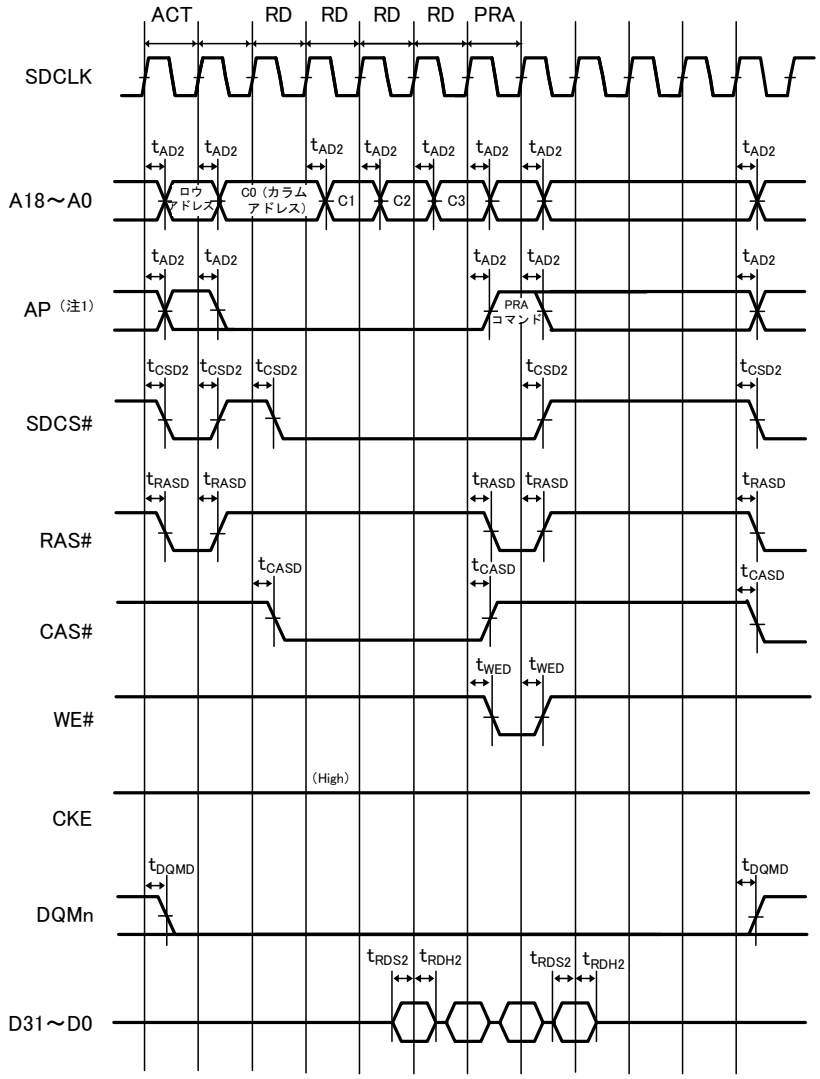
注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.15 SDRAM 空間シングルリードバスタイミング



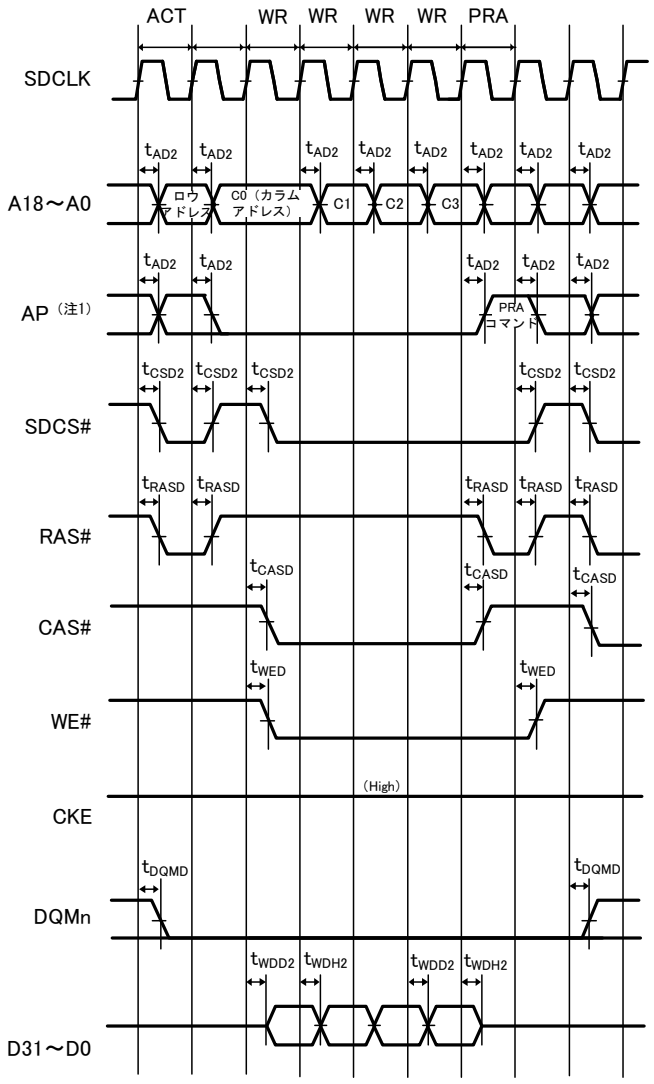
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.16　　SDRAM 空間シングルライトバスタイミング



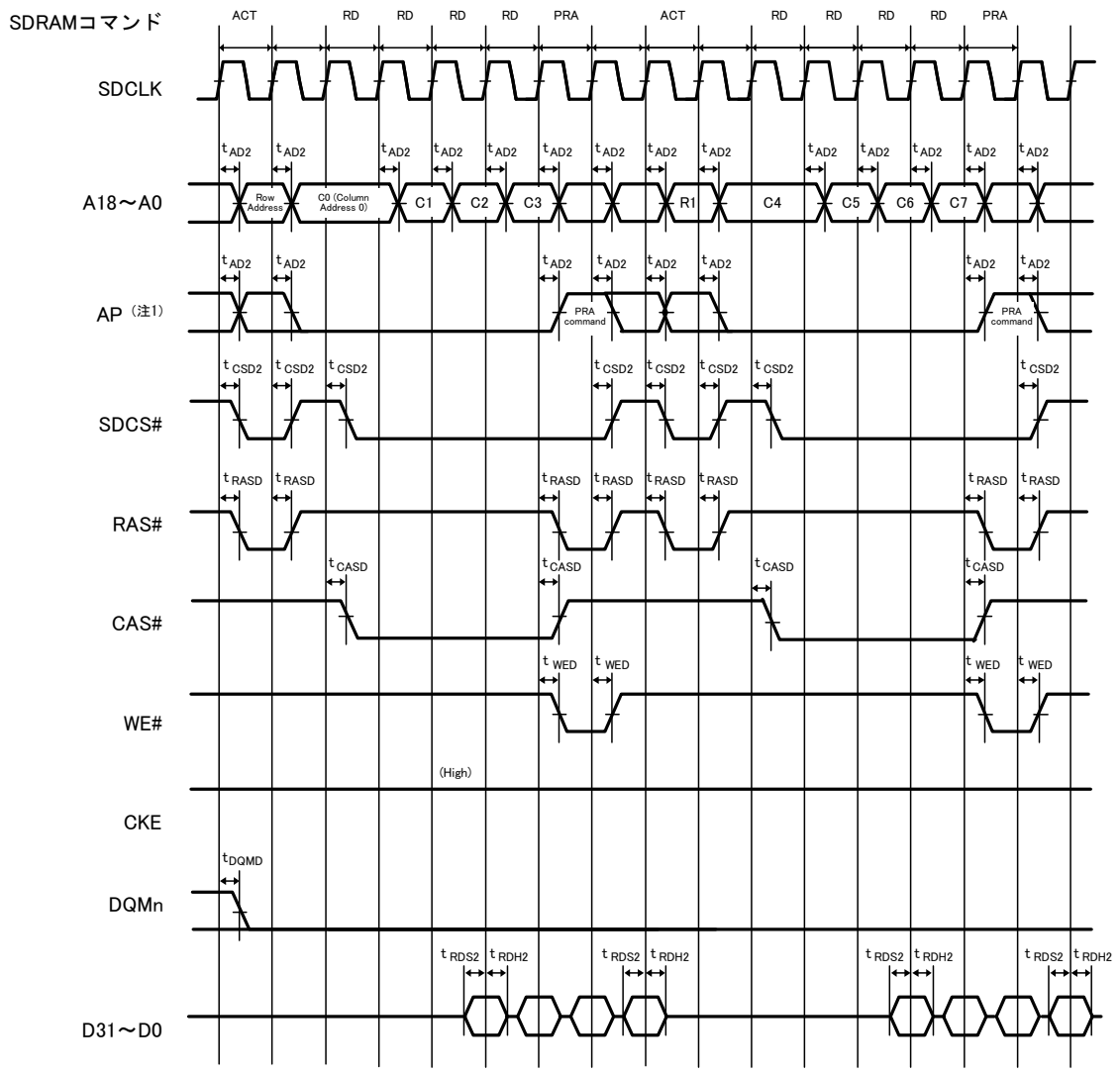
注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.17 SDRAM 空間複数リードバスタイミング



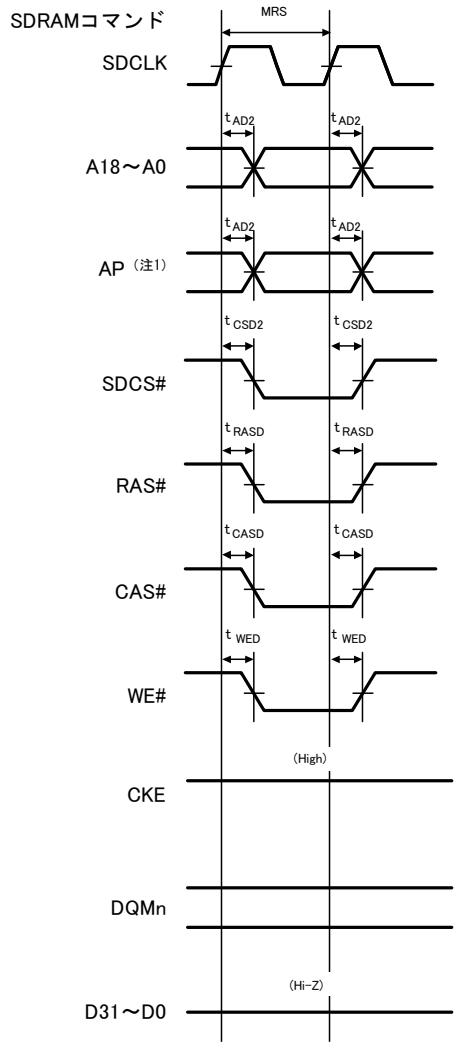
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.18　　SDRAM 空間複数ライトバスタイミング



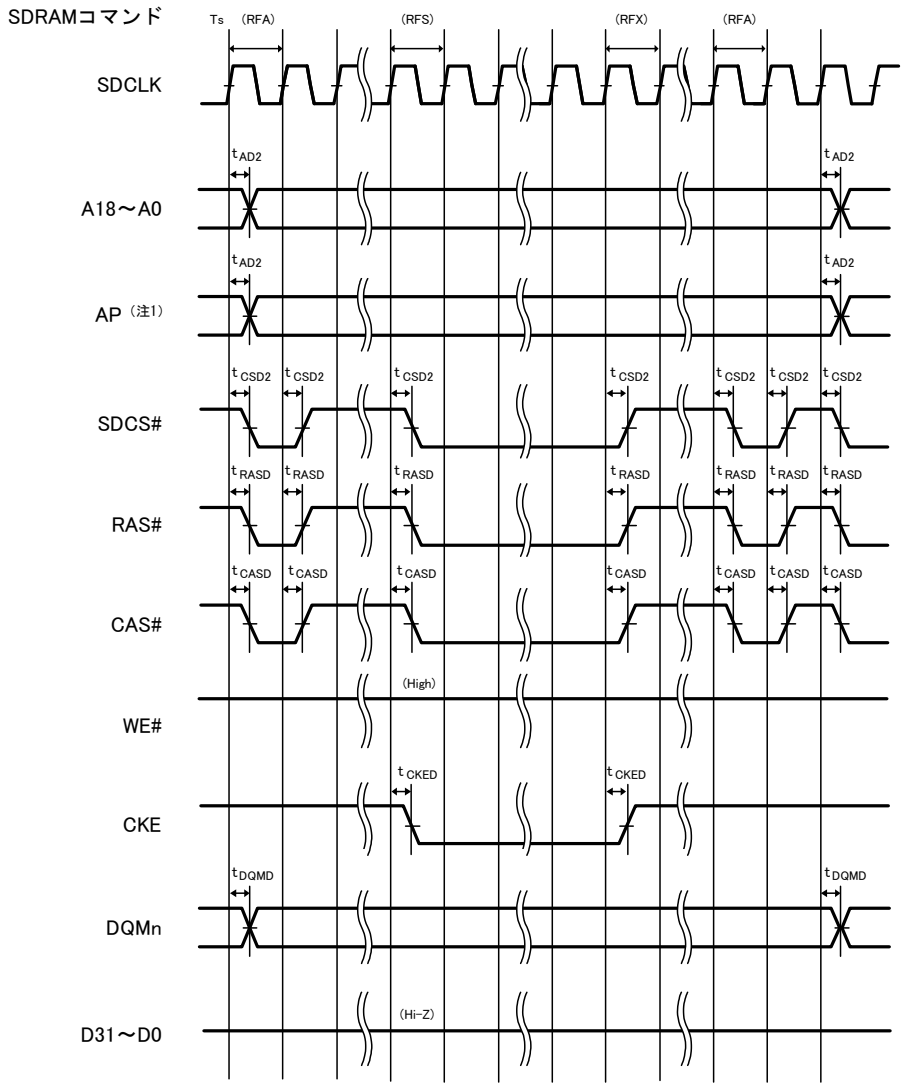
注1.　SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.19　SDRAM 空間複数リード行またぎバスタイミング



注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.20 SDRAM 空間モードレジスタセットバスタイミング



注1. SDRAMのプリチャージ設定コマンド（Precharge-sel）を出力するアドレス端子です。

図 5.21 SDRAM 空間セルフリフレッシュバスタイミング

5.3.4 EXDMAC タイミング

表5.12 EXDMAC タイミング

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 8 ～ 100MHz、PCLK = 8 ～ 50MHz、BCLK = 8 ～ 100MHz、SDCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	max	単位	測定条件
EXDMAC	EDREQ セットアップ時間	t_{EDRQS}	20	–	ns	図 5.22
	EDREQ ホールド時間	t_{EDRQH}	5	–	ns	
	EDACK 遅延時間	t_{EDACD}	–	15	ns	図 5.23 図 5.24

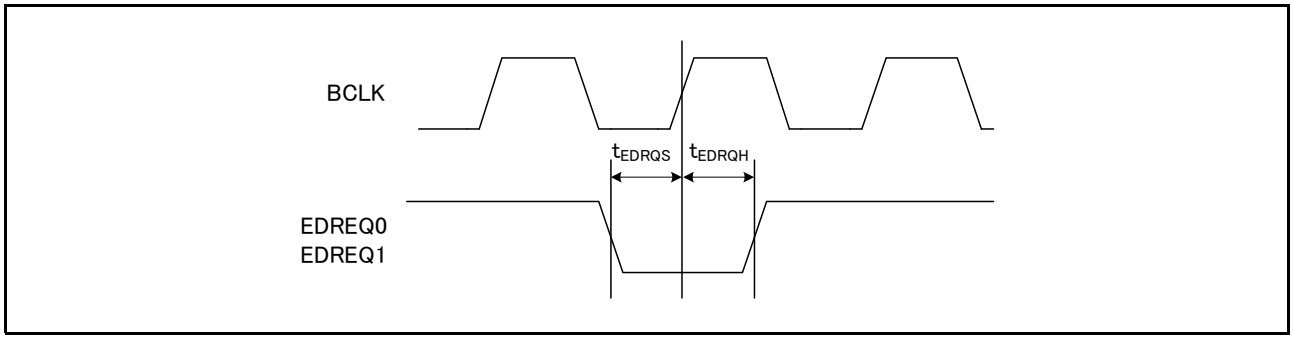


図 5.22 EDREQ0、EDREQ1 入力タイミング

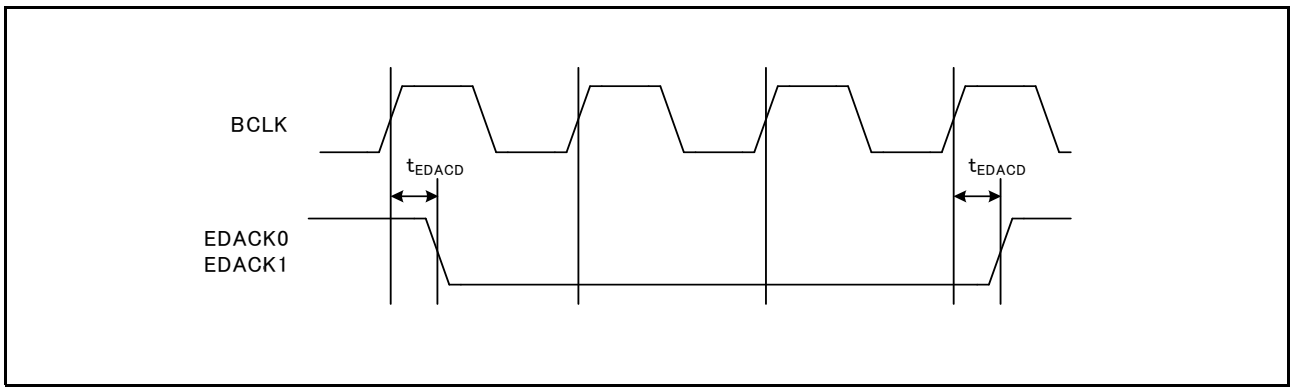


図 5.23 EDACK0、EDACK1 シングルアドレス転送タイミング（CS 領域）

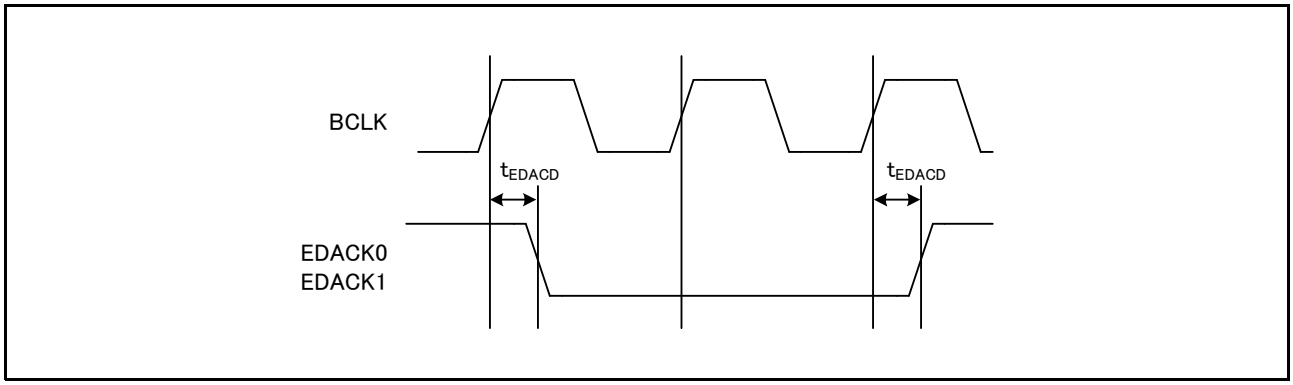


図 5.24 EDACK0、EDACK1 シングルアドレス転送タイミング（SDRAM 領域）

5.3.5 内蔵周辺モジュールタイミング

表5.13 内蔵周辺モジュールタイミング（1）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			記号	min	max	単位	測定条件
I/Oポート	出力データ遅延時間		t_{PWD}	–	40	ns	図 5.25
	入力データセットアップ時間		t_{PRS}	25	–	ns	
	入力データホールド時間		t_{PRH}	25	–	ns	
MTU2	アウトプットコンペア出力遅延時間		t_{TOCD}	–	40	ns	図 5.26
	インプットキャプチャ入力セットアップ時間		t_{TICS}	20	–	ns	
	インプットキャプチャ入力パルス幅（単エッジ指定）		t_{TICW}	1.5 × t_{Pcyc}	–	ns	
	インプットキャプチャ入力パルス幅（両エッジ指定）		t_{TICW}	2.5 × t_{Pcyc}	–	ns	
	タイマ入力セットアップ時間		t_{TCKS}	20	–	ns	図 5.27
	タイマクロックパルス幅（単エッジ指定）		$t_{TCKWH/L}$	1.5 × t_{Pcyc}	–	ns	
	タイマクロックパルス幅（両エッジ推定）		$t_{TCKWH/L}$	2.5 × t_{Pcyc}	–	ns	
	タイマクロックパルス幅（位相係数モード）		$t_{TCKWH/L}$	2.5 × t_{Pcyc}	–	ns	
POE2	POE# 入力セットアップ時間		t_{POES}	50	–	ns	図 5.28
	POE# 入力パルス幅		t_{POEW}	1.5 × t_{Pcyc}	–	ns	
PPG	パルス出力遅延時間		t_{POD}	–	40	ns	図 5.29
8ビットタイマ	タイマ出力遅延時間		t_{TMOD}	–	40	ns	図 5.30
	タイマリセット入力セットアップ時間		t_{TMRS}	25	–	ns	図 5.31
	タイマクロック入力セットアップ時間		t_{TMCS}	25	–	ns	図 5.32
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5 × t_{Pcyc}	–	ns	
		両エッジ指定	t_{TMCWL}	2.5 × t_{Pcyc}	–	ns	
WDT	オーバフロー出力遅延時間		t_{WOVD}	–	40	ns	図 5.33
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4 × t_{Pcyc}	–	ns	図 5.34
		クロック同期		6 × t_{Pcyc}	–		図 5.35
	入力クロックパルス幅		t_{SCKW}	0.4 × t_{Scyc}	0.6 × t_{Scyc}	ns	
	入力クロック立ち上がり時間		t_{SCKr}	–	20	ns	
	入力クロック立ち下がり時間		t_{SCKf}	–	20	ns	
	出力クロックサイクル	調歩同期	t_{Scyc}	4 × t_{Pcyc}	–	ns	
		クロック同期		6 × t_{Pcyc}	–		
	出力クロックパルス幅		t_{SCKW}	0.4 × t_{Scyc}	0.6 × t_{Scyc}	ns	
	出力クロック立ち上がり時間		t_{SCKr}	–	20	ns	
	出力クロック立ち下がり時間		t_{SCKf}	–	20	ns	
	送信データ遅延時間（クロック同期）		t_{TXD}	–	40	ns	
	受信データセットアップ時間（クロック同期）		t_{RXS}	40	–	ns	
	受信データホールド時間（クロック同期）		t_{RXH}	40	–	ns	
A/D コンバータ	10ビットA/D コンバータ トリガ入力セットアップ時間		t_{TRGS}	25	–	ns	図 5.36
	12ビットA/D コンバータ トリガ入力セットアップ時間		t_{TRGS}	25	–	ns	

表5.14　内蔵周辺モジュールタイミング（2）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			記号	min	max	単位	測定条件
CAN	送信データ遅延時間		t_{CTXD}	–	40.0	ns	図 5.37
	受信データセットアップ時間		t_{CRXS}	40.0	–	ns	
	受信データホールド時間		t_{CRXH}	40.0	–	ns	
RSPI	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc} （注 1）	図 5.38
		スレーブ		8	4096		
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	–	ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	–		
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2 - 3$	–	ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKR} - t_{SPCKF}) / 2$	–		
	RSPCK クロック 立ち上がり/立ち下がり時間	出力 [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]	t_{SPCKr}、t_{SPCKf}	–	5	ns	
		出力 [100 ピン LQFP/ 85 ピン TFLGA]		–	10		
		入力		–	1	μs	
	データ入力セットアップ時間	マスタ [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]	t_{SU}	16	–	ns	図5.39～ 図5.42
		マスタ [100 ピン LQFP/ 85 ピン TFLGA]		30	–		
		スレーブ		20 – 2 × t_{Pcyc}	–		
	データ入力ホールド時間	マスタ	t_H	0	–	ns	
		スレーブ		20 + 2 × t_{Pcyc}	–		
	SSL セットアップ時間	マスタ	t_{LEAD}	1	8	t_{SPcyc}	
		スレーブ		4	–	t_{Pcyc}	
	SSL ホールド時間	マスタ	t_{LAG}	1	8	t_{SPcyc}	
		スレーブ		4	–	t_{Pcyc}	
	データ出力遅延時間	マスタ [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]	t_{OD}	–	20	ns	
		マスタ [100 ピン LQFP/ 85 ピン TFLGA]		–	30		
		スレーブ [176 ピン LFBGA/ 145 ピン TFLGA/ 144 ピン LQFP]		–	3 × t_{Pcyc} + 40		
		スレーブ [100 ピン LQFP/ 85 ピン TFLGA]		–	3 × t_{Pcyc} + 50		

注1.　t_{Pcyc}：PCLKの周期

表5.15　内蔵周辺モジュールタイミング（3）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			記号	min	max	単位	測定条件
RSPI	データ出力ホールド時間	マスタ	t_{OH}	0	–	ns	図5.39～図5.42
		スレーブ		0	–		
	連続送信遅延時間	マスタ	t_{TD}	t_{SPcyc} + 2 × t_{Pcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	ns	
		スレーブ		4 × t_{Pcyc}	–		
	MOSI、MISO 立ち上がり/立ち下がり時間	出力 [176ピンLFBGA/145ピンTFLGA/144ピンLQFP]	t_{Dr}、t_{Df}	–	5	ns	
		出力 [100ピンLQFP/85ピンTFLGA]		–	10		
		入力		–	1	μs	
	SSL 立ち上がり/立ち下がり時間	出力 [176ピンLFBGA 145ピンTFLGA 144ピンLQFP]	t_{SSLr}、t_{SSLf}	–	5	ns	
		出力 [100ピンLQFP/85ピンTFLGA]		–	10		
		入力		–	1	μs	
	スレーブアクセス時間		t_{SA}	–	4	t_{Pcyc}	図5.41、図5.42
	スレーブ出力開放時間		t_{REL}	–	3	t_{Pcyc}	

注1.　t_{Pcyc}：PCLKの周期

表5.16　内蔵周辺モジュールタイミング（4）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = －40 ～ + 85 ℃

項目		記号	min（注1、注2）	max	単位	測定条件
RIIC（Standard-mode、SMBus）ICFER.FMPE=0	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 1300	—	ns	図5.43
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC（Fast-mode）	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 600	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 300	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 + 0.1C_b	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 + 0.1C_b	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC（Fast-mode+）ICFER.FMPE=1	SCL入力サイクル時間	t_{SCL}	6(12) × t_{IICcyc} + 240	—	ns	
	SCL入力Highパルス幅	t_{SCLH}	3(6) × t_{IICcyc} + 120	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	3(6) × t_{IICcyc} + 120	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{IICcyc}	ns	
	SDA入力バスフリー時間	t_{BUF}	3(6) × t_{IICcyc} + 120	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 120		ns	
	再送開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 20	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	550	pF	

注.　t_{IICcyc}：RIIC の内部基準クロック（IICφ）の周期
注1.　（ ）内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。
注2.　Cbはバスラインの容量総計です。

表5.17　内蔵周辺モジュールタイミング（5）

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
ICLK = 12.5 ～ 100MHz
T_a = －40 ～ + 85 ℃

項目		記号	min	max	単位	測定条件
ETHERC（RMII）	REF50CK サイクル時間	T_{ck}	20	—	ns	図 5.44 ～ 図 5.47
	REF50CK 周波数 Typ. 50MHz	—	—	50 + 100ppm	MHz	
	REF50CK デューティ	—	35	65	%	
	REF50CK 立ち上がり/立ち下がり時間	$T_{ckr/ckf}$	0.5	3.5	ns	
	RMII_xxxx（注1）出力遅延時間	T_{co}	2.5	12.5	ns	
	RMII_xxxx（注2）セットアップ時間	T_{su}	3	—	ns	
	RMII_xxxx（注2）ホールド時間	T_{hd}	1	—	ns	
	RMII_xxxx（注1）（注2）立ち上がり/立ち下がり時間	Tr/Tf	0.5	6	ns	
	ET_MDIO セットアップ時間	t_{MDIOs}	10	—	ns	図 5.48
	ET_MDIO ホールド時間	t_{MDIOh}	10	—	ns	
	ET_MDIO 出力データホールド時間（注3）	t_{MDIODh}	5	—	ns	図 5.49
	ET_WOL 出力遅延時間	t_{WOLd}	1	20	ns	図 5.50
ETHERC（MII）	ET_TX_CLK サイクル時間	t_{Tcyc}	40	—	ns	—
	ET_TX_EN 出力遅延時間	t_{TENd}	1	20	ns	図 5.51
	ET_ETXD0～ET_ETXD3出力遅延時間	t_{MTDd}	1	20	ns	
	ET_CRS セットアップ時間	t_{CRSs}	10	—	ns	
	ET_CRS ホールド時間	t_{CRSh}	10	—	ns	
	ET_COL セットアップ時間	t_{COLs}	10	—	ns	図 5.52
	ET_COL ホールド時間	t_{COLh}	10	—	ns	
	ET_RX_CLK サイクル時間	t_{TRcyc}	40	—	ns	—
	ET_RX_DV セットアップ時間	t_{RDVs}	10		ns	図 5.53
	ET_RX_DV ホールド時間	t_{RDVh}	10	—	ns	
	ET_ERXD0～ET_ERXD3 セットアップ時間	t_{MRDs}	10	—	ns	
	ET_ERXD0～ET_ERXD3ホールド時間	t_{MRDh}	10	—	ns	
	ET_RX_ER セットアップ時間	t_{RERs}	10	—	ns	図 5.54
	ET_RX_ER ホールド時間	t_{RESh}	10	—	ns	
	ET_MDIO セットアップ時間	t_{MDIOs}	10	—	ns	図 5.55
	ET_MDIO ホールド時間	t_{MDIOh}	10	—	ns	
	ET_MDIO 出力データホールド時間	t_{MDIOdh}	5	—	ns	図 5.56
	ET_WOL 出力遅延時間	t_{WOLd}	1	20	ns	図 5.57

注1.　RMII_TXD_EN、RMII_TXD1、RMII_TXD0
注2.　RMII_CRS_DV、RMII_RXD1、RMII_RXD0、RMII_RX_ER
注3.　ユーザがプログラムにより本規定を満足するように設定する必要があります。

表5.18　内蔵周辺モジュールタイミング（6）

条件：VCC = PLLVCC = AVCC = VCC_USB = 3.0 ～ 3.6V、VREFH = 3.0V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	typ	max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 5.58
TCK クロック High レベルパルス幅	t_{TCKH}	45	—	—	ns	
TCK クロック Low レベルパルス幅	t_{TCKL}	45	—	—	ns	
TCK クロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCK クロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TRST# パルス幅	t_{TRSTW}	20	—	—	t_{TCKcyc}	図 5.59
TMS セットアップ時間	t_{TMSS}	20	—	—	ns	図 5.60
TMS ホールド時間	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	t_{TDOD}	—	—	40	ns	

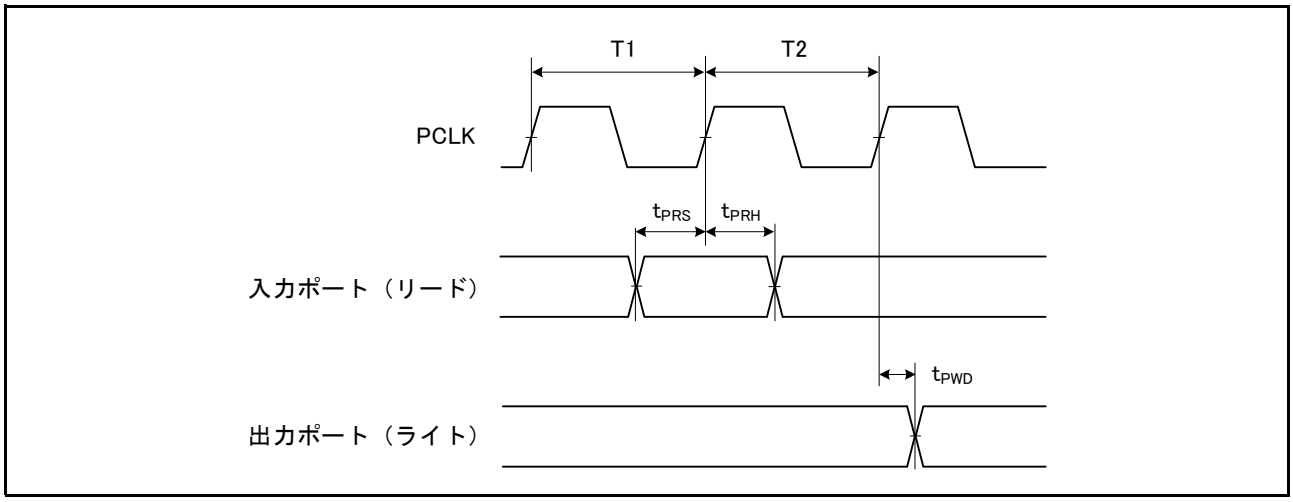


図 5.25　I/O ポート入出力タイミング

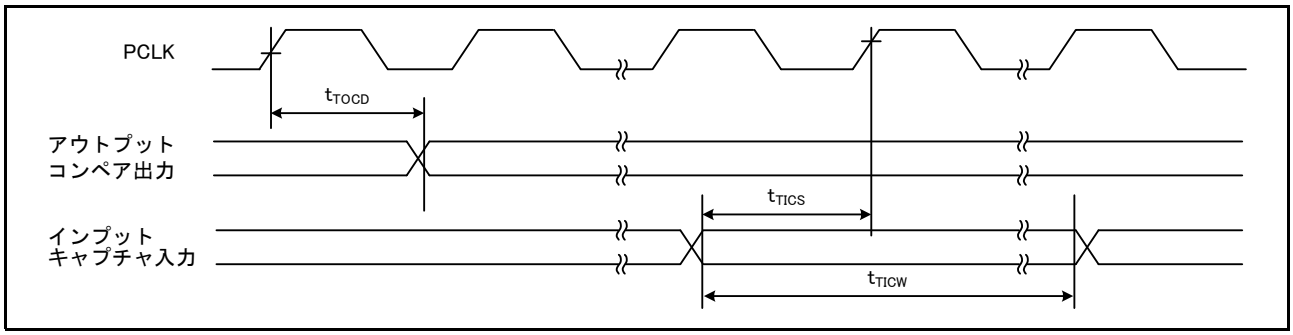


図 5.26　MTU2 入出力タイミング

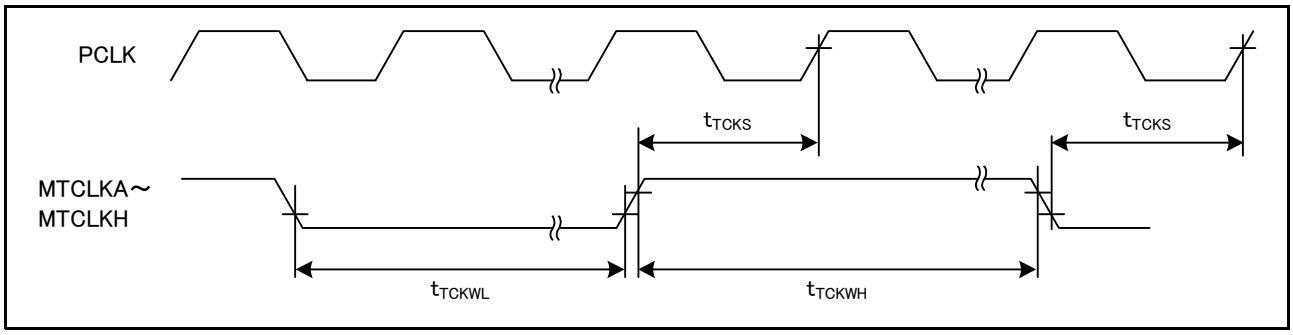


図 5.27 MTU2 クロック入力タイミング

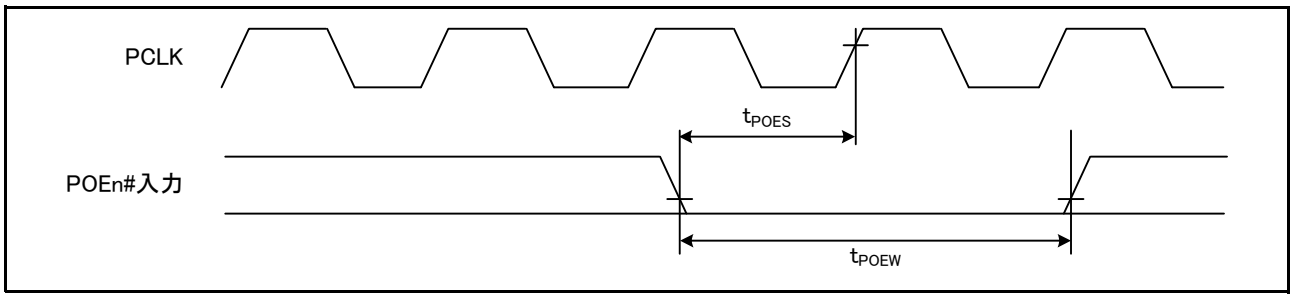


図 5.28 POE# 入力タイミング

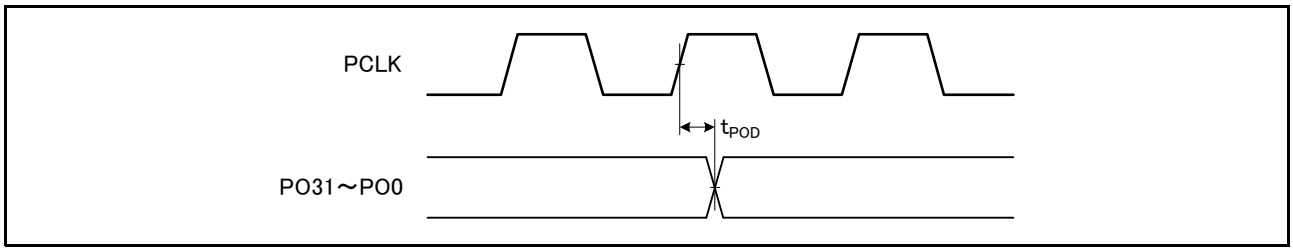


図 5.29 PPG 出力タイミング

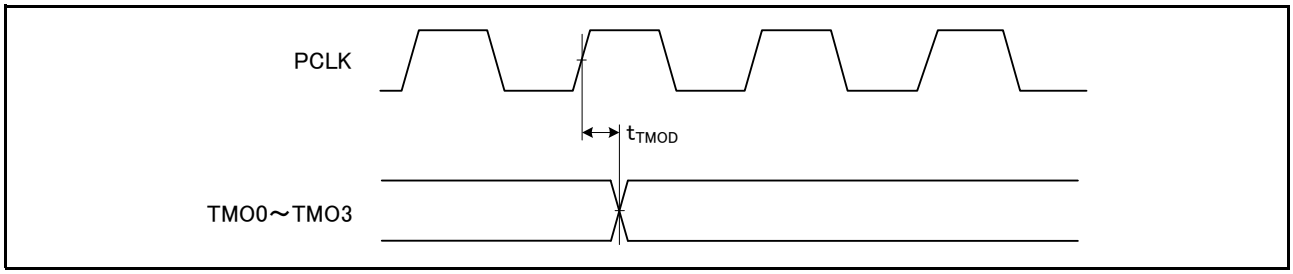


図 5.30 8 ビットタイマ出力タイミング

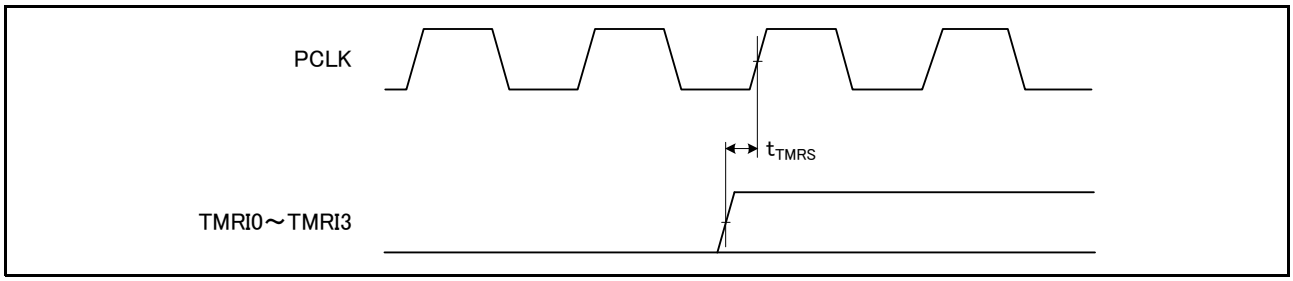


図 5.31 8 ビットタイマリセット入力タイミング

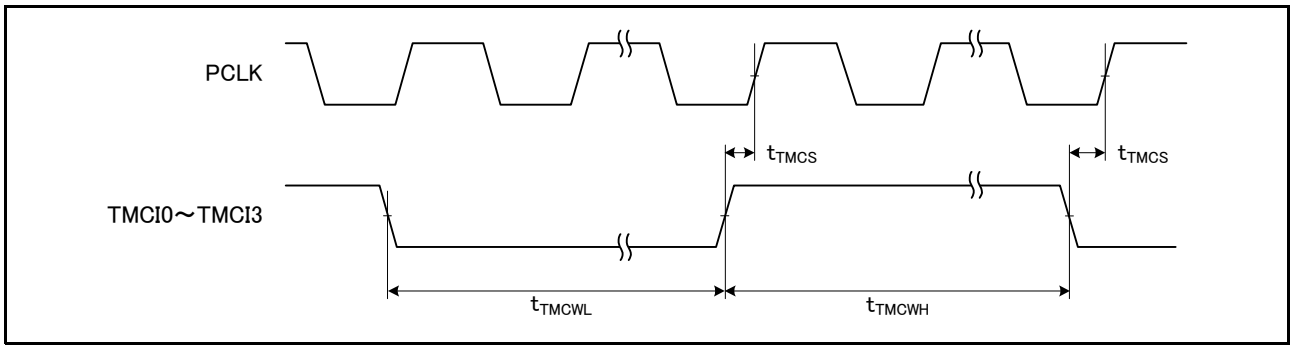


図 5.32 8 ビットタイマクロック入力タイミング

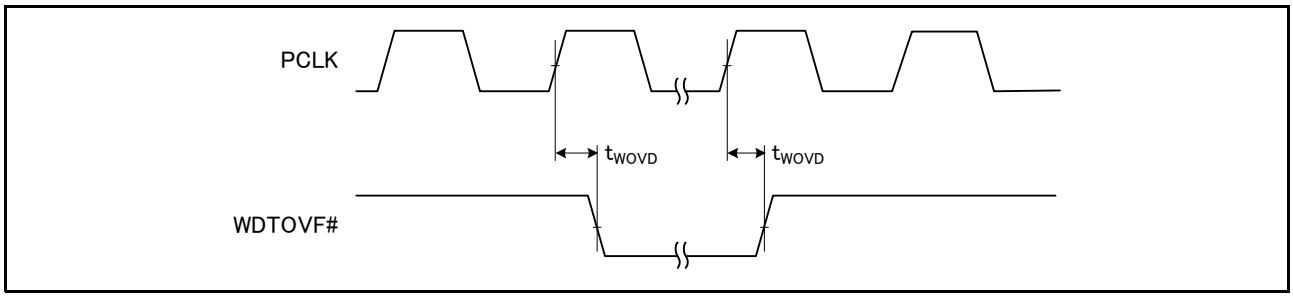


図 5.33 WDT 出力タイミング

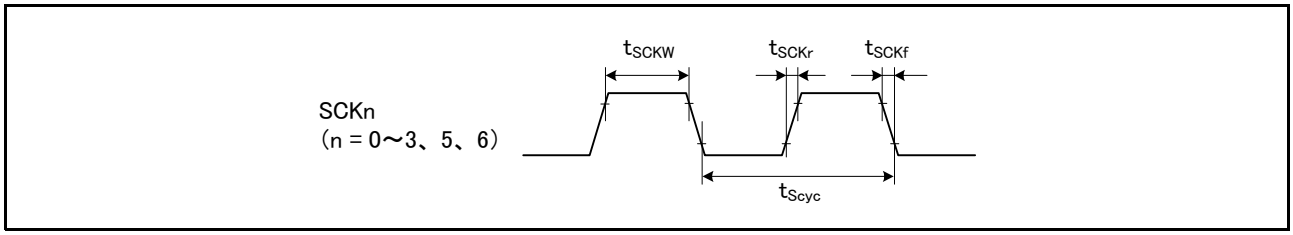


図 5.34 SCK クロック入力タイミング

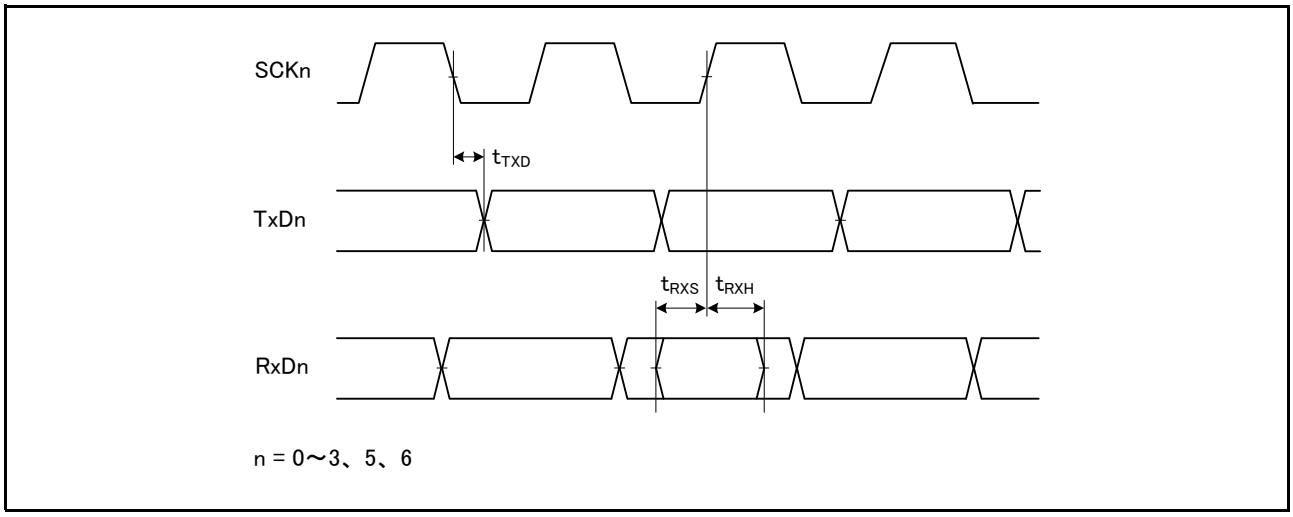


図 5.35 SCI 入出力タイミング / クロック同期式モード

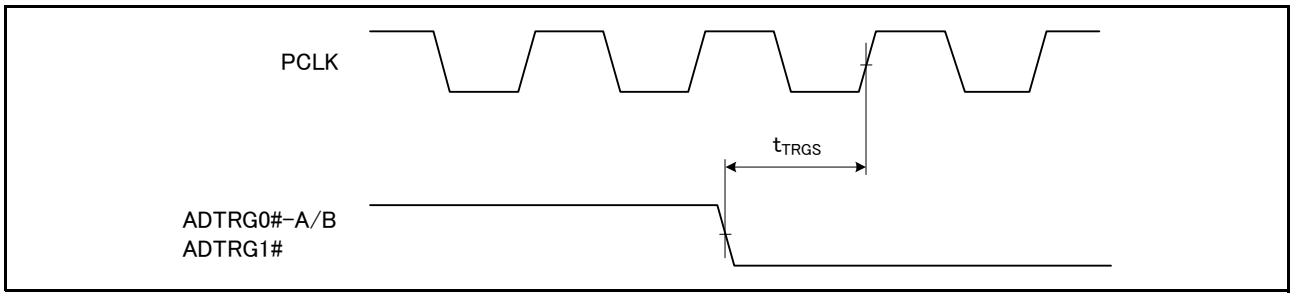


図 5.36 A/D コンバータ外部トリガ入力タイミング

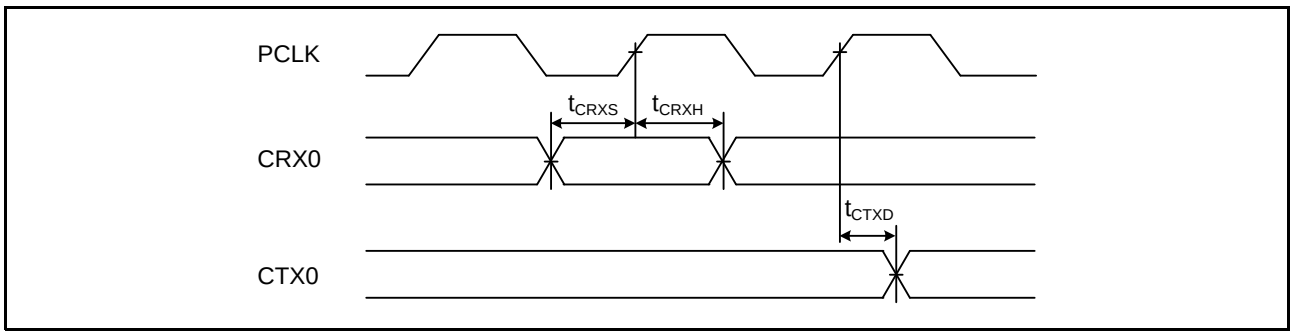


図 5.37 CAN 入出力タイミング

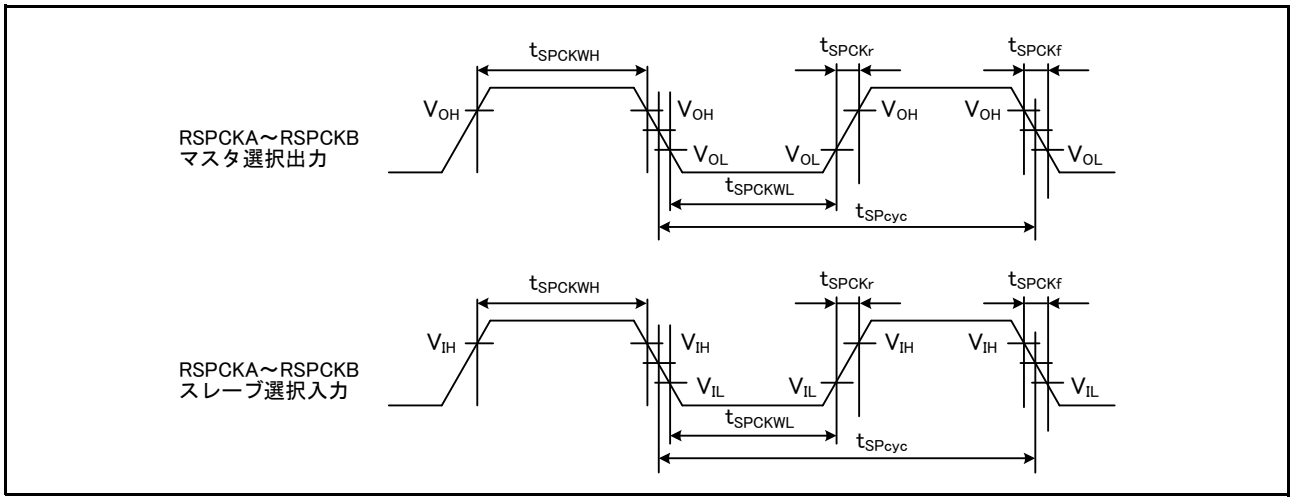


図 5.38 RSPI クロックタイミング

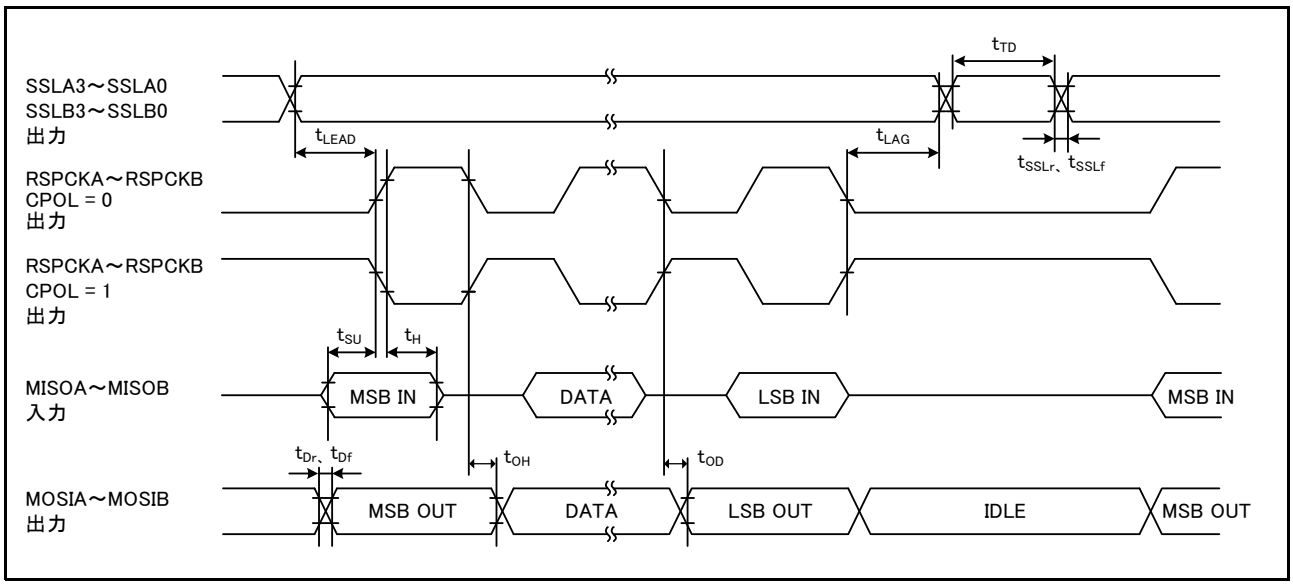


図 5.39 RSPI タイミング（マスタ、CPHA = 0）

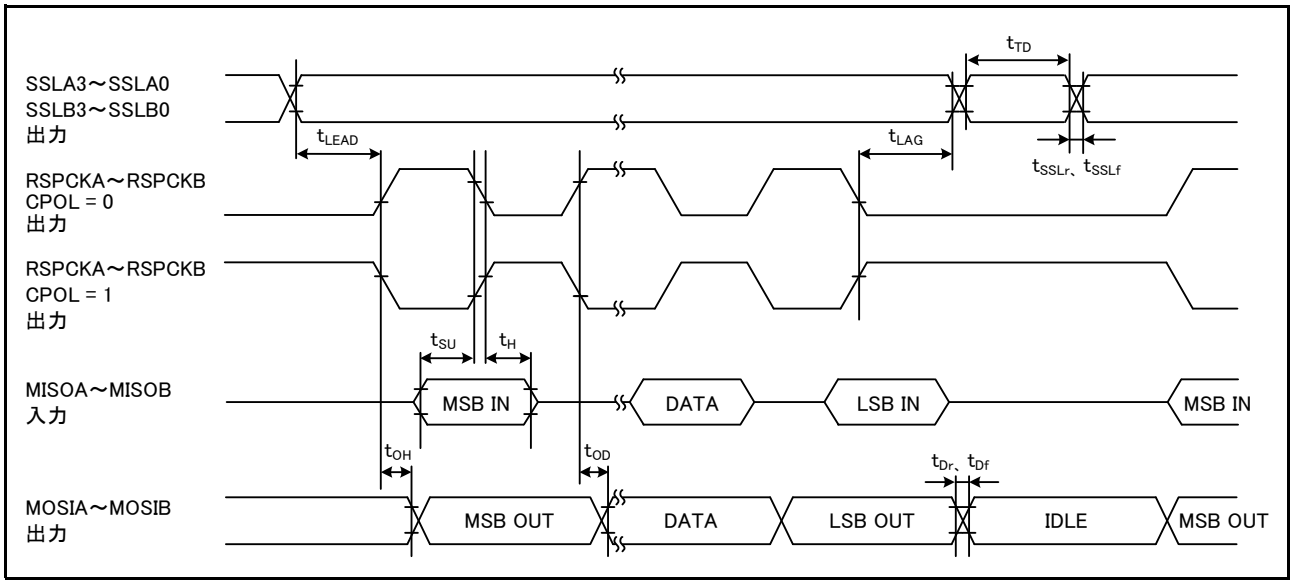


図 5.40 RSPI タイミング（マスタ、CPHA = 1）

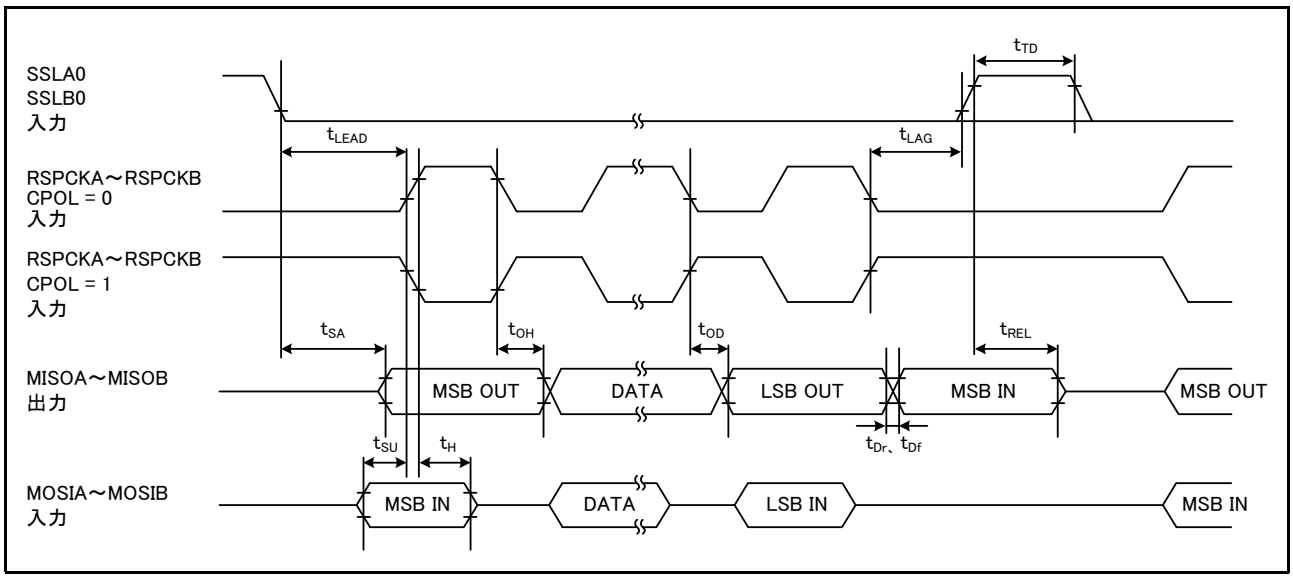


図 5.41 RSPI タイミング（スレーブ、CPHA = 0）

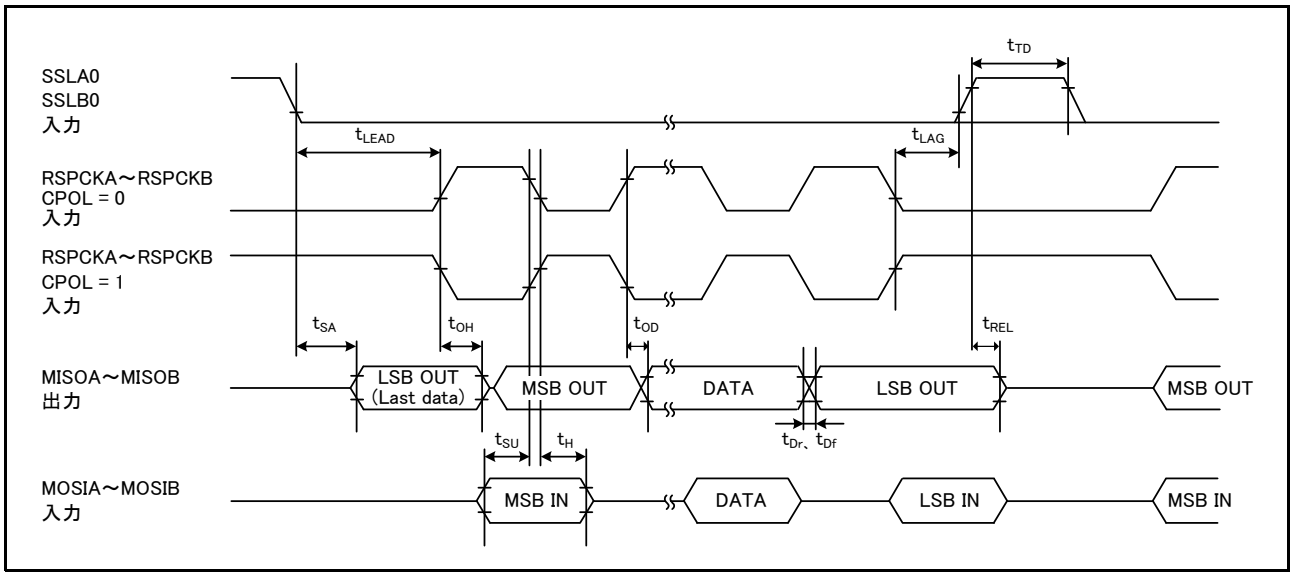


図 5.42 RSPI タイミング（スレーブ、CPHA = 1）

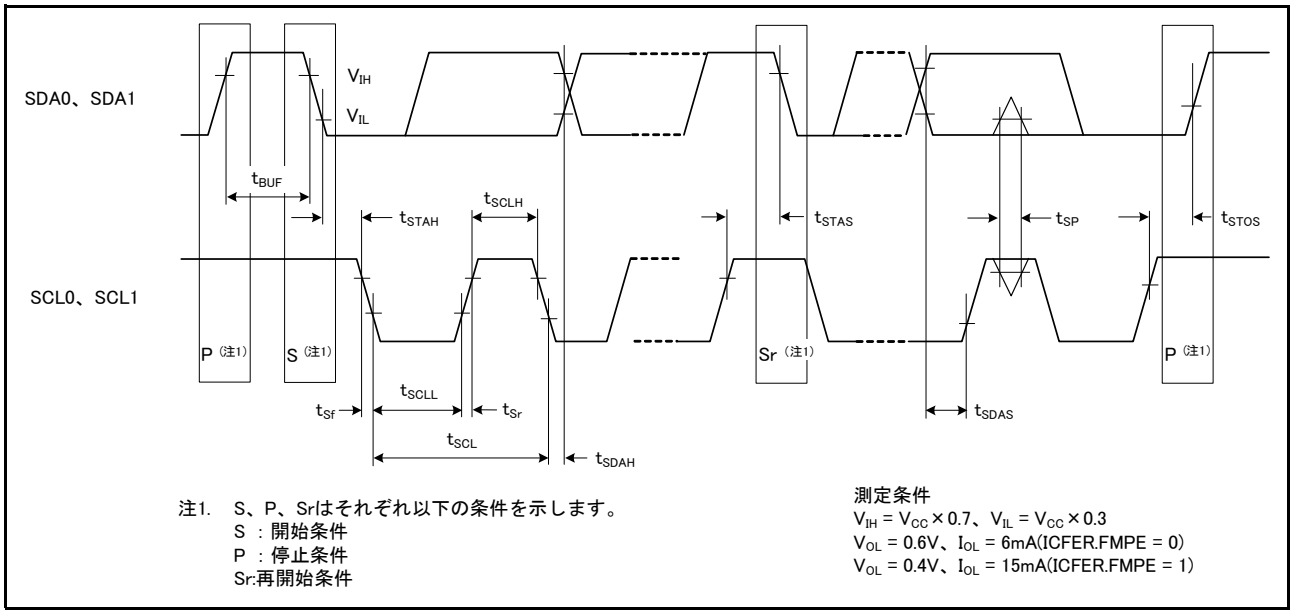


図 5.43 I²C バスインタフェース入出力タイミング

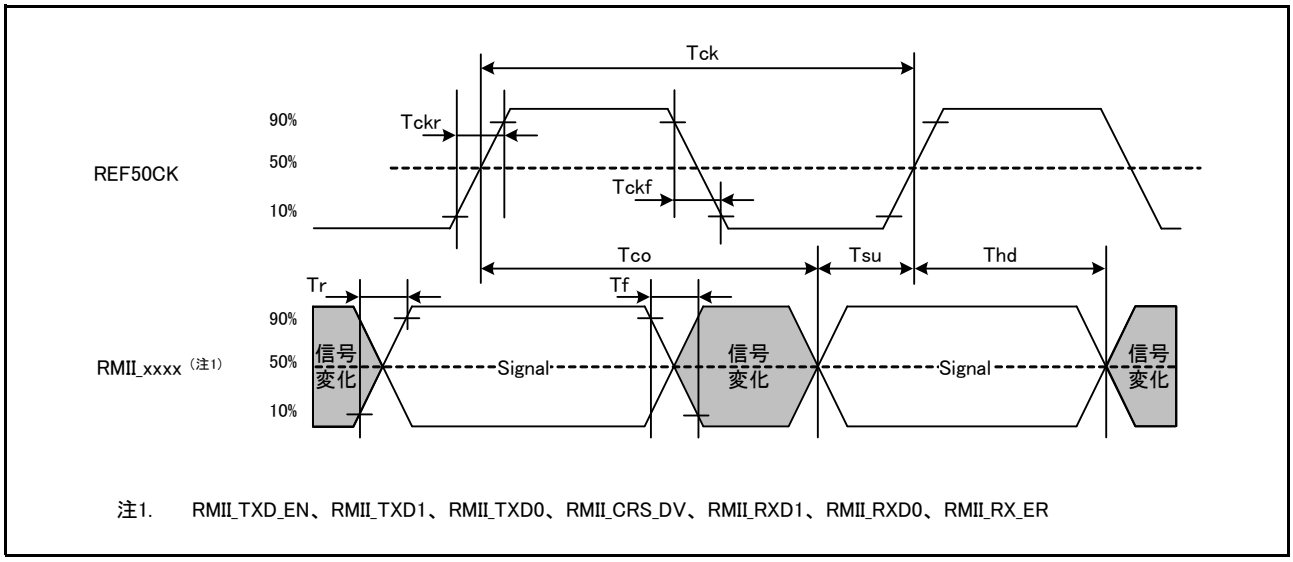


図 5.44 REF50CK と RMII 信号とのタイミング

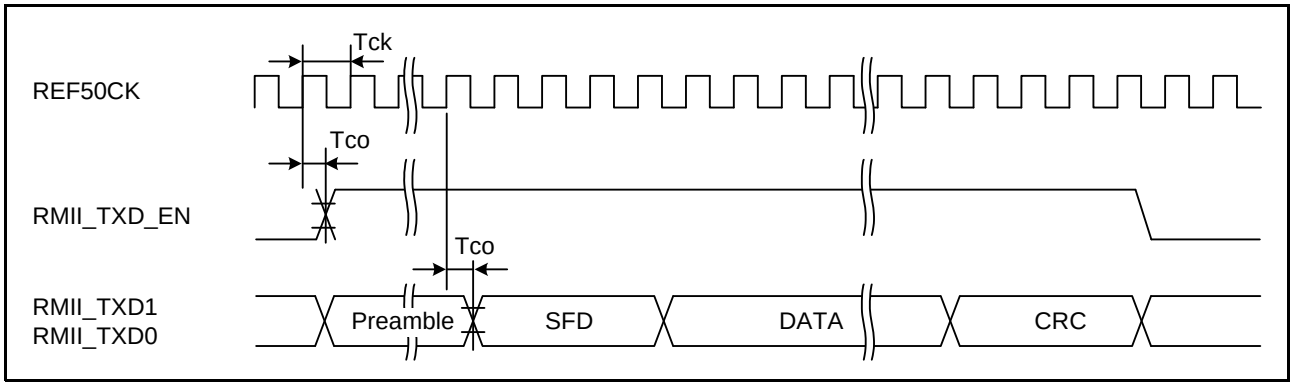


図 5.45 RMII 送信タイミング

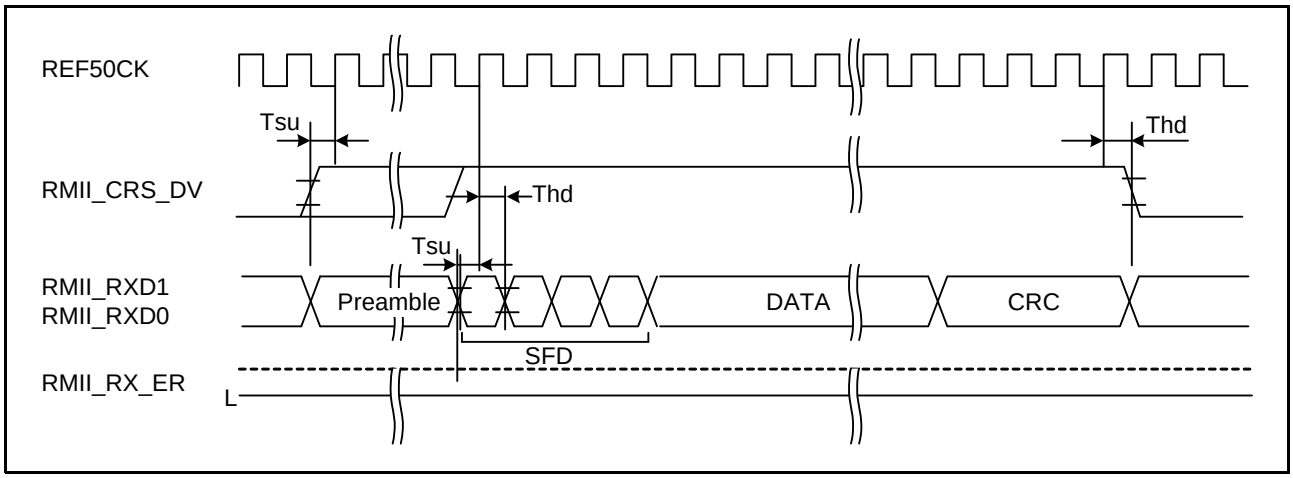


図 5.46 RMII 受信タイミング（正常動作時）

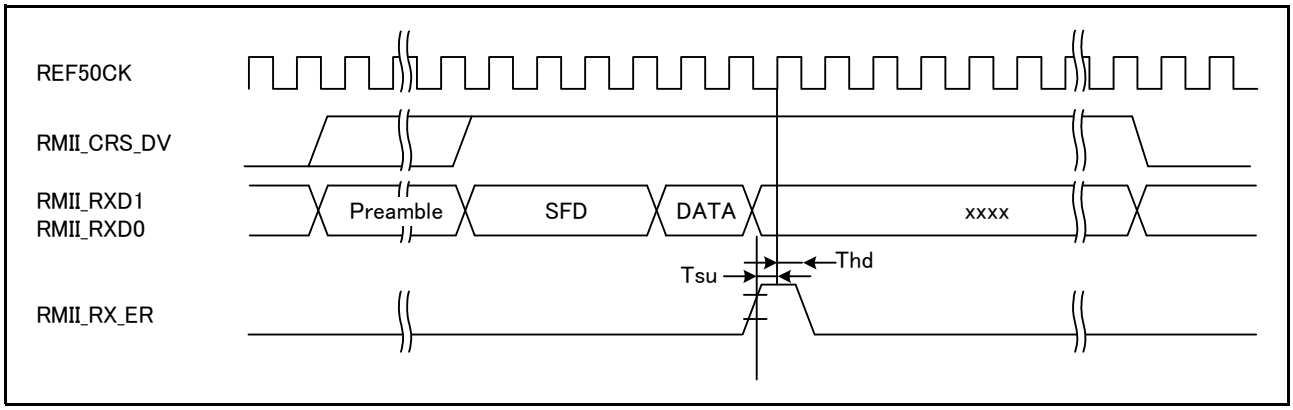


図 5.47 RMII 受信タイミング（エラー発生ケース）

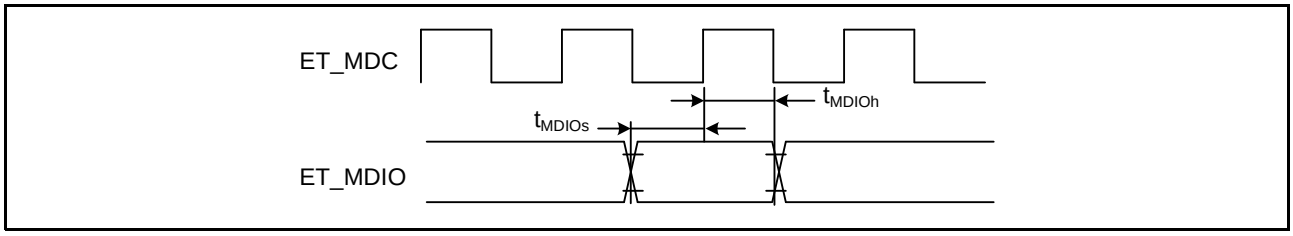


図 5.48 MDIO 入力タイミング（RMII）

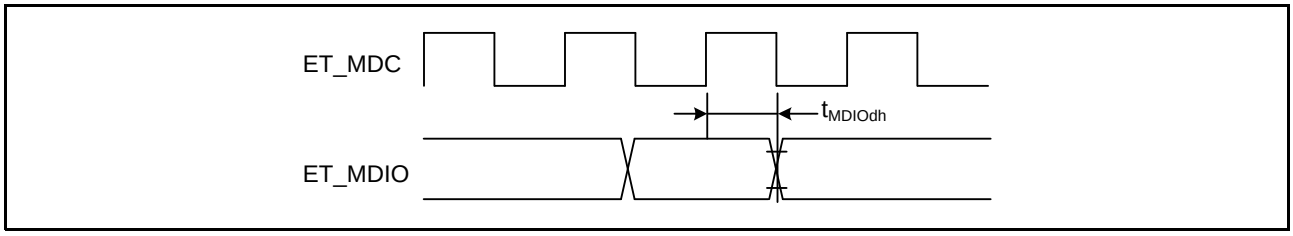


図 5.49 MDIO 出力タイミング（RMII）

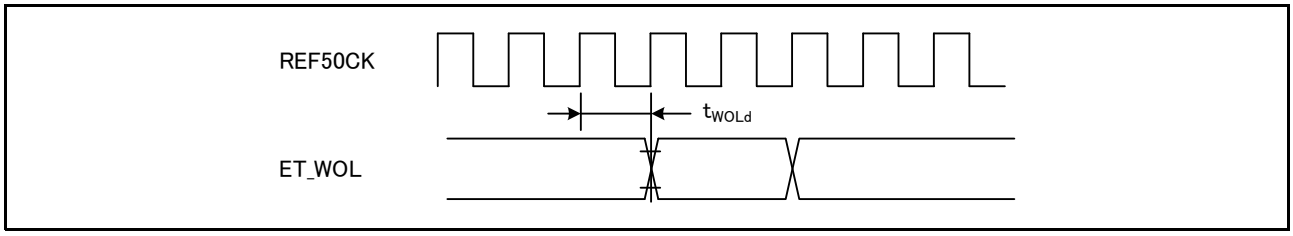


図 5.50 WOL 出力タイミング（RMII）

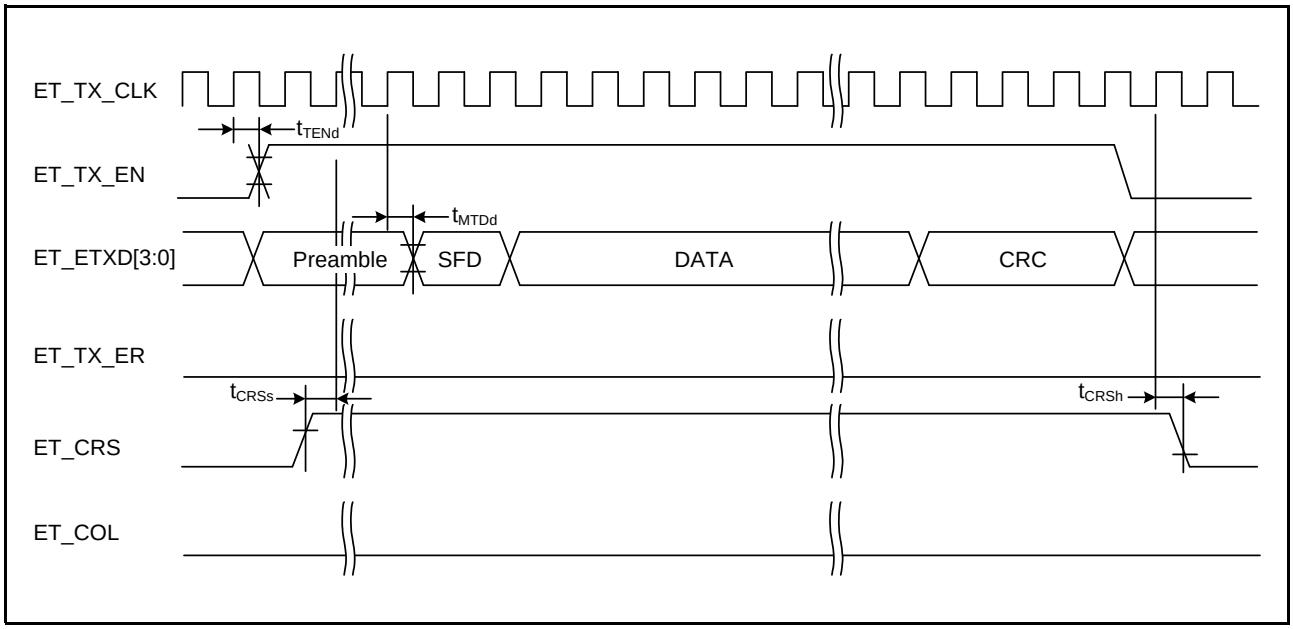


図 5.51 MII 送信タイミング（正常動作時）

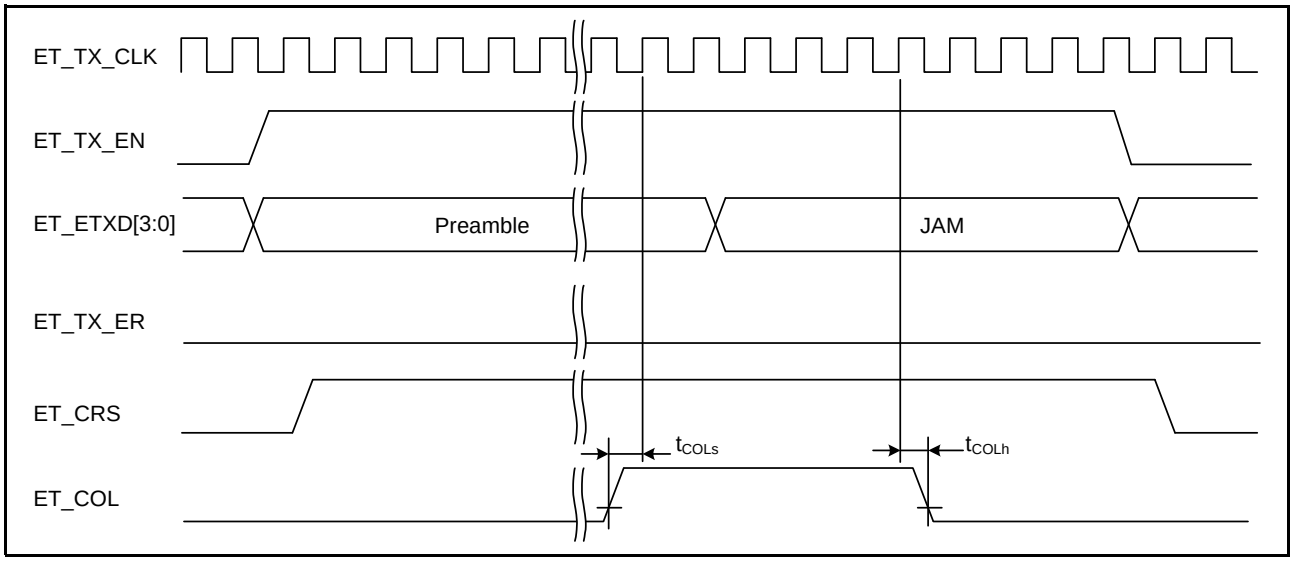


図 5.52 MII 送信タイミング（衝突発生ケース）

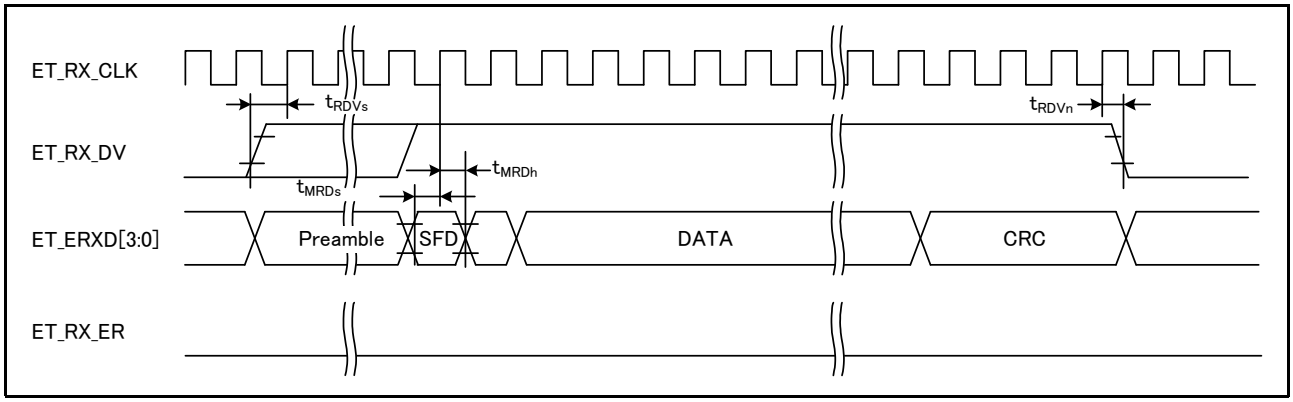


図 5.53 MII 受信タイミング（正常動作時）

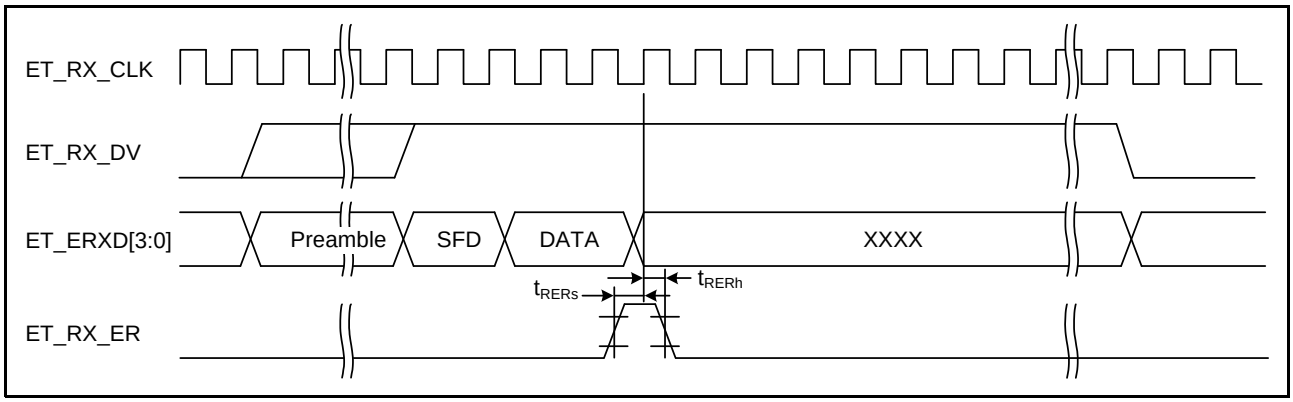


図 5.54 MII 受信タイミング（エラー発生ケース）

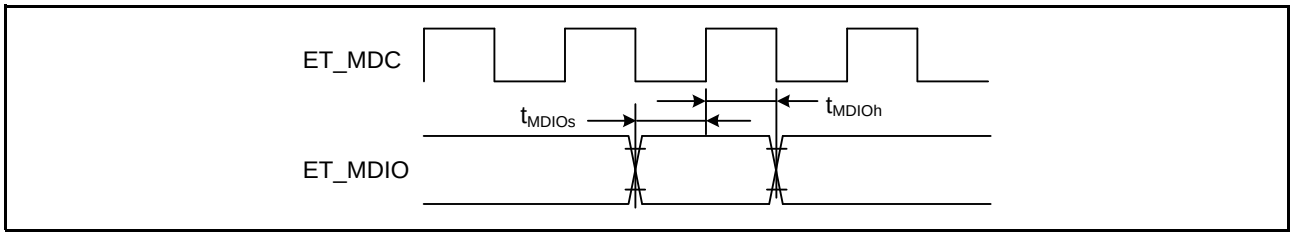


図 5.55 MDIO 入力タイミング（MII）

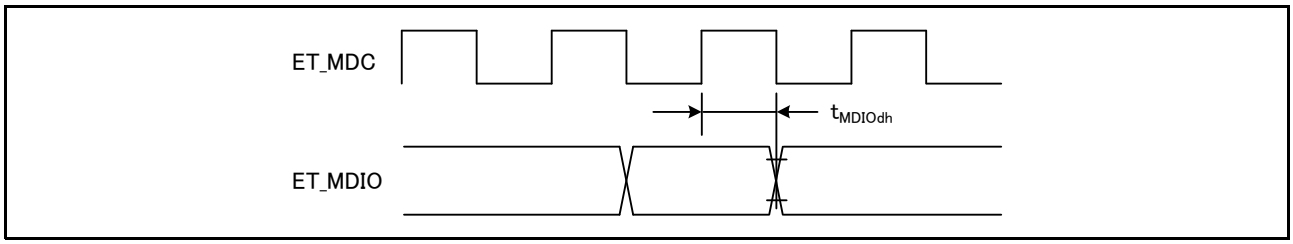


図 5.56 MDIO 出力タイミング（MII）

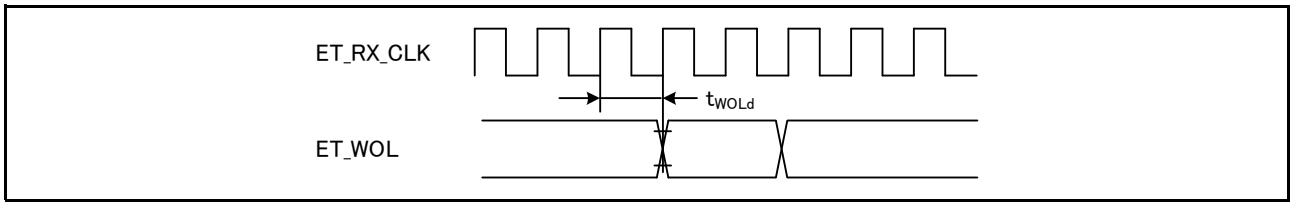


図 5.57 WOL 出力タイミング（MII）

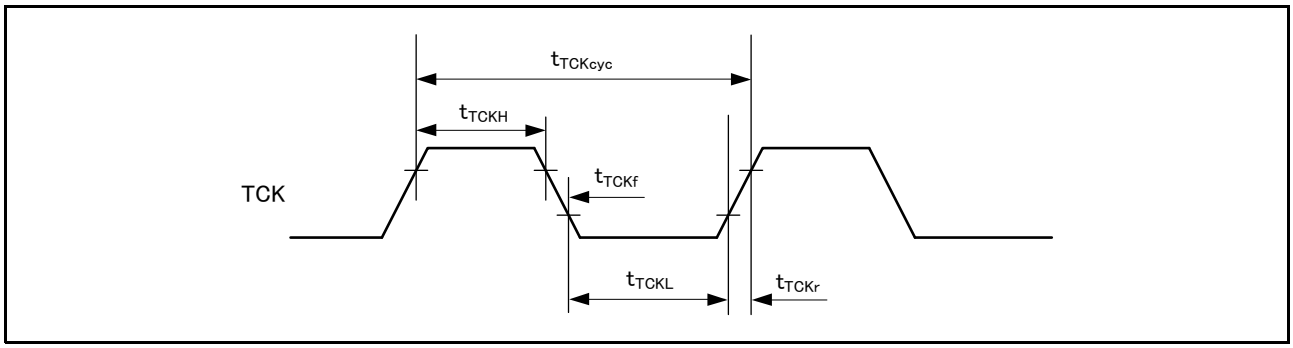


図 5.58 バウンダリスキャン TCK タイミング

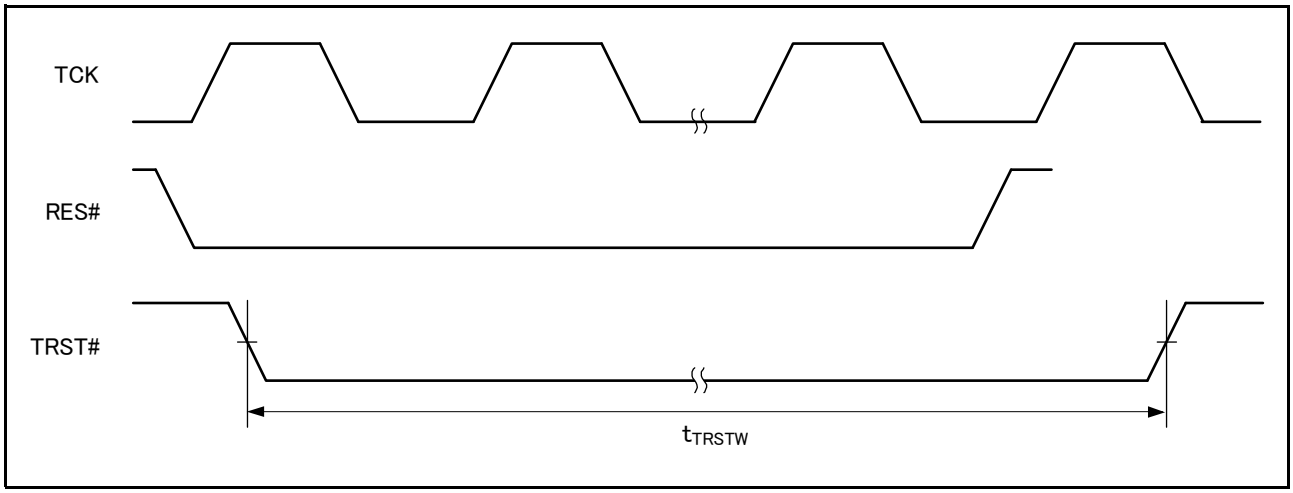


図 5.59 バウンダリスキャン TRST# タイミング

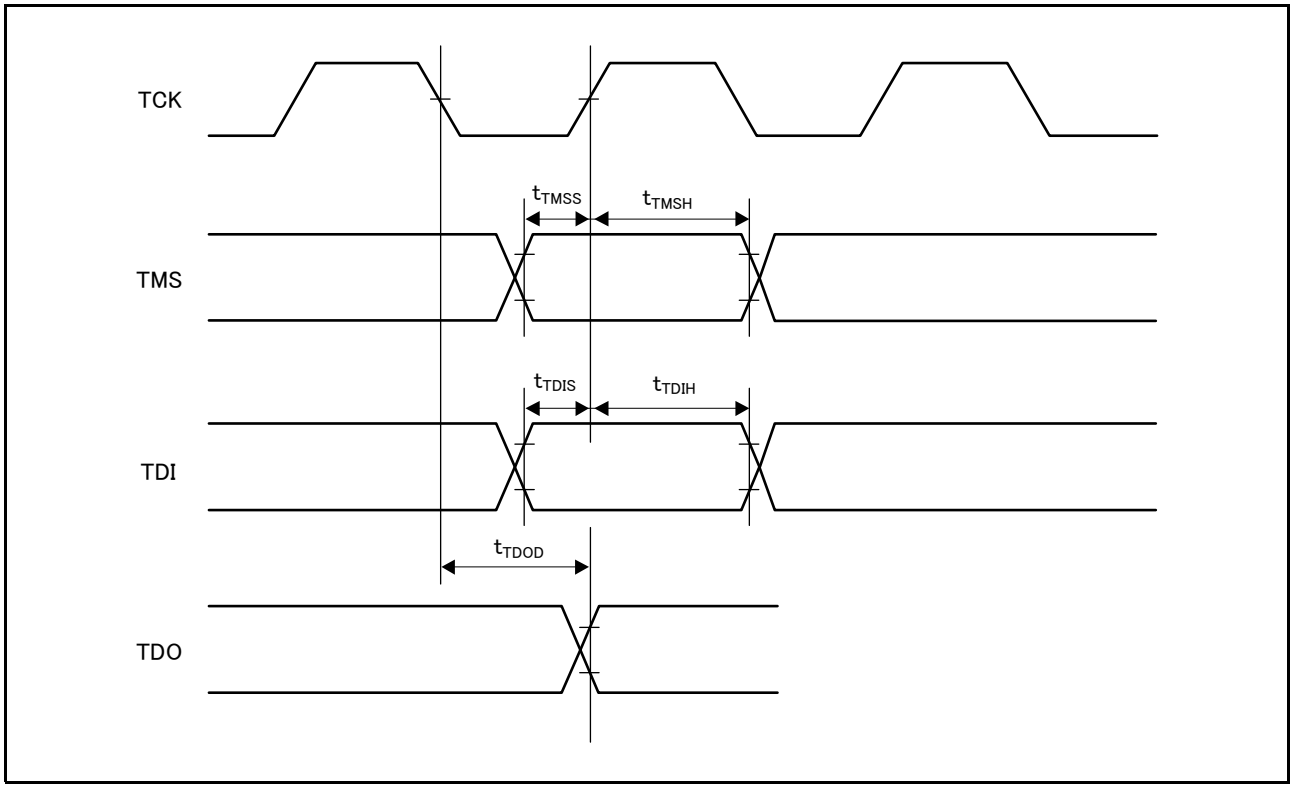


図 5.60 バウンダリスキャン 入出力タイミング

5.4 USB 特性

表5.19 内蔵USB フルスピード 特性（DP、DM端子特性）

条件：VCC = PLLVCC = AVCC = VCC_USB = 3.0 ～ 3.6V、VREFH = 3.0V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VCC_USB = 0V
PCLK = 24 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目		記号	min	max	単位	測定条件	
入力特性	入力High レベル電圧	V_{IH}	2.0	—	V		図 5.61 図 5.62
	入力Low レベル電圧	V_{IL}	—	0.8	V		
	差動入力感度	V_{DI}	0.2	—	V	| DP - DM |	
	差動コモンモードレンジ	V_{CM}	0.8	2.5	V		
出力特性	出力High レベル電圧	V_{OH}	2.8	3.6	V	I_{OH} = – 200μA	
	出力Low レベル電圧	V_{OL}	0.0	0.3	V	I_{OL} = 2mA	
	クロスオーバ電圧	V_{CRS}	1.3	2.0	V		
	立ち上がり時間	t_{Lr}	4	20	ns		
	立ち下がり時間	t_{Lf}	4	20	ns		
	立ち上がり/立ち下がり時間比	t_{Lr} / t_{Lf}	90	111.11	%	t_{Lr} / t_{Lf}	
	出力抵抗	Z_{DRV}	28	44	Ω	Rs=22Ω 含む	

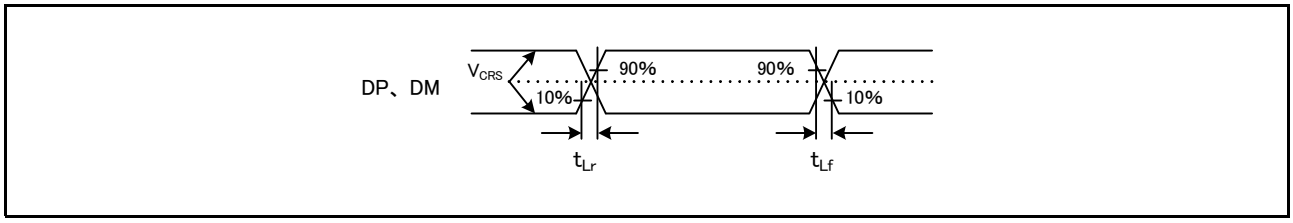


図 5.61 DP、DM 出力タイミング（フルスピード時）

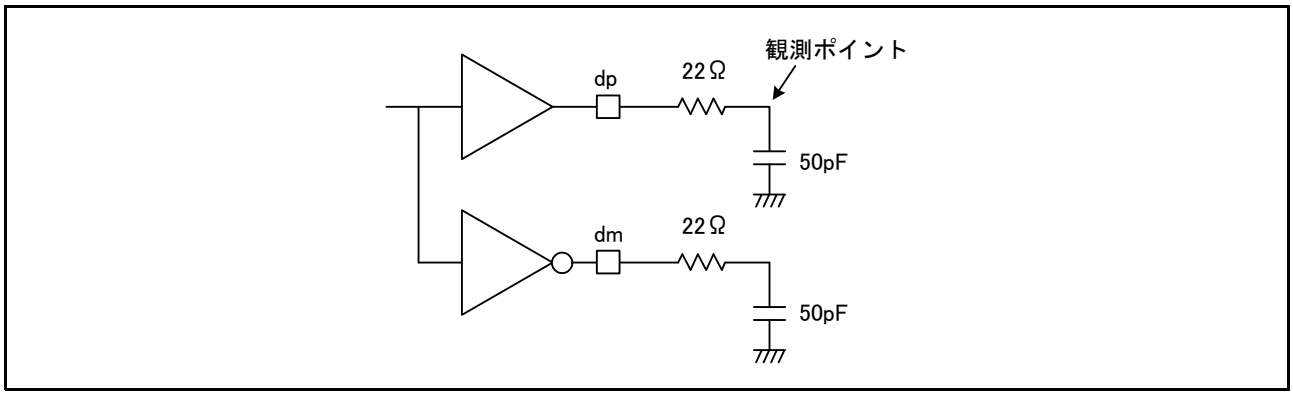


図 5.62 測定回路（フルスピード時）

5.5 A/D 変換特性

表5.20 10ビットA/D変換特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目			min	typ	max	単位	測定条件
分解能			10	10	10	ビット	
変換時間（注1）（PCLK= 50MHz時）	外付けコンデンサ0.1μFあり	コンデンサに電荷が十分チャージされている場合（注2）	0.8 (0.3)（注3）	–	–	μs	サンプリング 15 ステート
	外付けコンデンサなし	許容信号源インピーダンス max = 1.0 kΩ	1.0 (0.5)（注3）	–	–		サンプリング 25 ステート
		許容信号源インピーダンス max = 5.0 kΩ	2.6 (2.1)（注3）	–	–		サンプリング 105 ステート
アナログ入力容量			–	–	6.0	pF	
INL積分非直線性誤差			–	±1.5	±3.0	LSB	
オフセット誤差			–	±1.5	±3.0	LSB	
フルスケール誤差			–	±1.5	±3.0	LSB	
量子化誤差			–	±0.5	–	LSB	
絶対精度			–	±1.5	±3.0	LSB	
DNL 微分非直線性誤差			–	±0.5	±1.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。
注2. スキャンは対応しません。
注3. ( )はサンプリング時間を示します。

表5.21 12ビットA/D変換特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
PCLK = 8 ～ 50MHz
T_a = – 40 ～ + 85 ℃

項目	min	typ	max	単位	測定条件
分解能	12	12	12	ビット	
変換時間（注1）	1.0	–	–	μs	AVCC ≧ 3.0
	2.0	–	–	μs	AVCC ≧ 2.7
アナログ入力容量	–	–	30	pF	
オフセット誤差	–	± 2.0	± 7.5	LSB	
フルスケール誤差	–	± 2.0	± 7.5	LSB	
量子化誤差	–	± 0.5	–	LSB	
絶対精度	–	± 2.5	± 8.0	LSB	
非直線性誤差	–	± 2.0	± 4.0	LSB	

注1. 変換時間はサンプリング時間と比較時間の合計です（許容信号源インピーダンスmax = 1.0kΩ）。

5.6 D/A 変換特性

表5.22 D/A変換特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	min	typ	max	単位	測定条件
分解能	10	10	10	ビット	
変換時間	—	—	3.0	μs	負荷容量 20pF
絶対精度	—	± 2.0	± 4.0	LSB	負荷抵抗 2MΩ
	—	—	± 3.0	LSB	負荷抵抗 4MΩ
	—	—	± 2.0	LSB	負荷抵抗 10MΩ
RO 出力抵抗	—	3.6	—	kΩ	

5.7 パワーオンリセット回路、電圧検出回路特性

表5.23 パワーオンリセット回路・電圧検出回路特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット（POR）	V_{POR}	2.48	2.58	2.68	V	図 5.63
	電圧検出回路（LVD）	Vdet1	2.75	2.85	2.95		図 5.64、図 5.65
		Vdet2	3.05	3.15	3.25		
内部リセット時間		t_{POR}	20	35	50	ms	
最小VCC低下時間（注1）		t_{VOFF}	200	—	—	μs	図 5.63 ～ 図 5.65
応答遅延時間		tdet	—	—	200	μs	

注1. 電源オフ時間は、VCCがPOR/ LVDの電圧検出レベルV_{POR}, V_{det1}, V_{det2}のmin値を下回っている時間です。

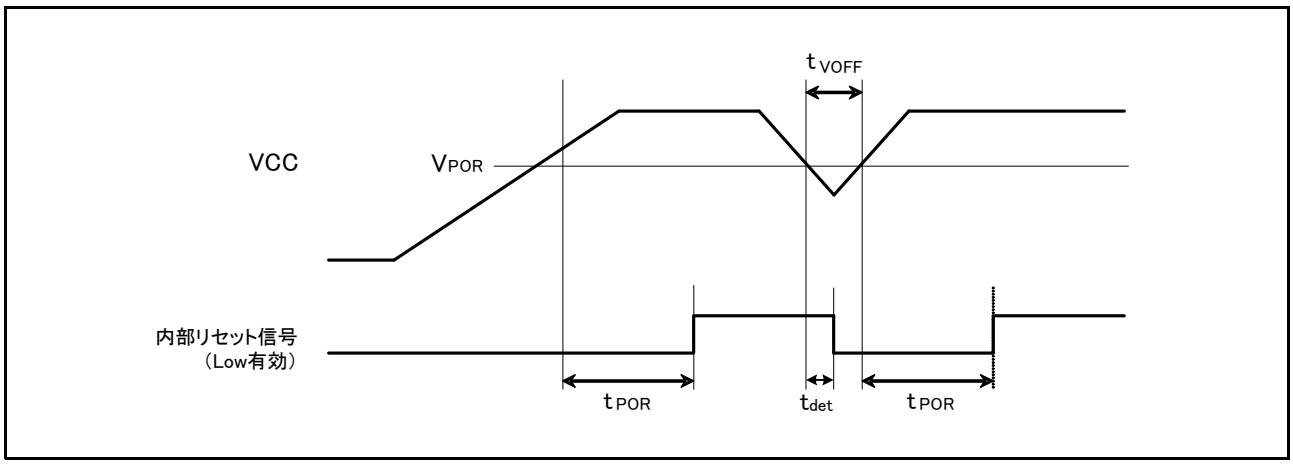


図 5.63 パワーオンリセットタイミング

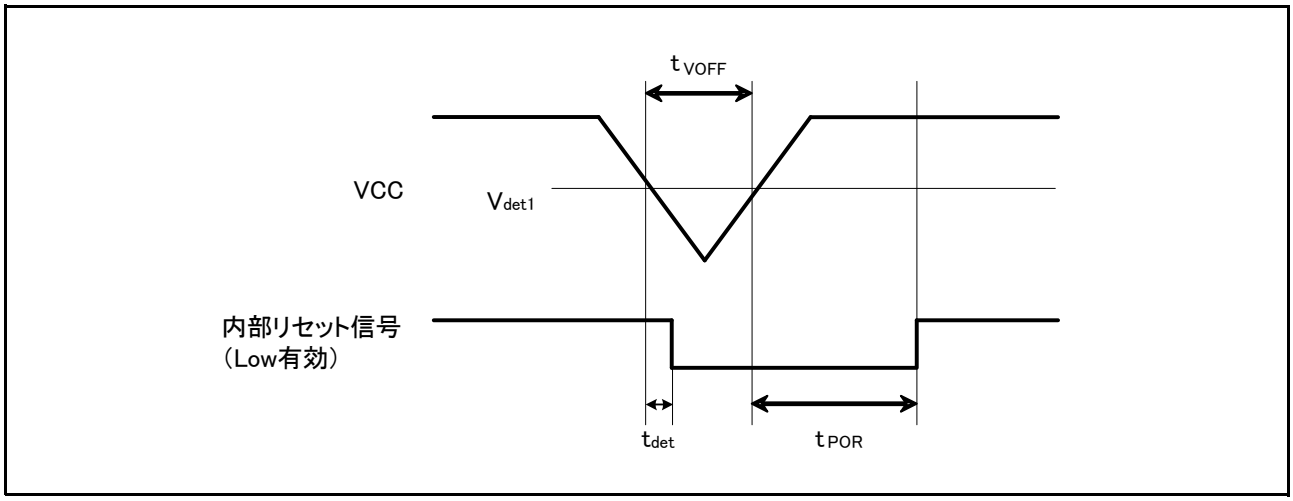


図 5.64　電圧検出回路タイミング（Vdet1）

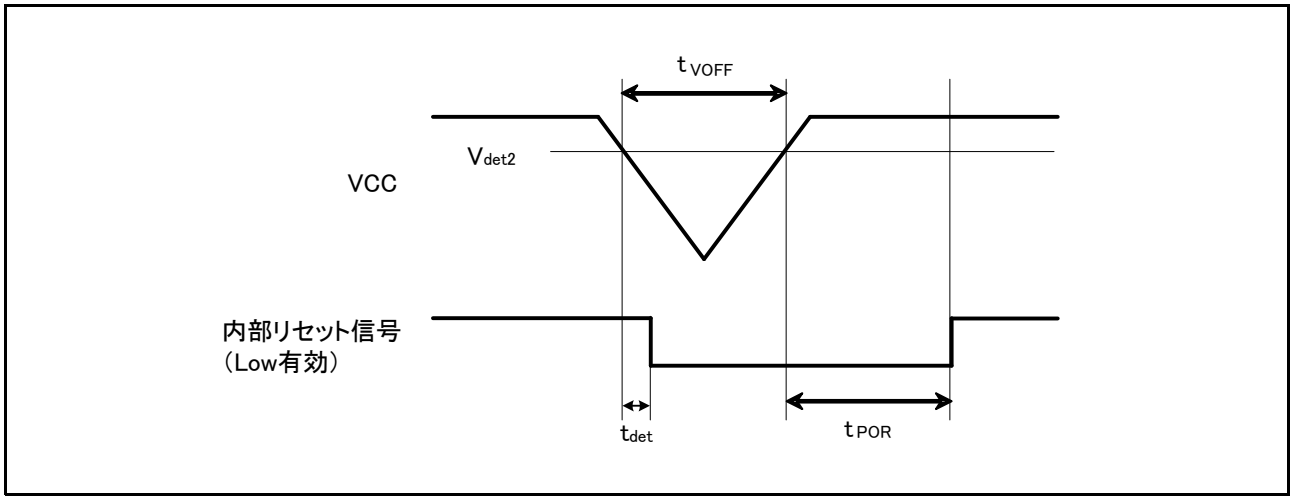


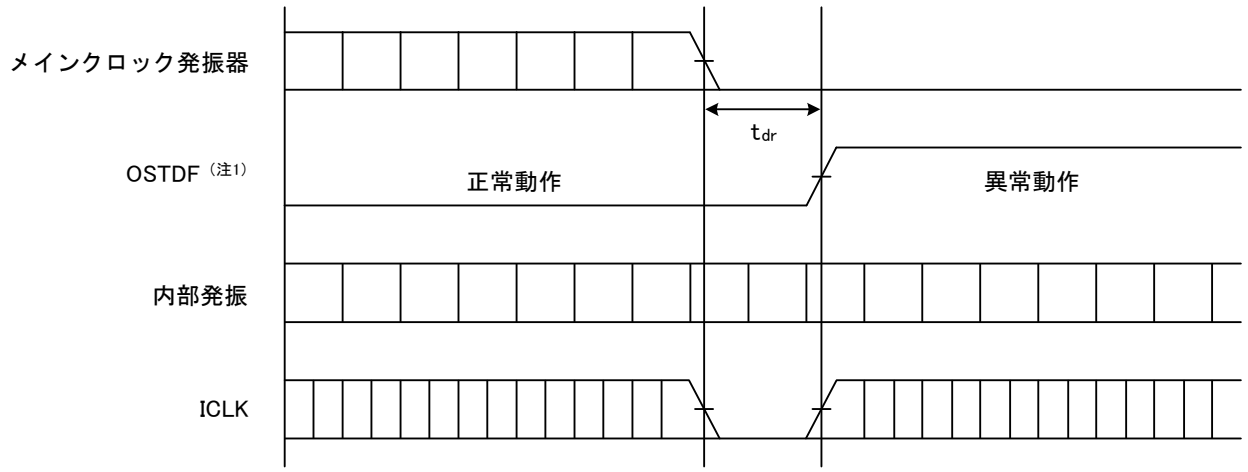
図 5.65　電圧検出回路タイミング（Vdet2）

5.8 発振停止検出タイミング

表5.24 発振停止検出回路特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
T_a = – 40 ～ + 85 ℃

項目	記号	min	typ	max	単位	測定条件
検出時間	tdr	—	—	1.0	ms	図 5.66
発振停止検出時内部発振周波数	f_{MAIN}	0.5	—	7.0	MHz	



注1. 発振停止検出コントロールレジスタ（OSTDCR）のOSTDFフラグ

図 5.66 発振停止検出タイミング

5.9 ROM（コード格納用フラッシュメモリ）特性

表5.25 ROM（コード格納用フラッシュメモリ）特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V

書き込み / 消去時の動作温度範囲：T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
書き込み時間	256バイト	t_{P256}	—	2	12	ms	PCLK = 50MHz N_{PEC} ≦ 100時
	4Kバイト	t_{P4K}	—	23	50	ms	
	16Kバイト	t_{P16K}	—	90	200	ms	
	256バイト	t_{P256}	—	2.4	14.4	ms	PCLK = 50MHz N_{PEC} ＞ 100時
	4Kバイト	t_{P4K}	—	27.6	60	ms	
	16Kバイト	t_{P16K}	—	108	240	ms	
消去時間	4Kバイト	t_{E4K}	—	25	60	ms	PCLK = 50MHz N_{PEC} ≦ 100時
	16Kバイト	t_{E16K}	—	100	240	ms	
	4Kバイト	t_{E4K}	—	30	72	ms	PCLK = 50MHz N_{PEC} ＞ 100時
	16Kバイト	t_{E16K}	—	120	288	ms	
再書き込み/消去サイクル（注1）		N_{PEC}	1000（注2）	—	—	回	
書き込み中のサスペンド遅延時間		t_{SPD}	—	—	120	μs	図5.67 PCLK=50MHz時
消去中の1回目のサスペンド遅延時間（サスペンド優先モード時）		t_{SESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間（サスペンド優先モード時）		t_{SESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間（消去優先モード時）		t_{SEED}	—	—	1.7	ms	
データ保持時間（注3）		t_{DRP}	10	—	—	年	

注1. 再書き込み/消去サイクルの定義：再書き込み/消去サイクルは、ブロックごとの消去回数です。再書き込み/消去サイクルがn回(n=1000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、4Kバイトのブロックについて、それぞれ異なる番地に256バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。

注2. 書き換え後のすべての特性を保証するmin回数です（保証は1~min値の範囲）。

注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

5.10 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.26 データフラッシュ（データ格納用フラッシュメモリ）特性

条件：VCC = PLLVCC = AVCC = VCC_USB = 2.7 ～ 3.6V、VREFH = 2.7V ～ AVCC
VSS = PLLVSS = AVSS = VREFL = VSS_USB = 0V
書き込み / 消去時の動作温度範囲：T_a = – 40 ～ + 85 ℃

項目		記号	min	typ	max	単位	測定条件
書き込み時間	8バイト	t_{DP8}	—	0.4	2	ms	PCLK = 50MHz 時
	128バイト	t_{DP128}	—	1	5	ms	
消去時間	2Kバイト	t_{DE2K}	—	70	250	ms	PCLK = 50MHz 時
ブランクチェック時間	8バイト	t_{DBC8}	—	—	30	μs	PCLK = 50MHz 時
	2Kバイト	t_{DBC2K}	—	—	0.7	ms	
再書き込み/消去サイクル（注1）		N_{DPEC}	30000（注2）	—	—	回	
書き込み中のサスペンド遅延時間		t_{DSPD}	—	—	120	μs	図 5.67 PCLK = 50MHz 時
消去中の1回目のサスペンド遅延時間（サスペンド優先モード時）		t_{DSESD1}	—	—	120	μs	
消去中の2回目のサスペンド遅延時間（サスペンド優先モード時）		t_{DSESD2}	—	—	1.7	ms	
消去中のサスペンド遅延時間（消去優先モード時）		t_{DSEED}	—	—	1.7	ms	
データ保持時間（注3）		t_{DDRP}	10	—	—	年	

注1. 再書き込み/消去サイクルの定義：再書き込み/消去サイクルは、ブロックごとの消去回数です。再書き込み/消去サイクルがn回(n = 30000)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再書き込み/消去サイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)。
注2. 書き換え後のすべての特性を保証するmin回数です（保証は1~min値の範囲）。
注3. 書き換えがmin値を含む仕様範囲内で行われたときの特性です。

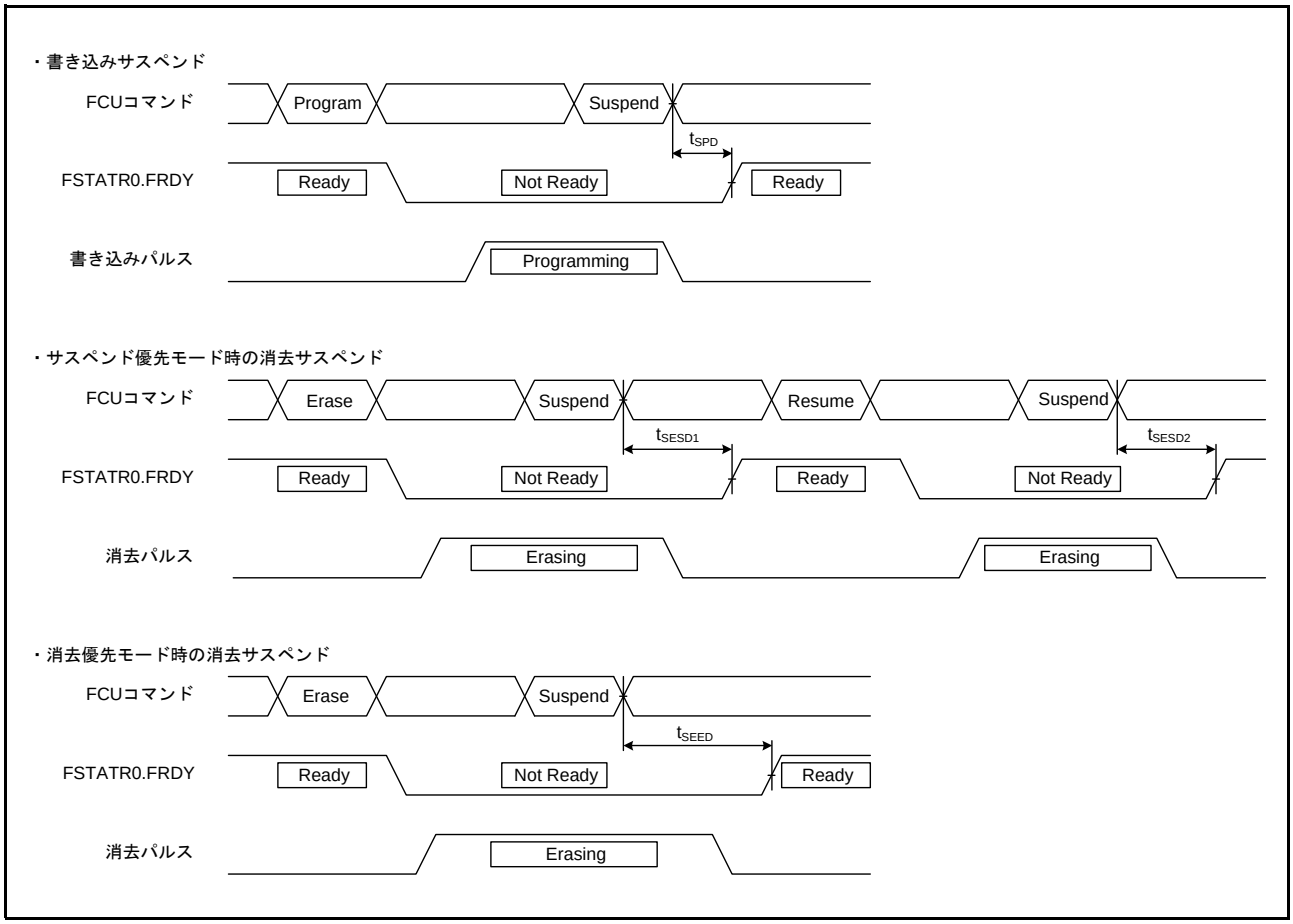
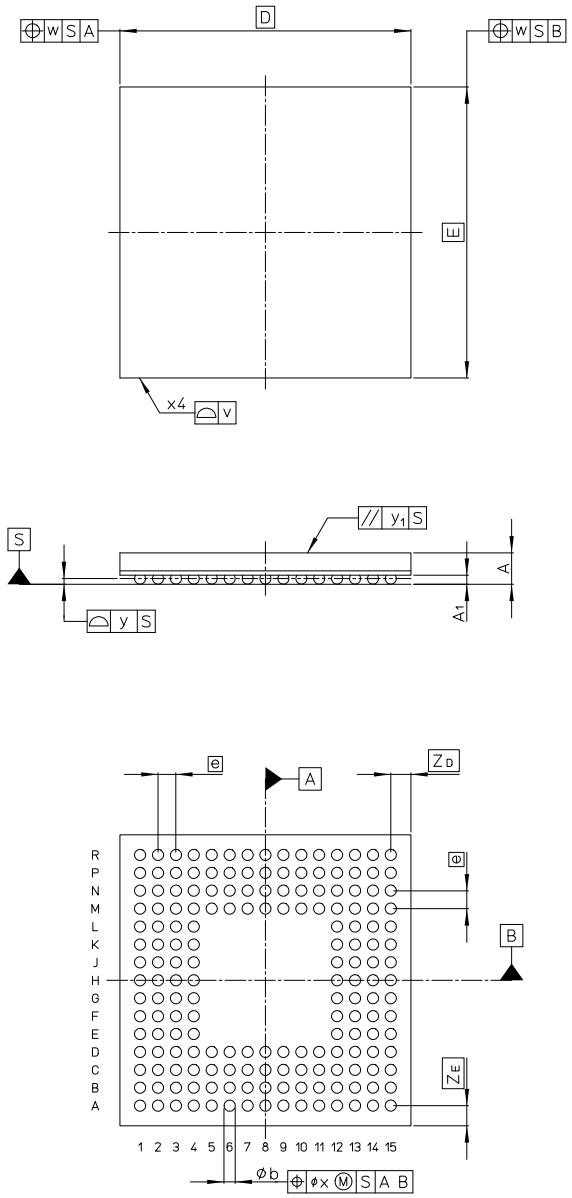


図 5.67 フラッシュメモリ書き込み / 消去サスペンドタイミング

付録 1.　外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。

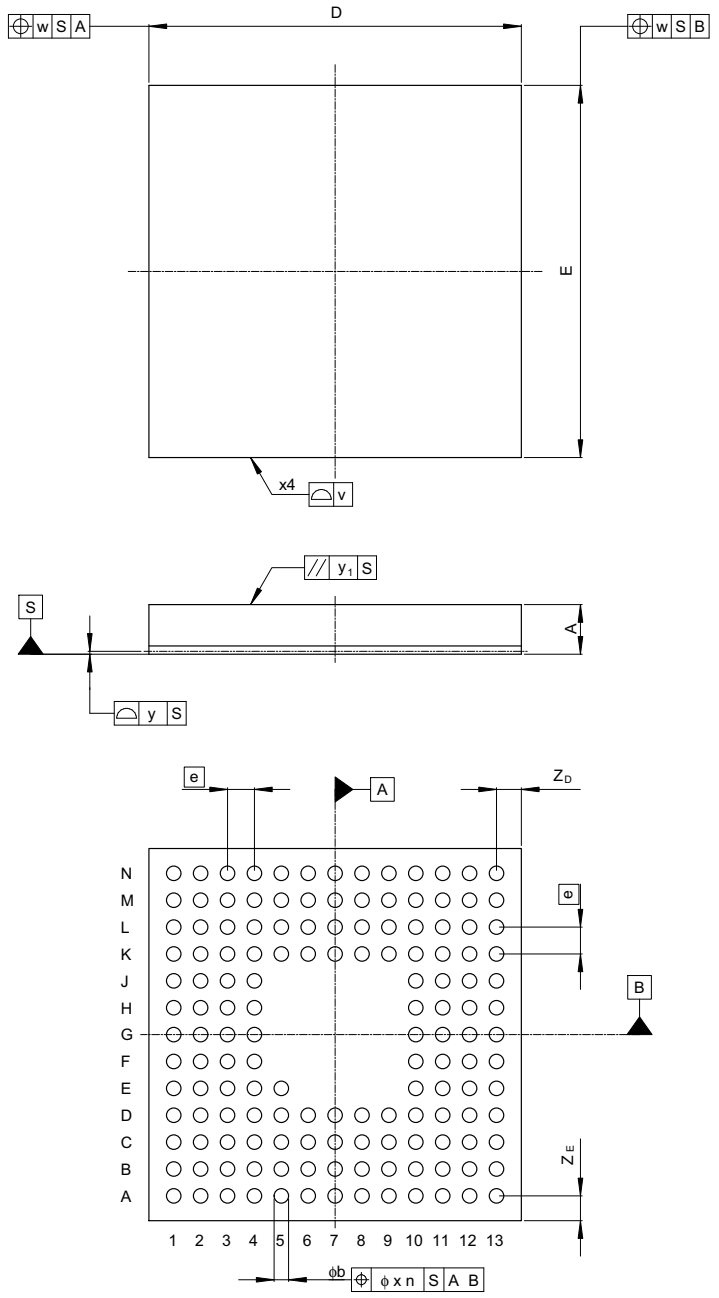
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFBGA176-13x13-0.80	PLBG0176GA-A	BP-176/BP-176V	0.45g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	13.0	—
E	—	13.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.90	—
Z_E	—	0.90	—

図 A.　　176 ピン LFBGA（PLBG0176GA-A）外形寸法図

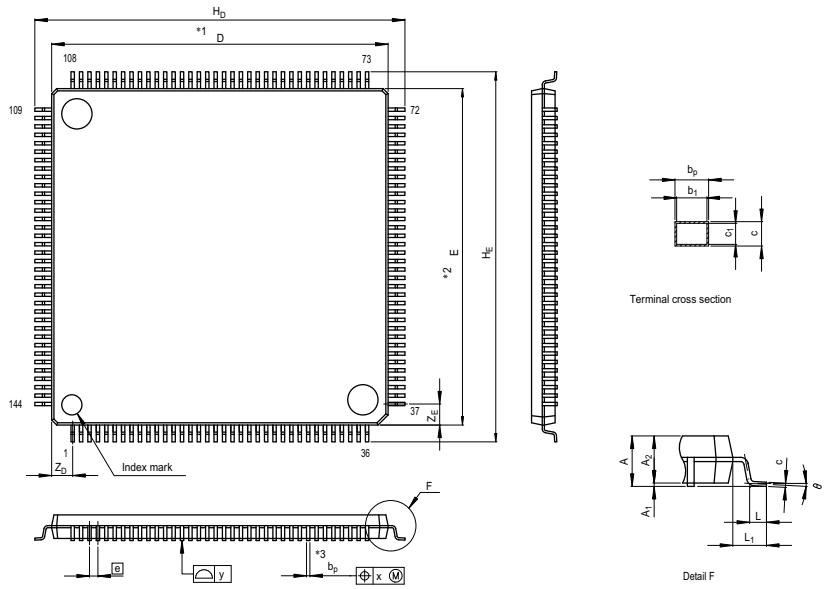
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA145-9x9-0.65	PTLG0145JB-A	-	0.15g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	9.0	—
E	—	9.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.2
A_1	—	—	—
e	—	0.65	—
b	0.30	0.35	0.40
x	—	—	0.08
y	—	—	0.1
y_1	—	—	0.20
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.6	—
Z_E	—	0.6	—

図 B.　　145 ピン TFLGA（PTLG0145JB-A）外形寸法図

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP144-20x20-0.50	PLQP0144KA-A	144P6Q-A / FP-144L / FP-144LV	1.2g

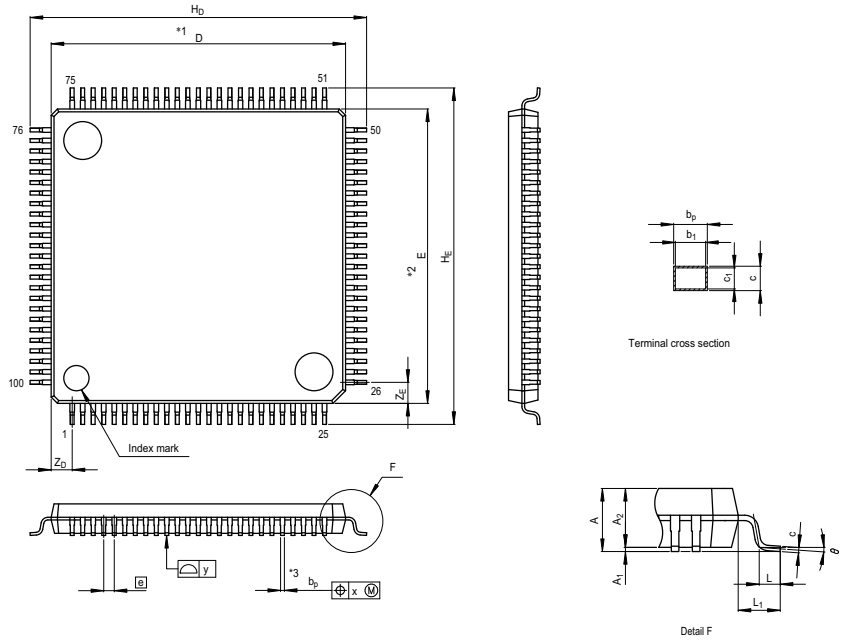


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 C.　　144 ピン LQFP（PLQP0144KA-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g

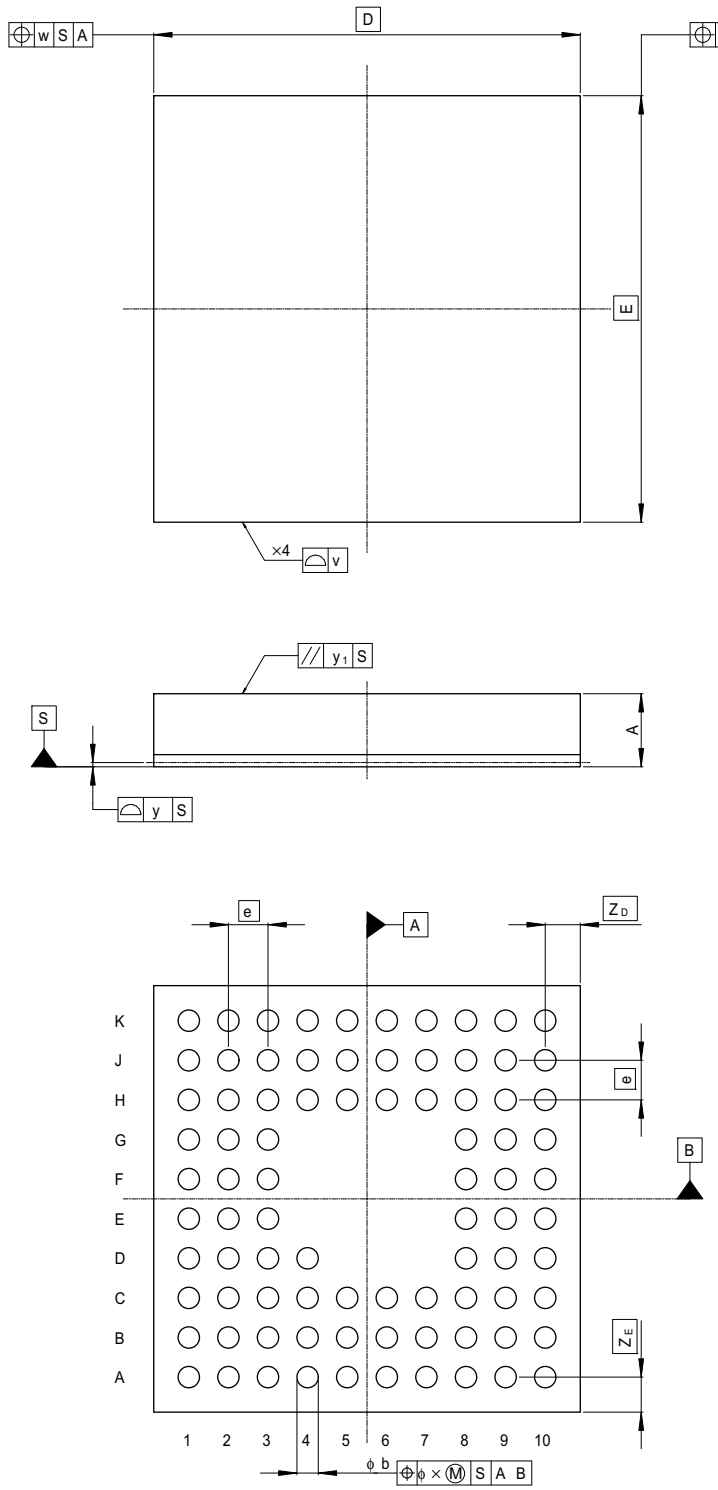


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 D.　　100 ピン LQFP（PLQP0100KB-A）

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA85-7x7-0.65	PTLG0085JA-A	TLP-85V	0.1g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	7.0	—
E	—	7.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.20
A_1	—	—	—
e	—	0.65	—
b	0.30	0.35	0.40
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.575	—
Z_E	—	0.575	—

図 E.　85 ピン TFLGA（PTLG0085JA-A）

改訂記録	RX62N グループ、RX621 グループ　データシート

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.1.14	ー	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理
   【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。
   CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。
2. 電源投入時の処置
   【注意】電源投入時は，製品の状態は不定です。
   電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。
   外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。
   同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. リザーブアドレス（予約領域）のアクセス禁止
   【注意】リザーブアドレス（予約領域）のアクセスを禁止します。
   アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
4. クロックについて
   【注意】リセット時は、クロックが安定した後、リセットを解除してください。
   プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。
   リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
5. 製品間の相違について
   【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。
   同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：　輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有･使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

RENESAS

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口　http://www.renesas.com

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社　〒100-0004　千代田区大手町2-6-2（日本ビル）　(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/inquiry

© 2010 Renesas Electronics Corporation. All rights reserved.
Colophon 1.0